

طراحی سویچ آنالوگ دقیق جهت استفاده در کاربردهای سرعت بالا

محمد حسن سقا^۱، محسن جلالی^۲

^۱دانشجوی دکتری برق الکترونیک، دانشگاه شاهد، m.hasansagha@shahed.ac.ir

^۲استادیار دانشکده برق، دانشگاه شاهد

تاریخ دریافت: ۱۳۹۳/۰۵/۰۹ تاریخ پذیرش: ۱۳۹۵/۰۶/۰۱

چکیده

در این مقاله، دو سویچ نمونه‌بردار برای کاربرد در سرعت‌های بالا، با استفاده از روش کنترل بایاس بدنه ارائه شده است. در این سویچ‌ها علاوه بر روش بایاس بدنه، ترانزیستور کمکی و ساختار تفاضلی نیز استفاده شده بطوریکه دو سویچ پیشنهاد شده علاوه بر داشتن سرعت و دقت بالا، دارای اعوجاج فاز و دامنه کم در وضعیت پیگیری هستند. تفاوت سویچ پیشنهادی دوم نسبت به سویچ پیشنهادی اول، استفاده از مدار هوشمند کنترل بایاس بدنه است که می‌تواند به حذف اثرات غیر خطی بدنه منجر شود. فرکانس کاری سویچ‌های پیشنهادی اول و دوم حدود سه برابر سویچ‌های ساده است بطوریکه این سویچ‌ها می‌توانند با فرکانس کلاک حدود ۲/۵ GHz و فرکانس ورودی حدود ۱/۲۵ GHz با دقت مناسب کار کنند. مقدار SFDR در فرکانس نایکویست، برای سویچ پیشنهادی اول و دوم و سویچ نمونه‌بردار ساده، به ترتیب ۶۵ dB و ۶۹ dB و ۴۵ بدست آمد که این مقادیر نشان می‌دهند سویچ‌های پیشنهادی نسبت به سویچ ساده، بسیار خطی‌تر هستند.

کلیدواژه

سویچ‌های ساده، سویچ‌های سرعت بالا، سویچ‌های دقیق، روش بایاس بدنه

مقدمه

اعتقاد بر این است که سرعت پایین سویچ‌های خود راه انداز به دلیل پیچیدگی آنها نسبت به یک سویچ ساده و زیاد بودن عناصر تشکیل دهنده آنها است که موجب افزایش خازن‌های پارازیتی و در نتیجه کاهش سرعت کلیدزنی آنها می‌شود. در این مقاله سعی می‌شود تا محدودیت‌های طرح‌های قبلی و روش‌هایی که برای رفع این محدودیت‌ها استفاده می‌شوند بصورت مختصر مورد بررسی قرار گیرند و در نهایت دو سویچ اصلاح شده با استفاده از روش بایاس بدنه، پیشنهاد می‌شوند که علاوه بر سرعت بسیار بالا دقت قابل قبولی را نیز نشان می‌دهند.

محدودیت‌های یک سویچ نمونه‌بردار ساده

شکل ۱ سویچ ماسفت^۳ ساده را نشان می‌دهد که متشکل از یک ترانزیستور NMOS و یک خازن نمونه‌بردار است. در این سویچ وقتی که سیگنال CLK به سطح بالای خود (سطح یک) می‌رسد، ترانزیستور روشن شده و سیگنال ورودی را عبور می‌دهد یعنی ولتاژ خروجی، ولتاژ ورودی را دنبال می‌کند و

سویچ‌ها از اجزای کوچک اما اصلی سیستم‌های مبدل داده مانند مبدل‌های آنالوگ به دیجیتال هستند که استفاده فراوانی نیز در شبکه‌های مخابراتی جهت نمونه‌برداری از سیگنال‌های دریافتی دارند. سویچ‌های مورد استفاده در این شبکه‌ها، نیاز به دقت و سرعت بالایی دارند ولی بدست آوردن دقت و سرعت بالا در کنار هم چالش بسیار دشواری برای طراحان بوده است [۱،۲]. با وجود طراحی‌های جدید و تلاش‌های فراوان جهت افزایش دقت و خطی کردن سویچ‌ها، تحقیقات همچنان در جهت افزایش سرعت آنها ادامه دارد. بطور مثال یک سویچ انتقال^۱ به دلیل اینکه در سرعت‌های بالا همزمانی روشن و خاموش شدن ترانزیستورهای NMOS و PMOS آن مشکل‌ساز می‌شود [۳]، نمی‌تواند گزینه مناسبی برای استفاده در سرعت‌های بالا باشد. یا سویچ‌های خود راه انداز اگر چه مشخصه خطی مناسب دارند، اما به دلیل سرعت‌های نسبتاً پایینی که برای آنها گزارش شده است [۴،۵]، قابلیت استفاده در سرعت‌های بالا را ندارند.

^۱ Transmission gate (TG)

^۲ Bootstrap switch

^۳ MOSFET

خارج می‌شود. کل مقدار این بار در لایه‌ی وارون^۵ از معادله (۴) بدست می‌آید.

$$Q_{tot} = C_{ox}WL(V_{DD} - V_{in} - V_{th}) \quad (4)$$

در سویچ ماسفت ساده، باری که به سمت پایه‌ی درین می‌رود توسط منبع ورودی جذب می‌شود (در صورتیکه منبع ورودی به پایه‌ی درین وصل باشد). اما باری که به سمت پایه‌ی سورس می‌رود، بر روی خازن نمونه‌بردار ذخیره شده و باعث ایجاد خطا در خروجی می‌شود. با فرض اینکه بار کانال به طور مساوی بین پایه‌های سورس و درین تقسیم شود، می‌توان خطای تزریق بار را روی خروجی، به صورت معادله (۵) تعریف کرد.

$$V_{error} = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{th})}{2C_H} \quad (5)$$

در استخراج معادله (۵) فرض شده است که دقیقاً نیمی از بار کانال وارد خازن نمونه‌بردار می‌شود. اما در عمل، کسری از بار که وارد پایه‌های سورس و درین می‌شوند تابع نسبتاً پیچیده‌ای از پارامترهایی مثل امیدانسی که هر پایه می‌بندد و غیره هستند. تاکنون از تحقیقات و بررسی‌ها راه حلی که بتواند تقسیم شدن این بارها را نسبت به سایر پارامترها کاملاً دقیق پیش‌بینی کند، بدست نیامده است [۷].

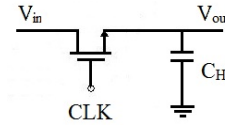
نکته‌ی مهم دیگری که در اینجا باید ذکر شود اثرات غیرخطی ناشی از اثر بدنه^۶ است. با در نظر گرفتن این نکته که در یک سویچ NMOS اختلاف ولتاژ بین بدنه و سورس ترانزیستور برابر $V_{BS} = -V_{in}$ خواهد شد. تغییرات ولتاژ ورودی می‌تواند روی ولتاژ آستانه اثر گذاشته و خطای تزریق بار را با توجه به (۵) به یک خطای متغیر تبدیل کند [۳]. حتی از معادله (۱) می‌توان متوجه شد که اثر بدنه موجب ایجاد یک مقاومت متغیر برای ترانزیستور می‌شود و در نتیجه ثابت زمانی آن هم با تغییر ولتاژ ورودی تغییر می‌کند.

همچنین اثر نفوذ کلاک^۷ که به دلیل وجود خازنهای پارازیتی گیت-سورس و گیت-درین به وجود می‌آید نیز یکی دیگر از عوامل ایجاد خطا در خروجی سویچ است.

اعوجاج فاز و دامنه

مانند آنچه که در شکل ۲ نشان داده شده است، برای تعریف اعوجاج فاز و دامنه، سویچ NMOS مورد نظر را در حالت روشن می‌توان به صورت یک سیستم تک ورودی-تک خروجی در نظر گرفت.

زمانیکه به سطح پایین خود می‌رسد، ترانزیستور خاموش شده و ولتاژ خروجی بر روی آخرین سطح ولتاژ خودش ثابت می‌شود.



شکل ۱. سویچ نمونه‌بردار ساده

اگر CLK یک فرمان با سوینگ کامل باشد، برای زمان‌هایی که $V_{in} < V_{CLK} - V_{th}$ است ترانزیستور NMOS در ناحیه‌ی تریاود^۴ عمیق کار می‌کند و در این شرایط می‌توان آن را به صورت مقاومتی با مقدار زیر در نظر گرفت.

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{DD} - V_{in} - V_{th})} \quad (1)$$

در این حالت یعنی زمانیکه سویچ روشن است ($t > 0$) می‌توان خروجی را به صورت تابعی از زمان نوشت.

$$V_{out} = \frac{V_{in} \left\{ \exp \left[(V_{DD} - V_{th} - V_{in}) \mu_n \frac{C_{ox}}{C_H} \frac{W}{L} t \right] + 1 \right\} - 2(V_{DD} - V_{th})}{\exp \left[(V_{DD} - V_{th} - V_{in}) \mu_n \frac{C_{ox}}{C_H} \frac{W}{L} t \right] - 1} \quad (2)$$

از معادله (۲) به خوبی پیداست که با روشن شدن سویچ، مقدار خروجی به سمت مقدار ورودی میل می‌کند [۶].

محدودیت سرعت

به طور ساده سرعت را می‌توان چنین تعریف کرد؛ بعد از آنکه سویچ وصل شد (ترانزیستور روشن شد) زمان لازم برای رسیدن خروجی از صفر به حداکثر ولتاژ ورودی چقدر است. در نتیجه سرعت یک سویچ را می‌توان با معادله (۳) نشان داد.

$$\tau = R_{on} \cdot C_H \quad (3)$$

با توجه به این تعریف، به راحتی می‌توان حدس زد که سرعت نمونه‌برداری این سویچ توسط دو عامل تعیین می‌شود؛ مقاومت حالت تریاود ترانزیستور R_{on} و خازن نمونه‌بردار C_H . با توجه به معادله (۱)، مقدار مقاومت ناحیه تریاود ترانزیستور NMOS با افزایش ولتاژ ورودی افزایش یافته و بالعکس. این رفتار موجب می‌شود که ثابت زمانی سویچ به مقدار سیگنال ورودی وابسته باشد.

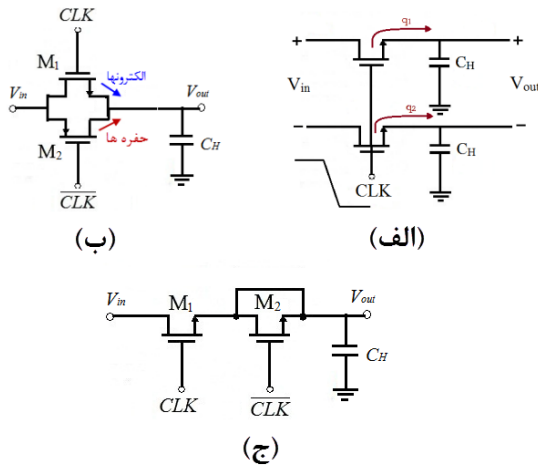
محدودیت دقت

وقتی یک ترانزیستور روشن است مقدار محدودی بار در کانالی که بین مرز اکسید و سیلیکن ایجاد می‌شود، وجود دارد. وقتی که ترانزیستور خاموش می‌شود، این بار از پایه‌ی سورس و درین

^۵ Inversion layer
^۶ Body effect
^۷ Clock feedthrough

^۴ Triode

نیز وجود دارند که برای کاهش خطای تزریق بار، حذف آفست DC و اثر نفوذ کلاک و خطی کردن سویچ با حذف هارمونیک‌های زوج مطرح شده‌اند [۳،۹].



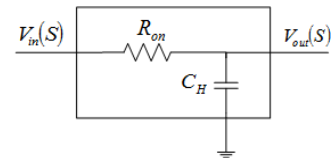
شکل ۳. الف) سویچ ساده تفاضلی (ب) استفاده از دو نوع ترانزیستور NMOS، به عنوان سویچ (ج) استفاده از ترانزیستور کمکی برای حذف اثر تزریق بار

بهره‌گیری از تحریک بدنه برای کاهش محدودیت‌های سویچ

با استفاده از سویچ دیفرانسیلی و ترانزیستور کمکی مقدار بار تزریقی به طور کامل حذف نمی‌شود. برای بهبود هر چه بیشتر این محدودیت و محدودیت‌های دیگر، می‌توانیم از شیوه‌ی تحریک بدنه‌ی ترانزیستور استفاده کنیم. این شیوه در طراحی آنالوگ و دیجیتال کاربردهای زیادی داشته و یک درجه‌ی آزادی بیشتر را در اختیار طراحان قرار می‌دهد [۱۰-۱۳]. برای شرح کارایی این روش در بهبود اثر تزریق بار لازم است به خواص ولتاژ آستانه‌ی ترانزیستور به طور دقیق توجه شود. در فیزیک نیمه رسانا، ولتاژ آستانه‌ی صفر (V_{TH0}) یک N-FET معمولاً به صورت ولتاژی تعریف می‌شود که اگر در مرز اعمال شود زیرینا را به همان اندازه که p بوده به n تبدیل کند. بنابراین ثابت می‌شود که:

$$V_{TH0} = \phi_{ms} + 2\phi_F + \frac{Q_{dep}}{C_{ox}} \quad (8)$$

که ϕ_{ms} تفاوت بین تابع کار گیت پلی سیلیکن و زیرینا سیلیکن است و ϕ_F پتانسیل فرمی^۹ و Q_{dep} بار ناحیه‌ی تخلیه است. و C_{ox} خازن اکسید گیت بر واحد سطح است. تعریف بالا مستقیماً برای اندازه‌گیری ولتاژ آستانه قابل اعمال نیست، زیرا اگر ولتاژ بدنه به گونه‌ای تغییر کند که پیوندهای سورس و



شکل ۲. سویچ ماسفت در حالت روشن، بعنوان یک سیستم تک ورودی-تک خروجی

در این صورت تابع انتقال این سیستم از معادله‌ی (۶) بدست می‌آید:

$$H(S) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{1}{R_{on}C_H S + 1} \quad (6)$$

اگر معادله (۶) را به شکل دامنه و فازش بیان کنیم خواهیم داشت:

$$H(j\omega) = \frac{1}{\sqrt{(R_{on}C_H\omega)^2 + 1}} e^{-j\arctan(R_{on}C_H\omega)} \quad (7)$$

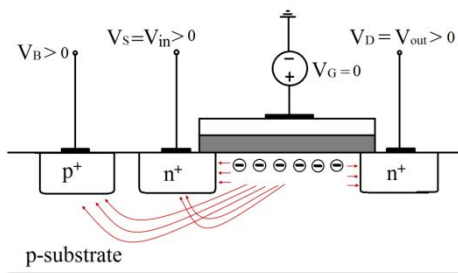
که در آن ω فرکانس زاویه‌ای است و R_{on} مقاومتی وابسته به ولتاژ ورودی است. از معادله‌ی (۷) به راحتی می‌توان متوجه شد که با افزایش فرکانس، دامنه سیگنال خروجی نسبت به ورودی تضعیفی وابسته به ورودی خواهد داشت و فاز خروجی نسبت به ورودی هر چه بیشتر تغییر خواهد یافت. البته باید یادآور شد که معمولاً در کاربردهای فرکانس پایین از اعوجاج فاز و دامنه صرف‌نظر می‌کنند اما در سیستم‌هایی مانند سیستم مخابرات نوری که فرکانس بالایی دارند نمی‌توان از آن صرف‌نظر کرد.

روشهای رایج متعددی برای کاهش اثر محدودیت‌های یک سویچ ماسفت ساده وجود دارد بطور مثال اختلاف فاز و دامنه‌ی بین ورودی و خروجی سویچ که توسط معادلات (۶) و (۷) بیان می‌شود به طور مستقیم با حاصلضرب $R_{on}C_H$ ارتباط دارد و سرعت سویچ با توجه به (۳) با همین حاصلضرب رابطه‌ی عکس دارد. پس با کاهش مقاومت حالت روشن ترانزیستور و مقدار خازن نمونه‌بردار، می‌توان محدودیت سرعت و اعوجاج فاز و دامنه را کاهش داد. اما این کار دقت نمونه برداری را نیز کاهش خواهد داد [۸]. زیرا طبق معادله‌ی (۵) تزریق بار کانال که نشان دهنده‌ی دقت نمونه‌برداری است با C_H رابطه‌ی عکس دارد. برای حل این مشکل می‌توانیم یک مقدار مناسب و بهینه برای خازن نمونه‌بردار انتخاب کرده و مقدار مقاومت حالت روشن ترانزیستور را تا آنجا که ممکن است کاهش دهیم. یا با توجه به معادله (۵) با کاهش طول کانال ترانزیستور MOS می‌توان تزریق بار را کم و در نتیجه دقت نمونه‌برداری را افزایش داد. همچنین معادله‌ی (۱) نشان می‌دهد که با کاهش طول کانال مقاومت حالت روشن ترانزیستور کاهش می‌یابد که موجب افزایش سرعت سویچ می‌شود.

همانطور که شکل ۳ نشان می‌دهد، روشهای دیگری مثل استفاده از سویچ تفاضلی و ترانزیستور کمکی و سویچ انتقال

^۸ Harmonic
^۹ Fermi potential

روشن آن کاهش یافته و در نتیجه سرعتش بهبود می‌یابد. به علاوه همان‌طور که قبلاً ذکر شد کاهش مقاومت حالت روشن ترانزیستور می‌تواند خطای فاز و دامنه را در خروجی ترانزیستور بهبود دهد و به خطی شدن آن کمک کند [۱۲]. اما این کار می‌تواند خطای ناشی از تزریق بار را نیز کاهش دهد. دلیل این مسئله این است که الکترونها باقیمانده در کانال پس از خاموش شدن سوئیچ به علت مثبت بودن ولتاژ بدنه، تمایل بیشتری به جذب شدن به آن دارند. پس علاوه بر جذب الکترونها باقیمانده در کانال توسط پایه‌های سورس و درین، این الکترونها می‌توانند جذب بدنه نیز شوند. ذکر این نکته لازم است که در هنگام ترسیم جانمای سوئیچ بهتر است پایه‌ی بدنه در سمت پایه‌ی ورودی ساخته شود. با این کار همان‌طور که در شکل ۵ نشان داده شده است، به دلیل مثبت‌تر بودن نیمه‌ی متمایل به ورودی سوئیچ نسبت به نیمه‌ی دیگر آن، الکترونها تمایل بیشتری برای حرکت به سمت این نیمه پیدا خواهند کرد.



شکل ۵. طریقه‌ی تزریق الکترونها به پایه‌های سوئیچ NMOS زمانیکه سوئیچ خاموش می‌شود

البته با توجه به ویژگی‌های مفیدی که برای روشهای دیگر کاهش اثر محدودیتهای یک سوئیچ ساده در بالا ذکر شد، می‌توان این روش را به صورت ترکیبی با روشهای دیگر به کار برد تا سوئیچی بهینه بدست آید.

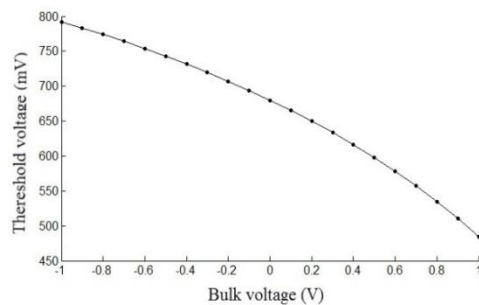
ارائه سوئیچ‌های پیشنهادی

شکل ۶ یک سوئیچ تفاضلی به همراه ترانزیستورهای کمکی را نشان می‌دهد که در آن علاوه بر اینکه بدنه‌ی ترانزیستورهای اصلی M_1 و M_3 به وسیله یک ولتاژ مثبت بایاس شده است، بدنه‌ی ترانزیستورهای کمکی نیز با همان ولتاژ بایاس شده‌اند. زیرا با توجه به کاهش بار تزریقی در ناحیه تخلیه‌ی ترانزیستور سوئیچ، باید ترانزیستور کمکی نیز با همان ولتاژ بایاس شود تا ناحیه‌ی تخلیه‌ی هر دو ترانزیستور به یک مقدار کوچک شود و در نتیجه ترانزیستور کمکی بتواند بخش عمده‌ی بار تزریقی از سمت سوئیچ را جذب کند.

درین بطور معکوس باقی بمانند، ترانزیستور همچنان می‌تواند به کار خود ادامه دهد اما ولتاژ آستانه آن تغییر خواهد کرد. با در نظر گرفتن تغییرات ولتاژ سورس نسبت به بدنه، ولتاژ آستانه به صورت زیر بیان می‌شود:

$$V_{TH} = V_{TH0} + \gamma \left(\sqrt{|2\phi_F + V_{SB}|} - \sqrt{2\phi_F} \right) \quad (9)$$

که در آن γ ضریب اثر بدنه و V_{SB} تفاوت ولتاژ سورس و بدنه است. همان‌طور که می‌دانیم تغییرات V_{TH} که ناشی از V_{SB} باشد را اثر بدنه می‌نامند و در طراحی سوئیچ‌ها تا آنجا که ممکن است سعی می‌شود که اثر بدنه از بین رود. پس با اعمال ولتاژ مثبت و مناسب به بدنه یک ترانزیستور NMOS، علاوه بر باریک‌تر شدن ناحیه تخلیه (نسبت به حالتی که بدنه زمین می‌شود) که به دلیل کاهش ولتاژ موثر بین بدنه و سایر اتصالات ترانزیستور رخ می‌دهد [۳]، V_{SB} نیز کم شده و تغییرات ولتاژ آستانه ناشی از اثر بدنه را کاهش می‌دهد و به کمتر شدن ولتاژ آستانه کمک می‌کند. به طور نمونه تغییرات ولتاژ آستانه‌ی یک ترانزیستور NMOS در فرآیند ساخت $0.18 \mu\text{m}$ بر حسب ولتاژ بدنه‌ی آن در شکل ۴ نشان داده شده است که گفته‌های بالا را تصدیق می‌کند.

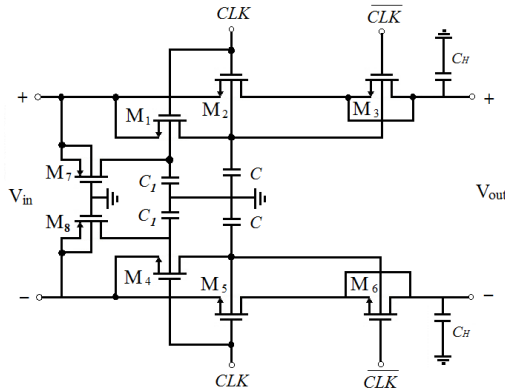


شکل ۴. تغییرات ولتاژ آستانه‌ی ترانزیستور بر حسب ولتاژ بدنه‌اش در حالتی که $V_S = V_D = 1 \text{ V}$

در این روش باید توجه شود که ولتاژ بدنه نباید به گونه‌ای باشد که دیوده‌های بدنه-به-سورس یا بدنه-به-درین را در بایاس مستقیم قرار دهد زیرا در غیر این صورت ترانزیستور در حالت طبیعی خود عمل نخواهد کرد. معمولاً اگر ولتاژ بدنه-به-سورس یا بدنه-به-درین بیشتر از 0.5 V شود دیوده‌های این مسیر روشن شده و موجب اعوجاج در خروجی می‌شوند. به همین دلیل، برای بدست آوردن شکل ۶، ولتاژ پایه‌های درین و سورس با ولتاژ 1 V بایاس شده‌اند بطوریکه دیوده‌های بدنه به درین و سورس روشن نشوند.

با توجه به مقدمه‌ای که درباره‌ی اثر بدنه روی یک ترانزیستور NFET ذکر شد، با استفاده از بایاس بدنه می‌توان سوئیچی طراحی کرد که هم سرعت بالایی داشته و هم تزریق بار به مراتب کمتری داشته باشد. در یک سوئیچ NMOS که بدنه‌ی آن توسط یک ولتاژ مثبت بایاس شده است و ولتاژ آستانه‌اش کم شده است با توجه به معادلات (۱) و (۳) مقاومت حالت

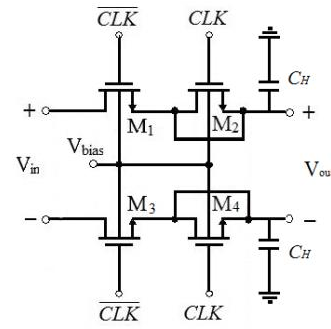
در سرعت‌های بالا که به یک خازن نمونه‌بردار با مقدار کم نیاز است، نفوذ سیگنال ورودی از طریق خازن‌های پارازیت یک



شکل ۸. سویچ پیشنهادی دوم

مشکل جدی محسوب خواهد شد. برای رفع این مشکل، یک سویچ جدید پیشنهاد می‌شود. سویچ پیشنهادی دوم که بر اساس مدار هوشمند کنترل بایاس بدنه عمل می‌کند در شکل ۸ ارائه شده است. در این سویچ بدنه ترانزیستورهای اصلی M_2 و M_5 از طریق ترانزیستورهای M_1 و M_4 به سورس آنها متصل است. اگر CLK یک باشد بدنه و سورس ترانزیستورهای اصلی به هم وصل شده و برای آنها $V_{BS}=0$ خواهد شد. پس با این روش می‌توان اثر تغییرات سیگنال ورودی روی ولتاژ آستانه در حالت $CLK=1$ را حذف کرد و اعوجاجات را کاهش داد. در حالت $CLK=0$ ، M_1 و M_4 نیز خاموش شده و بدنه ترانزیستورهای اصلی از سورس جدا شده و به نمونه‌ای از سیگنال ورودی که قبلاً در حالت $CLK=1$ توسط M_1 و M_4 روی خازن‌های C ایجاد شده متصل می‌شود. در نتیجه اثر نفوذ سیگنال ورودی بر روی گره‌ی خروجی که در شکل ۷ بیان شد، کاهش می‌یابد. البته ذکر این نکته لازم است که برای اینکه بتوانیم بدنه یک ترانزیستور NMOS را به ولتاژی غیر از زمین متصل کنیم باید فناوری ساخت مورد نظر دارای قابلیت "Deep N-Well" برای ترانزیستورهای NMOS باشد. امروزه این قابلیت در اکثر فرایندهای ساخت وجود دارد.

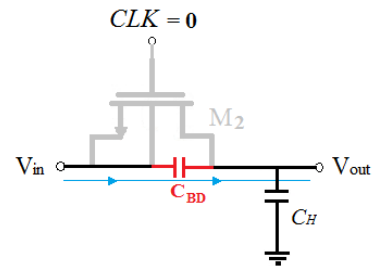
همانطور که در شکل ۸ مشاهده می‌شود، با توجه به اینکه خازن C همواره مقداری از سیگنال ورودی را در خود ذخیره دارد، سبب می‌شود سرعت ترانزیستورهای M_2 و M_5 نیز (که کار اصلی سویچ را انجام می‌دهند) با کاهش ولتاژ آستانه‌شان (نسبت به حالتی که بدنه زمین می‌شود) بهتر شود. مقدار خازن C باید در حدی باشد که خازن کل ورودی سویچ را خیلی افزایش ندهد و همچنین نمونه‌ای از ورودی به راحتی در روی آن ایجاد شود. به طور تقریبی می‌توان از رابطه زیر برای محاسبه مقدار خازن C استفاده کرد:



شکل ۶. سویچ پیشنهادی اول

البته باید ذکر شود که مقدار بهینه برای بایاس ولتاژ بدنه در سویچ پیشنهادی، همان مقدار DC سیگنال ورودی است زیرا در این صورت تغییرات V_{BS} کمتر شده و در نتیجه اعوجاجات ناشی از اثر بدنه کاهش می‌یابد.

باید توجه داشت که در سویچ پیشنهاد شده اثرات غیر خطی بدنه روی سیگنال خروجی به کلی حذف نخواهند شد زیرا طبق رابطه (۹) ولتاژ آستانه از طریق V_{BS} به سیگنال ورودی وابسته است. ساده‌ترین روش برای حذف این اثر در یک سویچ، اتصال بدنه ترانزیستور سویچ به سورس آن است. در این صورت اختلاف ولتاژ پایه‌های سورس و بدنه صفر شده و ولتاژ آستانه به صورت مستقل از ورودی ثابت می‌ماند. اما همانطور که در شکل ۷ نشان داده شده است، این روش یک مشکل جدی را به وجود خواهد آورد زیرا در این صورت، زمانیکه ترانزیستور خاموش است، سیگنال ورودی که به بدنه متصل است می‌تواند از طریق خازن پارازیتی بین پایه‌های بدنه و درین یعنی C_{BD} به گره‌ی خروجی نفوذ کند.



شکل ۷. نفوذ سیگنال ورودی به گره خروجی، توسط خازن پارازیتی بدنه به درین در حالت $CLK=0$

در این حالت، ضریب نفوذ سیگنال ورودی به خروجی به صورت زیر بیان می‌شود

$$Feedthrough = \frac{C_{BD}}{C_{BD} + C_H} \quad (10)$$

باید توجه داشت که نفوذ سیگنال ورودی از طریق مسیر ترانزیستور M_7 (در حقیقت از طریق C_{BD7}) و سپس خازن بدنه به درین ترانزیستورهای M_1 و M_2 به سمت خروجی در زمان $CLK=0$ نیز امکان دارد. اما با توجه به اینکه مقدار خازن C_1 بیشتر از خازنهای دیگر مدار است، و فقط سیگنال DC ورودی را استخراج و به بدنه ترانزیستور M_1 منتقل می‌کند، نفوذ بسیار اندکی از طریق خازن پارازیتی بدنه به درین ترانزیستور M_1 بر روی بدنه ترانزیستور M_2 و در نتیجه گره خروجی ایجاد خواهد شد. برای اثبات این موضوع باید بیان کرد که نفوذ سیگنال به گره خروجی از این مسیر نسبتاً طولانی با فرض اینکه C_1 بسیار بیشتر از خازنهای بدنه به درین ترانزیستورها و همچنین خازنهای نمونه‌گیر C و C_H است بطور تقریبی از معادله ۱۴ بدست می‌آید

$$Feedthrough \cong \frac{C_{BD1} \cdot C_{BD2} \cdot C_{BD7}}{C_1 [C_H \cdot C_{BD2} + (C_{BD1} + C)(C_{BD2} + C_H)]} \quad (14)$$

که با توجه به قرار گرفتن C_1 در مخرج، مقدار آن از مقدار رابطه (۱۳) بسیار کمتر است.

نتایج شبیه سازی سویچ‌های پیشنهادی

برای بررسی روش پیشنهادی، سویچ‌ها با فناوری $0.18 \mu m$ در نرم افزار Cadence شبیه سازی شده‌اند و برای ارزیابی عملکرد دو سویچ پیشنهادی، هر دو آنها در مقایسه با یک سویچ تفاضلی ساده مورد بررسی قرار گرفته‌اند. برای بررسی سرعت و پهنای باند سویچ‌ها، تمامی ترانزیستورها (از جمله ترانزیستورهای کمکی و ترانزیستورهای سویچ) در حالت روشن قرار گرفته و پاسخ فرکانسی آنها به دست آمده است. جهت مقایسه عادلانه، برای هر سه سویچ، C_H یک مقدار ثابت در نظر گرفته شده است. شکل ۱۰ نشان دهنده پهنای باند بیشتر سویچ‌های پیشنهادی نسبت به سویچ ساده‌ی NMOS است. زیرا همانطور که گفته شد، در سویچ‌های پیشنهادی، باباس بدنه موجب کاهش ولتاژ آستانه شده و در نتیجه طبق معادله (۱) مقاومت حالت روشن ترانزیستور کاهش می‌یابد که این امر موجب کاهش ثابت زمانی سویچ و افزایش پهنای باند آن می‌شود.

$$\frac{1}{R_{M1,4}C} \approx f_{in} \quad (11)$$

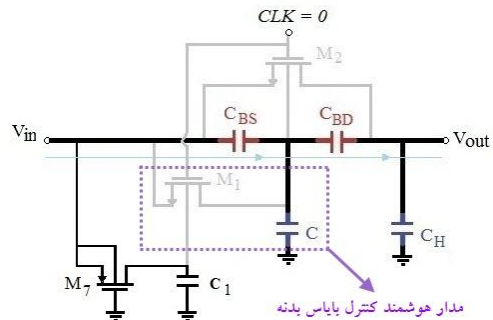
که در آن $R_{M1,4}$ مقاومت کانال ترانزیستورهای M_1 و M_4 است و f_{in} فرکانس سیگنال ورودی است.

برای حذف کامل اثر بدنه باید سرعت ترانزیستورهای M_1 و M_4 نیز به همان اندازه افزایش یابد که برای حل این مشکل از ترانزیستورهای M_7 و M_8 و خازن C_1 استفاده شده است بطوریکه مانند یک مدار متوسط گیر عمل کرده و مقدار DC سیگنال ورودی را استخراج و به بدنه ترانزیستور مورد نظر منتقل می‌کنند. وصل شدن پایه‌ی بدنه ترانزیستورهای کمکی M_3 و M_6 به ترانزیستورهای سویچ معادلشان در مدار، همانطور که قبلاً اشاره شد برای کاهش ناحیه‌ی تخلیه‌ی ترانزیستورهای سویچ و کمکی معادل، به یک اندازه صورت می‌گیرد. برای انتخاب مناسب مقدار خازن C_1 باید رابطه زیر را در نظر گرفت:

$$\frac{1}{R_{M7,8}C_1} \ll f_{in} \quad (12)$$

که در آن $R_{M7,8}$ مقاومت کانال ترانزیستورهای M_7 و M_8 است. در صورت برقرار شدن این رابطه عمل متوسط گیری از سیگنال ورودی بر روی خازن C_1 به خوبی انجام خواهد گرفت.

شکل ۹ وضعیت نیم مدار سویچ پیشنهادی را در حالت $CLK=0$ بدون در نظر گرفتن ترانزیستور کمکی نشان می‌دهد.

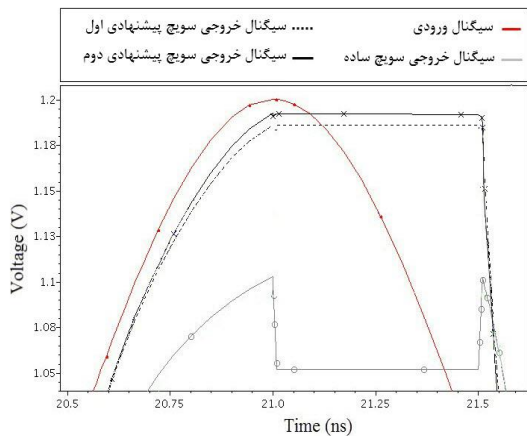


شکل ۹. وضعیت نفوذ سیگنال ورودی به گره خروجی در سویچ پیشنهادی جدید

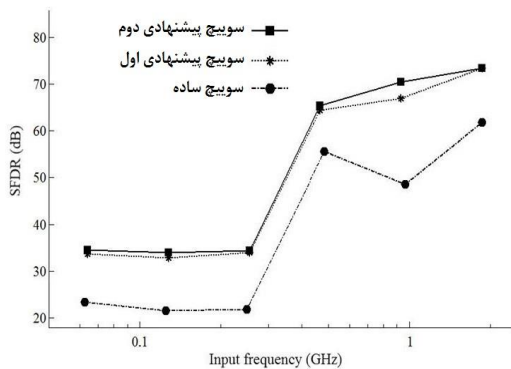
در این حالت ضریب نفوذ سیگنال ورودی بر روی گره‌ی خروجی به صورت زیر بیان می‌شود:

$$Feedthrough = \frac{C_{BS} \cdot C_{BD}}{C(C_{BD} + C_H) + C_H(C_{BS} + C_{BD}) + C_{BS} \cdot C_{BD}} \quad (13)$$

که نشان می‌دهد اثر نفوذ سیگنال ورودی کمتر شده است و با انتخاب مناسب خازن C این نفوذ را می‌توان به شدت کاهش داد.



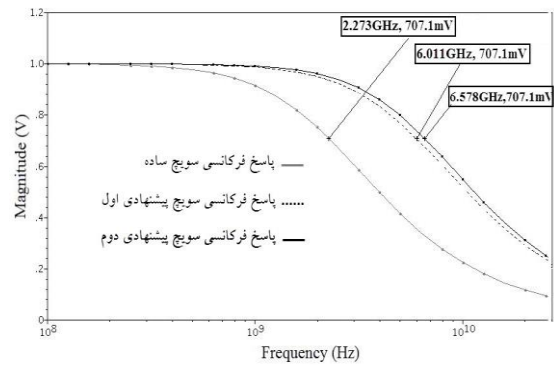
شکل ۱۱. مقایسه دقت نمونه برداری سوئیچ‌ها



شکل ۱۲. مقدار SFDR برحسب تغییرات فرکانس ورودی

نتیجه گیری

در این مقاله هدف طراحی یک سوئیچ بهتر و با کارایی بالاتر از سوئیچ ساده MOS بوده است به طوری که علاوه بر داشتن سرعت بسیار بالا و دقت مناسب بتواند سادگی خود را نیز حفظ کند. افزایش دقت سوئیچ در پیشنهاد اول، با استفاده از ترانزیستور کمکی و بایاس بدنه و در پیشنهاد دوم علاوه بر موارد ذکر شده با استفاده از یک مدار هوشمند کنترل بایاس بدنه، که موجب صفر شدن VBS می‌شود، انجام شد. بالا بردن سرعت سوئیچ نیز در هر دو پیشنهاد با بایاس بدنه به وسیله یک ولتاژ مثبت، که ولتاژ آستانه را کاهش می‌دهد، انجام شد. با توجه به سرعت بالای سوئیچ‌های پیشنهادی، می‌توان از آنها در کاربردهایی که نیاز به سرعت بالایی دارند، مثل مخابرات نوری و سیستم‌های مخابراتی دیگر استفاده کرد.



شکل ۱۰. پاسخ فرکانسی سوئیچ‌ها در حالت $C_H=50 \text{ fF}$

جهت مقایسه دقت نمونه برداری سوئیچ‌ها، خروجی آنها برای سیگنال ورودی سینوسی با فرکانس ۵۰۰ MHz و فرکانس کلاک ۱ GHz که در نقطه قله ورودی، از آن نمونه می‌گیرد، در شکل ۱۱ نشان داده شده است.

با توجه به شکل ۱۱، ملاحظه می‌شود که برای زمانهایی که سیگنال خروجی، سیگنال ورودی سوئیچ را دنبال می‌کند (وضعیت پیگیری)، اختلاف فاز سیگنال ورودی و خروجی برای سوئیچ‌های پیشنهادی بسیار کمتر از سوئیچ ساده است. و نیز برای زمانی که سوئیچ خاموش می‌شود (زمان ۲۱ ns به بعد در روی شکل) سیگنال نمونه برداری شده توسط این سوئیچ‌ها سطح بسیار مناسب‌تری دارد. و سوئیچ ساده به شدت تحت تاثیر تزریق بار کانال و تغییرات ولتاژ آستانه قرار می‌گیرد. نتایج شبیه‌سازی بیانگر این است که سوئیچ‌های پیشنهادی قادرند نمونه برداری را حداکثر تا فرکانس کلاک ۲/۵ GHz با دقت مناسب و مطلوب انجام دهند. برای یک مقایسه بهتر SFDR^{۱۱} مربوط به سوئیچ‌ها در شکل ۱۲ برحسب تغییرات فرکانس ورودی برای هر سه سوئیچ نشان داده شده است. در این شکل فرکانس نمونه برداری (کلاک) ۲ GHz در نظر گرفته شده است. مقدار SFDR در فرکانس نایکوویست^{۱۱} برای سوئیچ ساده حدود ۴۵ dB و برای سوئیچ پیشنهادی اول حدود ۶۵ dB، و حدود ۶۹ dB نیز برای سوئیچ پیشنهادی دوم بدست آمد که نشان می‌دهند روش‌های استفاده شده در طراحی سوئیچ‌های پیشنهادی از جمله بایاس بدنه و استفاده از طراحی تفاضلی و مدار کنترل بایاس بدنه جهت حذف اثر بدنه، به ایجاد یک سوئیچ خطی کمک کرده‌اند. در جدول ۱ نیز خلاصه‌ای از مقادیر اندازه‌گیری شده به همراه مقایسه با کارهای قبلی آورده شده است.

^{۱۰} Spurious-free dynamic range
^{۱۱} Nyquist

جدول ۱. مقایسه پارامترهای این کار با کارهای انجام شده قبلی

	This work		[1]	[2]	[5]	[9]	[12]
	SW1	SW2					
Input frequency	1.25 GHz	1.25 GHz	70 MHz	1 GHz	34.179 kHz	1 GHz	1.6 GHz
Sampling frequency	2.5 GHz	2.5 GHz	185 MS/s	0.999 GS/s	0.25 MHz	5 GS/s	6 GS/s
SFDR(dB)	65	69	63	43	75	–	44.6
Input swing(V_{p-p})	0.8	0.8	0.7	1	1	1	0.4
Bandwidth (GHz)	6.01	6.57	0.18	–	–	–	7
Technology	0.18 μm	0.18 μm	0.35 μm	0.35 μm	0.18 μm	90 nm	65 nm

speed miller-capacitance-based sample-and-hold circuit,” IEEE Trans. Circuits and Systems, 1998, Vol. 45, pp. 198-201.

- [9] A. D. C. Lowaton and D. S. Auguis, “5 GS/s Track and Hold circuit in 90-nm CMOS technology process,” in Humanoid, Nanotechnology, Information Technology, Communication and Control, Environment and Management (HNICEM), 2015 International Conference on, Dec.2015, pp. 1-6.
- [10] M. Meijer and J. P. de Gyvez, “Body-bias-driven design strategy for area-and performance-efficient CMOS circuits,” IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2012, Vol. 20, pp. 42-51.
- [11] H.-Y. Chang and C.-Y. Chan, “A low loss high isolation DC-60 GHz SPDT traveling-wave switch with a body bias technique in 90 nm CMOS process,” IEEE Microwave and Wireless Components Letters, 2010, Vol. 20, pp. 82-84.
- [12] Y.-C. Liu, H.-Y. Chang, S.-Y. Huang and K. Chen, “Design and Analysis of CMOS High-Speed High Dynamic-Range Track-and-Hold Amplifiers,” IEEE Transactions on Microwave Theory and Techniques, 2015, Vol. 63, pp. 2841-2853.
- [13] J.-H. Wang, et al., “A 5.2-GHz CMOS T/R switch for ultra-low-voltage operations,” IEEE Transactions on Microwave Theory and Techniques, 2008, Vol. 56, pp. 1774-1782.
- [1] A. Boni, A. Pierazzi, and C. Morandi, “A 10-b 185-MS/s track-and-hold in 0.35 μm CMOS,” IEEE J. Solid State Circuits, 2001, Vol. 36, pp. 195-203.
- [2] D. Jakonis, and C. Svensson, “A 1GHz linearized CMOS track-and-hold circuit,” Int. Symp. on Circuits and Systems (ISCAS), May 2002, pp. V-577-V580.
- [3] B. Razavi, “Design of analog CMOS integrated circuits,” McGraw-Hill, 2001, New York.
- [4] G. Huang, and P. lin, “A fast bootstrapped switch for high-speed high-resolution A/D converter,” IEEE Asia Pacific Conf. on Circuits and systems (APCCAS), kuala lumpur, Dec 2010, pp. 382-385.
- [5] C. J. B. Fayomi, G. W. Roberts, and M. Sawan, “Low voltage CMOS analog bootstrapped switch for sample-and-hold circuit: design and chip characterization,” Int. Symp. on Circuits and Systems (ISCAS), May 2005, pp.2200-2203.
- [6] M. Hasan-Sagha, and M.Jalali, “Very high speed and low voltage open-loop dual edge triggered sample and hold circuit in 0.18 μm CMOS technology,” Int. Conf. on semiconductor electronics (ICSE), kuala lumpur, Sept 2012, pp. 645-648.
- [7] G. Weggmann, E. A.Vittoz, and F. Rahali, “Charge injection in analog MOS switches,” IEEE J. Solid State Circuits, 1987, Vol. 22, pp. 1091-1097.
- [8] M. –J. Chen, Y. –B. Gu, J. –Y. Huang, W. –C. Shen, T.Wu, and P. –C. Hsu, “A compact high

مراجع