

طراحی یک VCO دو حالت پهن باند با فیلترینگ نویز در تکنولوژی ۰/۱۸ میکرو متر

عباس نصری^۱، مصطفی یارقلی^۲

۱ دانش آموخته گروه برق - دانشکده مهندسی برق - دانشگاه زنجان - زنجان abbas.nasri@znu.ac.ir
۲ (نویسنده مسؤول) استادیار گروه برق - دانشکده مهندسی برق - دانشگاه زنجان - زنجان yargholi@znu.ac.ir

چکیده

در این مقاله یک اسیلاتور کنترل شده با ولتاژ (VCO) دو حالت مبتنی بر سوئیچ تشدید کننده با فیلتر کردن نویز منبع جریان ارائه شده است. با طراحی یک تشدید کننده دو حالت، یک نوسان ساز برای دو باند فرکانسی متفاوت بدست آمده است. همچنین با بکارگیری یک فیلتر نویز برای منابع جریان بایاس، نویز فاز VCO کاهش پیدا کرده است. در مدار تشدید کننده دو حالت با تنظیم مد فرکانسی می توان بازه فرکانس را تغییر داد که با تنظیم پله ای بوسیله سوئیچ های بانک خازنی و تنظیم نرم فرکانس توسط ورکتور، فرکانس در هر دو مد فرکانسی تنظیم می شود. همچنین توسط فیلتر حذف نویز منبع جریان در هر دو مد فرکانسی، نویز فاز VCO بهبود پیدا کرده است. VCO در تکنولوژی ۰/۱۸ میکرو متر پروسه CMOS تحلیل و شبیه سازی شده است، مدار طراحی شده دو محدوده فرکانسی از ۶/۲۷GHz تا ۸/۰۸GHz و ۱۰/۶۵GHz تا ۱۳/۰۲GHz را پوشش می دهد. از VCO شبیه سازی شده نویز فاز ۱۲۰ dBc/Hz و ۱۱۳/۸ dBc/Hz - به ترتیب در فرکانس ۶/۸۳GHz و ۱۰/۶۱GHz در آفست ۱MHz بدست آمده است. توان مصرفی با ولتاژ تغذیه ۱/۵ ولت برابر ۱۴/۱۵mW است در حالی که ضریب شایستگی مدار طراحی شده بین ۱۷۰ dBc/Hz و ۱۸۴/۳۱ dBc/Hz - می باشد.

کلیدواژه

VCO، توان مصرفی، نویز فاز، محدوده فرکانسی، فیلتر نویز.

مقدمه

در این مقاله یک تکنیک متفاوت برای دستیابی به رنج تغییرات وسیع فرکانسی و نویز فاز ارائه شده است. VCO با استفاده از یک بانک براساس سوئیچ تشدید کننده، فیلتر حذف نویز منبع جریان برای بهبود نویز فاز، خازن ورکتور و بانک خازنی برای تنظیم فرکانس طراحی شده است. این نوسان ساز دو مد نوسان در دو بازه فرکانسی متفاوت ارائه می کند که با تنظیم فیدبک ارائه شده می توان مد فرکانسی را انتخاب کرد، بنابراین دو باند فرکانسی متفاوت با رنج تغییرات وسیع خواهیم داشت. VCO طراحی شده برای کاربردهای مدار مجتمع در باندهای فرکانسی C و X مناسب می باشد. این کار در تکنولوژی CMOS ۰/۱۸μm طراحی و شبیه سازی شده است. با فیلتر کردن نویز منبع جریان بایاس، نویز فاز ۱۲۰ dBc/Hz و ۱۱۳/۸ dBc/Hz - به ترتیب در فرکانس ۶/۸۳GHz و ۱۰/۶۱GHz در آفست ۱MHz بدست آمده است. با استفاده از فیلتر حذف نویز منبع جریان بهبود قابل ملاحظه ای در نویز فاز حاصل شده است. ادامه این مقاله به شرح زیر است: در ادامه به بررسی ساختار VCO و شرایط راه اندازی آن خواهیم پرداخت. در بخش بعدی منابع نویز که بر روی نویز فاز VCO اثر می گذارند، توضیح داده

با توجه به رشد تقاضای سیستم های بی سیم با کیفیت بالا، طراحی سیستم ها و مدارات مجتمع فرکانس بالا گسترش یافته است. یکی از بلوک های مهم مدارات مجتمع RF، اسیلاتور کنترل شده با ولتاژ (VCO) می باشد. اسیلاتورها نقش مهمی در سیستم های ارتباطی برای تبدیل فرکانس در فرستنده و گیرنده و همچنین زمان بندی مدارات دیجیتال دارند. مهمترین مشخصه برای هر نوسان ساز، نویز فاز همراه با رنج وسیع تغییرات فرکانسی می باشد [۱-۳]. در نوسان سازها یک مصالحه - ی خاصی بین نویز فاز و توان مصرفی و رنج تغییرات فرکانس (FTR) وجود دارد [۴-۶]. کارهای زیادی برای دستیابی به نویز فاز کم و رنج تغییرات وسیع فرکانسی در VCO انجام شده است. برای مثال در مرجع [۴] از تکنیک دو هسته متفاوت استفاده شده است که از سه سوئیچ برای تغییر باند فرکانسی استفاده شده است، این کار باعث محدود شدن FTR و نویز فاز نوسان ساز می شود.

¹ Voltage Control Oscillator

² Frequency tuning range (FTR)

L_1 و L_2) و خازن‌های ورکتور بستگی دارند. از دو ترانزیستور M_1 و M_2 برای تولید مقاومت منفی جهت حذف تلفات تانک LC استفاده شده است. فیلتر L_T و C_T برای حذف نویز منابع جریان بکار برده شده است. از بافر برای هدایت سیگنال خروجی هسته VCO به خروجی نهایی و از ورکتور برای تنظیم فرکانس استفاده شده است.

اولین قدم در طراحی VCO، انتخاب تشدیدکننده مناسب است تا بتواند کارایی خوبی داشته باشد، برای این کار از دو سلف تزویج استفاده شده است. همچنین با خاموش و روشن کردن ترانزیستور M_6 باند فرکانسی مورد نظر را انتخاب می‌کنیم. به طوری که باند فرکانسی بالا از ترکیب دو تشدید کننده و باند فرکانسی پایین از یک تشدید کننده حاصل می‌شود، بنابراین دو باند فرکانس با نویز فاز مناسب بدست می‌آید.

تحلیل فرکانس نوسان و شرایط راه اندازی

شکل ۲ یک تشدید کننده مبتنی بر ترانسفورماتور را نشان می‌دهد. در هر دوره نوسان، انرژی تلف شده در دو پورت توسط یک ترانسسانی که در مسیر فیدبک قرار گرفته است، بازسازی می‌شود. شرایط راه اندازی بصورت زیر بیان می‌شود [۷]

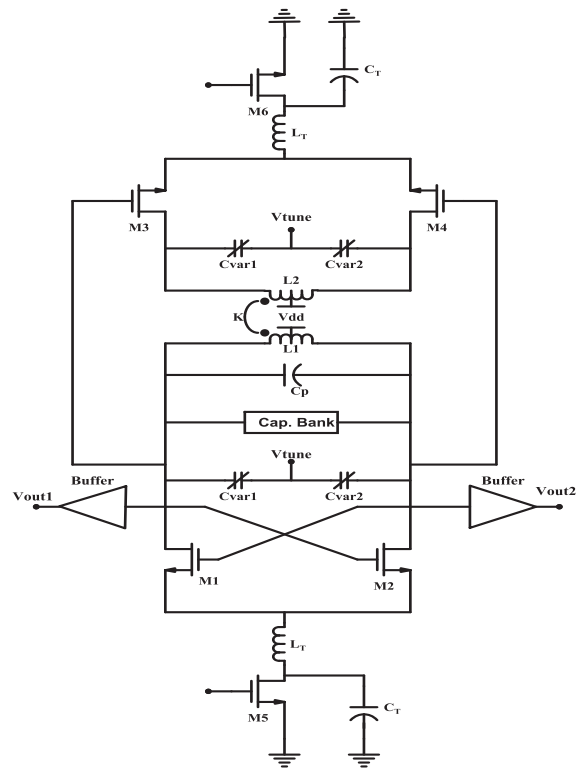
$$1 + G_m R [Z_{11}] < 0 \quad (1)$$

رابطه فوق دو حالت ممکن برای نوسان (ω_H و ω_L) را فراهم می‌کند. فرکانس نوسان برای هر دو باند بصورت زیر تعریف می‌شود [۸]

$$\omega_{L,H}^2 = \frac{1 + \varepsilon \pm \sqrt{(1 + \varepsilon)^2 - 4\varepsilon^2(1 - K^2)}}{2(1 - K^2)} \omega_2^2 \quad (2)$$

که $\omega_1 = 1/\sqrt{L_1 C_1}$ و $\omega_2 = 1/\sqrt{L_2 C_2}$ می‌باشند. C_1 و C_2 به ترتیب مقدار خازن‌های پارازیتی ترانزیستورها، ورکتور اولیه و ثانویه می‌باشند. در این کار علاوه بر استفاده از ورکتور برای تنظیم نرم فرکانس، از یک بانک خازنی نیز برای تنظیم گسسته فرکانس استفاده شده است. شکل ۳ بانک خازنی برای تانک LC را نشان می‌دهد. در این شکل ۸ الگوی مختلف برای سوئیچ‌های SW_1 ، SW_2 و SW_3 وجود دارد که توسط آن می‌توان مقادیر متفاوت خازن‌های مورد نیاز برای تشدید کننده را تنظیم کرد.

می‌شوند؛ سرانجام در بخش آخر به تحلیل نتایج شبیه‌سازی بدست آمده و مقایسه آن با کارهای دیگران خواهیم پرداخت.



شکل ۱. مدار VCO پیشنهادی.

جدول ۱. مقادیر پارامترهای مدار پیشنهادی

مقدار طراحی	المان‌ها
۱/۵ ولت	V_{DD}
۲۵m/۱۸۰m	M_1, M_2
۱۰m/۱۸۰m	M_3, M_4
۰/۵nH	L_1
۱nH	L_2
۰/۵nH	L_T
۰/۵	K
۵nF	C_T
۲۵m/۱۸۰m	C_{var1}, C_{var2}

طرح پیشنهادی

مدار پیشنهادی در شکل ۱ نشان داده شده است. در این مقاله از تئوری اسیلاتورهای دو باند^۳ و روش حذف نویز منبع جریان برای طراحی VCO استفاده شده است. با این کار دو فرکانس نوسان در دو بازه فرکانسی متفاوت ایجاد شده است. مقدار فرکانس‌های نوسان به مقدار ضریب تزویج (K)، مقدار سلف‌ها (

⁴ transconductor

³ Dual-band

برای داشتن نویز فلیکر کم باید ترانزیستورهایی با مساحت بالا طراحی کنیم، ولی افزایش پهنای ترانزیستورها باعث افزایش خازن‌های پارازیتی می‌شود. همچنین مقدار پهنای ترانزیستورها را باید طوری انتخاب کنیم که بتواند مقاومت منفی مورد نظر برای راه‌اندازی را فراهم سازد. در نتیجه در انتخاب اندازه ترانزیستورها باید مصالحه‌ای بین نویز فاز و شرایط راه‌اندازی انجام شود.

نویز فاز

المان‌های مختلف VCO تأثیر به‌سزایی بر روی نویز فاز مدار دارند. کارایی یک اسیلاتور با پارامترهایی مثل نویز فاز، رنج تنظیم فرکانس و توان آن سنجیده می‌شود. برای بدست آوردن نویز در اطراف فرکانس حامل، باید کلیه منابع نویز در مدار اسیلاتور شناسایی شوند، از عمل سوئیچینگ زوج تفاضلی می‌توان برای درک انتقال فرکانس نویز استفاده کرد [۹]. سه منبع مهم نویز که در ایجاد نویز فاز دخیل هستند، عبارتند از [۱۰]:

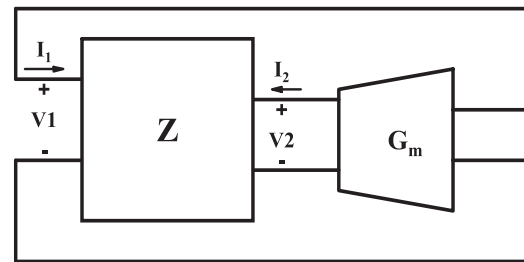
- نویز تانک
- نویز زوج تفاضلی
- نویز منبع جریان

نویز تانک

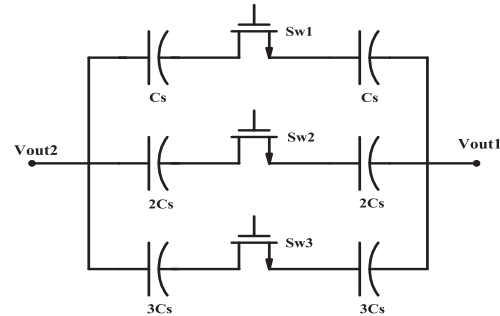
نویز حرارتی توسط مقاومت R_p بوسیله تشدید کننده بوجود می‌آید. این نویز توسط ضربه‌هایی که در $2\omega_0$ تکرار می‌شوند، نمونه‌برداری می‌شود. از اینرو نویز حرارتی در ω_0 ، $3\omega_0$ و ... ظاهر می‌شود. با تنظیم تانک، نویز حرارتی در $3\omega_0$ حذف می‌شود و تنها نویز حرارتی در فرکانس ω_0 باقی می‌ماند؛ بنابراین تنها اجزای نویز در حوالی ω_0 مهم هستند.

نویز زوج تفاضلی

برای نشان دادن اینکه چگونه نویز سفید در زوج تفاضلی M_1 و M_2 با نرخ $2\omega_0$ نمونه‌برداری می‌شود، باید زمان سوئیچینگ را محدود در نظر بگیریم. این موضوع به این علت است که بر خلاف نویز تشدید کننده، نویز زوج تفاضلی به دلیل نبود فیلتر، مولفه‌های فراوانی در کل طیف دارد. در نتیجه نمونه برداری با استفاده از قطار ضربه، نویز زوج تفاضلی را به اطراف فرکانس حامل منتقل می‌کند. همپوشانی نویز نیز به عرض دوره نمونه برداری وابسته است، به طوری که هرچه دوره نمونه برداری کوچکتر باشد، پهنای باند نمونه‌برداری بیشتر خواهد بود. نویز زوج تفاضلی با ترانسانایی نسبت عکس دارد. از طرفی هرچه ترانسانایی بیشتر باشد، پهنای باند نیز بیشتر خواهد بود. در نتیجه، به منظور کاهش اثر این نویز، باید دوره نمونه برداری



شکل ۲. اسیلاتور دو پورته.



شکل ۳. نمای کلی از بانک خازنی.

با توجه به محدودیت C_{max}/C_{min} و رکتور و خازن‌های پارازیتی ترانزیستور C_{Mox} ، محدوده تغییرات فرکانسی محدود می‌شود. محدوده تغییرات VCO بصورت زیر حاصل می‌شود:

$$TR = \frac{f_{max}}{f_{min}} - 1 = \sqrt{\frac{C_{max}}{C_{min}}} - 1 \quad (3)$$

که C_{max} زمانی اتفاق می‌افتد که مقدار خازن و رکتور ماکزیمم و همه سوئیچ‌های بانک خازنی خاموش باشند ($SW_1 SW_2 SW_3 = 000$)، همچنین C_{min} موقعی اتفاق می‌افتد که خازن و رکتور مینیمم و همه سوئیچ‌های بانک خازنی وصل باشند ($SW_1 SW_2 SW_3 = 111$).

با توجه به رابطه ۱ شرایط راه‌اندازی بصورت زیر بیان می‌شود.

$$G_m = \frac{\omega}{\omega_2} \cdot \frac{\left[\left(\frac{\omega}{\omega_1} \right)^2 - 1 \right] \frac{1}{Q_2} + \left[\left(\frac{\omega}{\omega_2} \right)^2 - 1 \right] \frac{1}{\epsilon Q_1}}{\omega_2 k \sqrt{L_1 L_2}} \quad (4)$$

که Q_1 و Q_2 ضریب کیفیت اولیه و ثانویه سلف می‌باشند، با توجه به رابطه بالا دو ترانسانایی برای دو فرکانس $\omega = \omega_L$ و $\omega = \omega_H$ ایجاد می‌شود.

با توجه به ترانسانایی بدست آمده در رابطه ۴، مقدار سایز ترانزیستورهای $M_{1,2}$ بصورت زیر بیان می‌شوند:

$$\frac{W}{L} = \frac{g_m}{\mu C_{ox} (V_{GS} - V_{th})} \quad (5)$$

در این طراحی برای برقراری شرایط راه‌اندازی، مقدار W/L برابر $25\mu m/18\mu m$ انتخاب شده است. با توجه به اینکه نویز فلیکر با عرض ترانزیستورها (W) نسبت عکس دارد، برای کاهش نویز فلیکر، سطح ترانزیستور باید افزایش یابد. بنابراین

در بسیاری از طراحی‌ها برای اینکه وابستگی جریان بایاس مدار به المان‌های مدار، دما و تحریک‌پذیری را کاهش دهند، از یک منبع جریان در گره دم استفاده می‌کنند. منبع جریان دو وظیفه اصلی در اسیلاتورهای LC دارند: جریان بایاس را تنظیم می‌کند، همچنین یک امپدانس زیاد سری با سوئیچ‌های FET ایجاد می‌کند. البته منبع جریان مشکلاتی را هم ایجاد می‌کند، زیرا منبع جریان بایاس مهمترین منبع نویز فلیکر در اسیلاتورهای زوج ضربدری LC می‌باشد. مطابق رابطه ۶ نویز منبع جریان بایاس در $2\omega_0$ با ضرب شدن در فرکانس‌های ω_0 ، $3\omega_0$ و... با دامنه $I_0/3$ بصورت باندهای کناری به ω_0 منتقل می‌شود.

$$I_{out} = \cos\omega_0 t I_0 \cos(2\omega_0 - \Delta\omega) t + \frac{1}{3} \cos(3\omega_0 t) I_0 \cos(2\omega_0 - \Delta\omega) t \quad (6)$$

در نتیجه باندهای کناری PM بصورت زیر بدست می‌آیند:

$$I_{out} = \frac{I_0}{3} \cos(\omega_0 + \Delta\omega) t - \frac{I_0}{3} \cos(\omega_0 - \Delta\omega) t + \dots \quad (7)$$

توسط مجموع تمام توانهای باندهای کناری، عبارت زیر برای محاسبه نویز فاز ناشی از منبع جریان بایاس حاصل می‌شود [۱۳]:

$$s(\Delta\omega) = \frac{\pi^2 I_0^2}{16 I_{SS}^2} \left[\frac{\omega_0}{2Q\Delta\omega} \right]^2 \quad (8)$$

که I_n نویز منبع جریان، I_{SS} جریان بایاس، ω_0 فرکانس نوسان، $\Delta\omega$ فرکانس آفست و Q ضریب کیفیت تانک می‌باشد. برای درک بهتر انتقال نویز منبع جریان به فرکانس مرکزی، ولتاژ خروجی VCO را بصورت زیر در نظر می‌گیریم:

$$V_{out}(t) = V_0 \cos(\omega_0 t + K_{VCO} \int V_{tune} dt) \quad (9)$$

ولتاژ V_{tune} متناسب با سطح ولتاژ حالت مشترک خروجی تغییر می‌کند. تغییرات ولتاژ مد مشترک خروجی به صورت زیر تعریف می‌شود:

$$\Delta V_{CM} = \frac{i_{in}(t)}{2} r_i \quad (10)$$

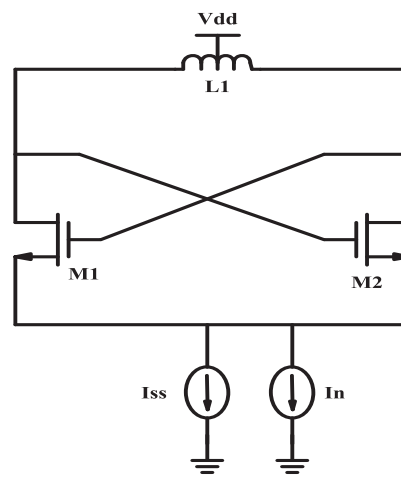
اگر تغییرات ولتاژ مد مشترک را در جهت مخالف برای V_{tune} بیان کنیم، می‌توان ولتاژ خروجی را بصورت زیر بیان کرد:

$$V_{out}(t) = V_0 \cos(\omega_0 t + K_{VCO} \int \frac{i_{in}(t)}{2} r_i dt) \quad (11)$$

را تا حد ممکن پایین در نظر گرفت؛ به عبارت دیگر، ترانزیستورها باید با حداکثر سرعت ممکن سوئیچ شوند. نویز فلیکر، که می‌توان آن را به صورت منبع ولتاژ تصادفی در بخش گیت زوج تفاضلی مدل کرد، سبب ایجاد عدم تعادل در زوج تفاضلی می‌شود. همانطور که در بالا اشاره شد، این نویز مجدداً شکل موج ولتاژ $2\omega_0$ را در قسمت انتهایی آن مدوله می‌کند. این موضوع سبب ایجاد جریان نویزی در خازن گره بایاس می‌شود که متناسب با مقدار خازن گره دم است. این جریان بوسیله مکانیزمی که مشابه نویز حرارتی منبع جریان بایاس است به فرکانس ω_0 منتقل می‌شود [۱۱].

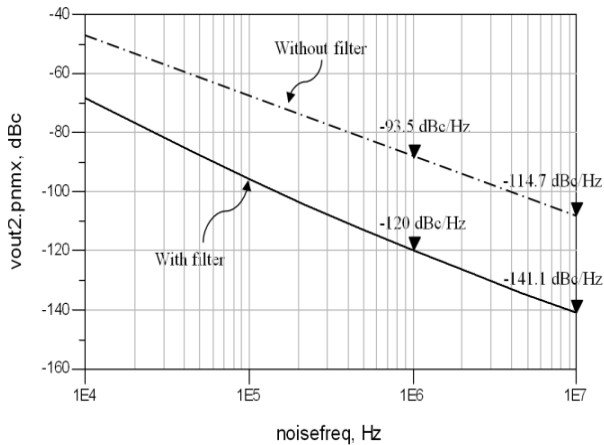
نویز منبع جریان بایاس

در نوسان‌سازها معمولاً یک منبع جریان بایاس به کار می‌رود تا حساسیت به ولتاژ تغذیه کم شود. در شکل ۴، I_n مین نویز منبع جریان I_{SS} ، شامل نویز فلیکر نزدیک به فرکانس صفر، نویز حرارتی حول فرکانس نوسان ω_0 و نویز حرارتی حول $2\omega_0$ می‌باشد. ترانزیستورهای M_1 و M_2 بطور متناوب قطع و وصل می‌شوند و $I_n + I_{SS}$ را از یک طرف زوج به طرف دیگر می‌چرخانند، بنابراین بصورت مخلوط کننده عمل می‌کنند. هارمونیک‌های ω_0 ، $3\omega_0$ ، $5\omega_0$ و... موج مربعی، با نویز I_n حول ω_0 مخلوط شده، در نتیجه عاملهای نویز در فرکانس‌های $2\omega_0$ ، $4\omega_0$ و... قرار می‌گیرند. نویز ایجاد شده حول $2\omega_0$ تأثیر زیادی در مدار دارد. مؤلفه‌ی نویز که اندکی پایین‌تر از $2\omega_0$ قرار دارند، با هارمونیک‌های اول و سوم موج مربعی مخلوط شده، در نتیجه نویز منبع اندکی پایین‌تر و بالاتر از ω_0 قرار می‌گیرد [۱۲].



شکل ۴. نوسان‌ساز دارای منبع جریان بایاس نویزدار.

همانطور که در شکل ۵ مشخص است، در حالتی که از فیلتر حذف نویز منبع جریان به همراه انتخاب صحیح سایز و رکتور و سوئیچ‌های بانک خازنی، نویز فاز در فرکانس ۶/۸۳ GHz در آفست ۱MHz حدود ۲۶/۵ dB بهبود پیدا کرده است.



شکل ۵. نویز فاز مدار در حالت بدون فیلتر و با فیلتر.

نتایج شبیه‌سازی

اسیلاتور کنترل شده با ولتاژ LC در تکنولوژی TSMC RF CMOS 0.18μm شبیه سازی شده است. شکل ۶ تصویر جانمایی مدار را نشان می‌دهد. همانطور که مشاهده می‌شود عمده فضای آی سی توسط سلف‌ها اشغال شده است. شکل ۷ محدوده فرکانس خروجی برحسب تغییرات ولتاژ V_{tune} به ازای تغییرات بانک خازنی را نشان می‌دهد. همانطور که در شکل ۷ مشخص است به ازای تغییرات ولتاژ از ۰ تا ۱/۵ ولت دو بازه فرکانسی از ۶/۲۷ GHz تا ۸/۰۵ GHz برای کاربردهای باند C و بازه فرکانسی ۱۰/۶۵ GHz تا ۱۳/۰۲ GHz برای کاربردهای باند X بدست می‌آید. در حالتی که VCO در مد یک قرار دارد (یعنی ترانزیستور M6 وصل است) و زمانی که همه سوئیچ‌های بانک خازنی هسته VCO که در شکل ۳ نشان داده شده است قطع باشند ($SW_1 SW_2 SW_3 = 000$)، به ازای تغییرات V_{tune} از ۰ تا ۱/۵ ولت، فرکانس از ۶/۲۷ GHz تا ۶/۸۳ GHz تغییر می‌کند؛ در این حالت هنگامی که همه سوئیچ‌های بانک خازنی وصل باشند ($SW_1 SW_2 SW_3 = 111$)، بازه تغییرات فرکانس از ۷/۱۳ GHz تا ۸/۰۵ GHz می‌باشد. به ازای سایر حالت‌های سوئیچ خازنی، مقادیر دیگر رنج فرکانسی حاصل می‌شود. همچنین در حالتی که VCO در مد دو قرار دارد (یعنی ترانزیستور M6 قطع است) وقتی که همه سوئیچ‌ها قطع هستند فرکانس از ۱۱/۶۶ GHz تا ۱۳/۰۲ GHz تغییرات دارد، ولی اگر همه خازن‌ها وارد مدار شوند، بازه تغییرات فرکانس از ۱۰/۶۵ GHz تا ۱۲/۱۶ GHz است. شکل ۸ طیف

اگر جمله دوم داخل پرانتز خیلی کوچکتر از ۱ رادیان باشد، داریم:

$$V_{out}(t) \approx V_0 \cos \omega_0 t - V_0 \frac{K_{VCO} r_1}{2} \left(\int i_n(t) dt \right) \sin \omega_0 t \quad (12)$$

از رابطه ۱۲ کاملاً مشخص است که نویز $i_n(t)$ به حوالی ω_0 انتقال داده شده است. معادله کلی برای محاسبه نویز فاز بصورت زیر ارائه می‌شود:

$$L(\omega_m) = 10 \log \left\{ \left(\frac{\omega_0}{2Q\omega_m} \right)^2 \left[\frac{F K T}{2 P_0} \left(1 + \frac{\omega_c}{\omega_m} \right) \right] + \left(\frac{K_{VCO} V_n}{2 K_{LC} \omega_m} \right)^2 \right\} \quad (13)$$

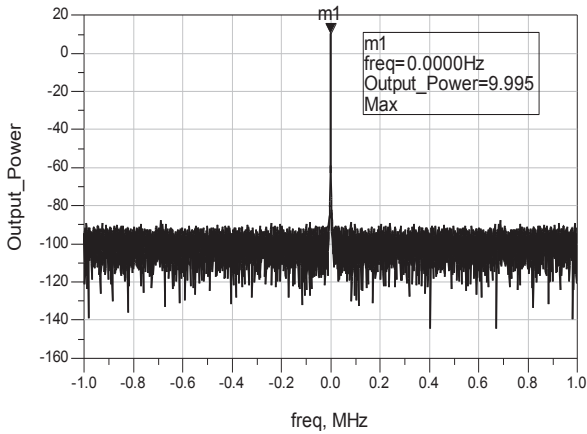
که ω_m مبین فرکانس آفست حول فرکانس مرکزی ω_0 است و K_{LC} یک وابستگی ثابت با مقادیر L و C تانک دارد. ω_c فرکانس گوشه نویز فلیکر می‌باشد، P_n توان تولید شده توسط VCO، V_n نویز ولتاژ، Q ضریب کیفیت تانک، K ثابت بولتزمن و T دما برحسب کلوین می‌باشد. در معادله ۱۳ نویز فاز بصورت dBc/Hz بیان می‌شود [۱۴-۱۵].

F یک پارامتر تجربی است که نویز حرارتی و نویز فلیکر ترانزیستور را نشان می‌دهد. مقدار F معمولاً بصورت زیر تعریف می‌شود:

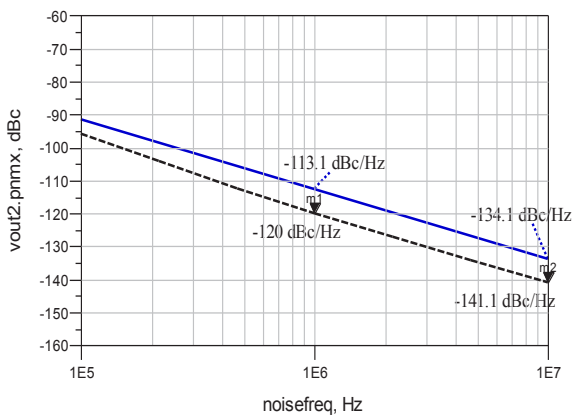
$$F = 1 + \frac{K_1 \gamma_{bias} R}{V} + K_2 \gamma_{gmbias} R \quad (14)$$

که K_1 و K_2 اعداد ثابت هستند، γ ضریب نویز ترانزیستورها است، R مقاوت معادل تانک می‌باشد و g_{mbias} ترانسایبی ترانزیستور منبع جریان می‌باشد.

ساده‌ترین راه حل برای از بین بردن نویز منبع جریان این است که منبع جریان بایاس را حذف کرد و گره دم را مستقیم به زمین وصل کرد؛ ولی مشکل این روش این است که کنترل زیادی روی توان مصرفی نداریم و همچنین جریان بایاس بشدت به تغییرات ولتاژ تغذیه حساس می‌باشد. مطابق شکل ۱ راه حل دیگر برای از بین بردن نویز منبع جریان در $2\omega_0$ استفاده از یک خازن بزرگ (CT) موازی با منبع جریان می‌باشد [۱۶]. با اضافه کردن خازن، نویز منبع جریان به زمین منتقل می‌شود؛ ولی در صورتی که ترانزیستورها در حالت نوسان وارد ناحیه ترابودی شوند، باعث کاهش ضریب کیفیت تانک شده که این کار نویز فاز را افزایش می‌دهد. برای اینکه نویز منبع جریان را حذف کرده و از کاهش ضریب کیفیت جلوگیری کنیم، می‌توان از یک سلف (LT) بین منبع جریان و گره دم به صورت سری استفاده کرد. در این حالت باید مقدار سلف را طوری انتخاب کرد که با خازن‌های پارازیتی دم در $2\omega_0$ نوسان کند. نتایج شبیه‌سازی نویز فاز برحسب فرکانس آفست برای دو حالت بدون فیلتر و با فیلتر در شکل ۵ نشان داده می‌شود.



شکل ۸. طیف توان خروجی برحسب V_{tune} .



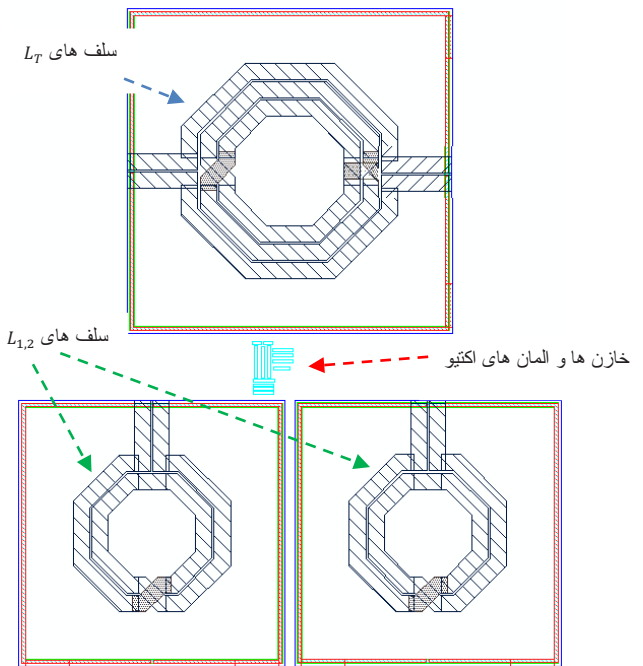
شکل ۹. نویز فاز برحسب فرکانس آفست.

پارامترهایی مانند دما و تغییرات ولتاژ تغذیه، کارایی VCO را تحت تأثیر قرار می‌دهند. شکل ۱۰ نویز فاز و فرکانس شبیه‌سازی شده بر حسب تغییرات ولتاژ تغذیه را نشان می‌دهد. همان‌طور که مشاهده می‌شود تغییرات فرکانس و نویز فاز بر حسب تغییرات ولتاژ تغذیه خیلی ناچیز است. همان‌طور که در شکل ۱۱ مشاهده می‌شود، با تغییر دما از ۲۵- تا ۱۰۰ درجه سانتی گراد نویز فاز در فرکانس مرکزی ۶/۸۳ GHz در آفست ۱ MHz از ۱۱۶/۶ dBc/Hz تا ۱۲۱/۳۲ dBc/Hz تغییر می‌کند، همچنین فرکانس نوسان خروجی به ازای تغییرات دمایی، پایداری خوبی دارد.

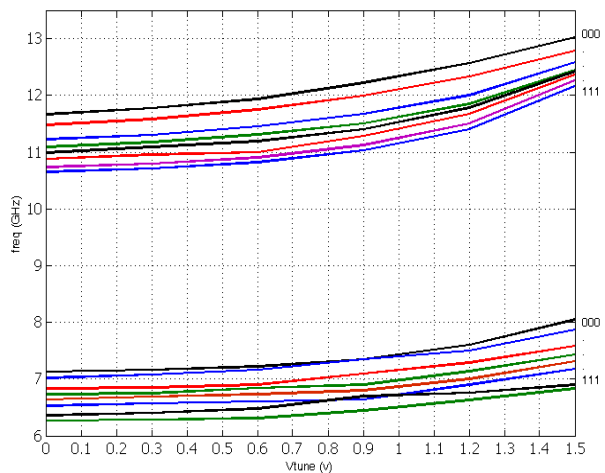
شکل ۱۲ و ۱۳ به ترتیب تغییرات فرکانس نوسان و نویز فاز را با آنالیز مونت کارلو که شامل ۵۰ نمونه در فرکانس مرکزی ۶/۸۳ GHz است را نشان می‌دهد. همان‌طور که شکل ۱۲ نشان می‌دهد فرکانس نوسان خروجی طراحی شده، پایداری خوبی دارد.

بعلاوه، شکل ۱۳ نشان می‌دهد که تغییرات نویز فاز به ازای ۵۰ نمونه از ۱۱۹/۳۱ dBc/Hz تا ۱۲۰/۷۸ dBc/Hz می‌باشد. همچنین در شکل ۱۴ شبیه‌سازی در کرنر پراسس‌های SS, FF و حالت عادی نشان داده شده است. شکل ۱۴ شبیه‌سازی نویز

توان خروجی برای فرکانس مرکزی ۶/۸۳ GHz را نشان می‌دهد. مقدار توان خروجی برابر ۹/۹ dBm می‌باشد.

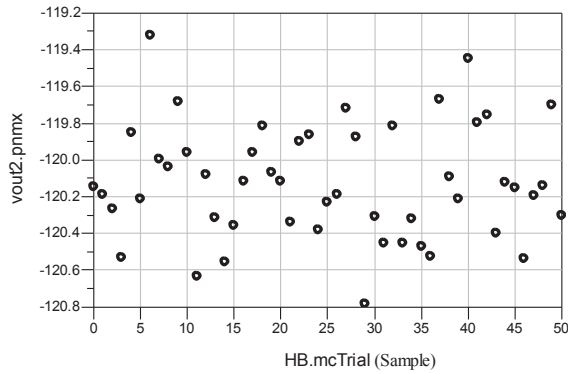


شکل ۶. جانشانی مدار ارائه شده.

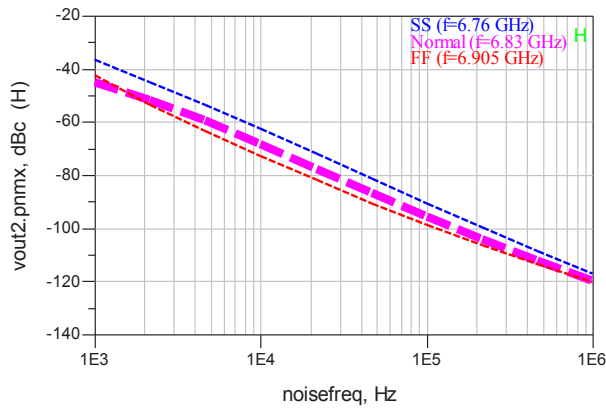


شکل ۷. محدوده تغییرات فرکانس خروجی برحسب V_{tune} در ۸ بیت.

شکل ۹ نویز فاز برحسب فرکانس آفست در دو فرکانس نوسان ۶/۸۳ GHz و ۱۰/۶۱ GHz را نشان می‌دهد. یک نویز فاز ۱۲۰ dBc/Hz و ۱۱۳/۸ dBc/Hz به ترتیب در فرکانس ۶/۸۳ GHz و ۱۰/۶۱ GHz در آفست ۱ MHz بدست می‌آید. مقدار نویز فاز در محدوده کاری دو باند فرکانسی VCO بین ۱۰۰ dBc/Hz تا ۱۲۰ dBc/Hz تغییر می‌کند.



شکل ۱۳. تغییرات نویز فاز با شبیه سازی مونت کارلو به ازای ۵۰ نمونه.



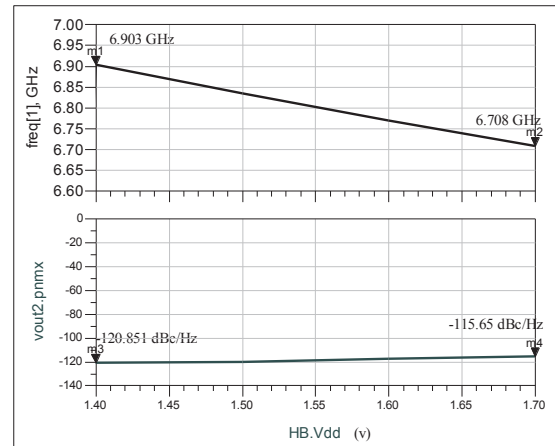
شکل ۱۴. منحنی‌های نویز فاز بدست آمده در تحلیل گوشه‌های فرآیند.

برای مقایسه کارایی VCO با کارهای دیگران، پارامتر ضریب شایستگی (FOM) استفاده شده است؛ FOM بصورت زیر تعریف می‌شود:

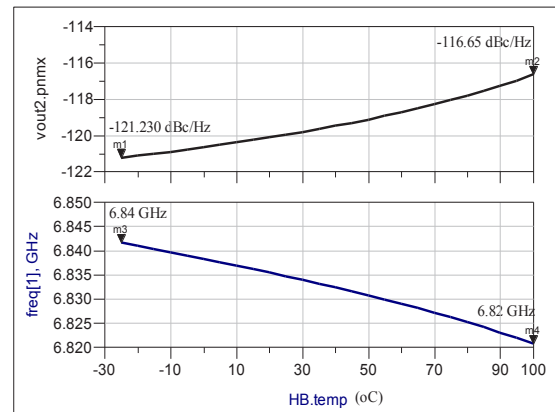
$$FOM = L\{f_{offset}\} - 20 \log\left(\frac{f_0}{f_{offset}}\right) + 10 \log\left(\frac{P_{DC}}{1mw}\right) \quad (15)$$

که $L\{f_{offset}\}$ نویز فاز در فرکانس مرکزی، f_0 فرکانس نوسان، f_{offset} فرکانس آفست و P_{DC} توان مصرفی می‌باشد. در جدول ۲ مقایسه کارایی VCO با کارهای دیگران از نظر فرکانس مرکزی، نویز فاز و توان مصرفی گزارش داده شده است. مقدار ضریب شایستگی از -170 dBc/Hz تا $-184/31$ dBc/Hz تغییر می‌کند. با توجه به جدول ۲، مدار VCO طراحی شده در مقایسه با کارهای دیگران دارای درصد تیون (TR) بالا، نویز فاز کم و ضریب شایستگی خوبی است. بنابراین در این کار با طراحی یک VCO در دو مد فرکانسی با بکارگیری فیلتر حذف نویز در منبع جریان و طراحی مناسب اندازه ورکتور و بانک خازنی یک نویز فاز خوب با توان مصرفی بهینه در هر دو مد فرکانس بدست آمده است. تحلیل مدار با آنالیز مونت کارلو و گوشه‌ای فرآیند نشان می‌دهند که مدار VCO طراحی شده، دارای رنج وسیع فرکانسی و نویز فاز کم می‌باشد.

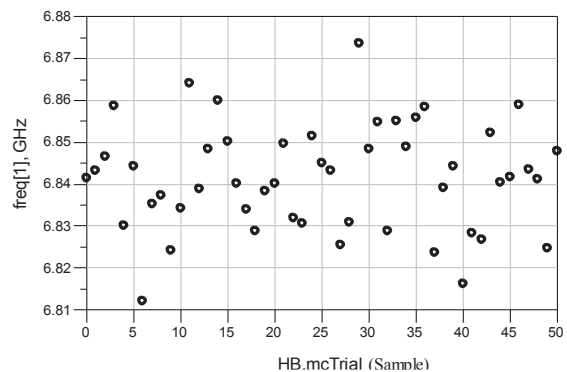
فاز مدار VCO طراحی شده در حالت‌های مختلف گوشه‌های پروسه و حالت نرمال شبیه‌سازی شده است. در حالت نرمال فرکانس $6/83$ GHz با نویز فاز -120 dBc/Hz در فرکانس آفست 1 MHz بدست آمده است. در گوشه SS و FF به ترتیب فرکانس $6/76$ GHz با نویز فاز $-117/3$ dBc/Hz و فرکانس $6/905$ GHz با نویز فاز $-120/4$ dBc/Hz در فرکانس آفست 1 MHz حاصل شده است.



شکل ۱۰. نویز فاز و فرکانس شبیه سازی شده بر حسب تغییرات ولتاژ تغذیه.



شکل ۱۱. نویز فاز و فرکانس شبیه سازی شده بر حسب تغییرات دما.



شکل ۱۲. تغییرات فرکانس نوسان با شبیه سازی مونت کارلو به ازای ۵۰ نمونه.

نتیجه گیری

مراجع

- [1] K. Hu, F. Herzel, and J. C. Scheytt, "Fully integrated 9 GHz CMOS VCO with Very Low Phase Noise," IEEE Int. Circuits syst. Symp, pp. 1899-1902, Jun. 2010.
- [2] J.-C. Chien, and L.-H. Lu, "Design of Wide Tuning Range Millimeter Wave CMOS VCO with a Standing Wave Architecture," IEEE J. Solid-State Circuits, vol. 42, no. 9, pp. 1942-1952, Sep. 2007.
- [3] C. Y. Yang, C. H. Chang, J. M. Lin, and J. H. Weng, "A 0.6 V 10 GHz CMOS VCO Using Negative- G_m Back-Gate Tuned Technique," IEEE Microw. Wireless Compon. Lett., vol. 21, no. 3, pp. 163-165, Mar. 2011.
- [4] G. Li, L. Liu, Y. Tang, and E. Afshari, "A Low-Phase-Noise Wide-Tuning-Range Oscillator Based on Resonant Mode Switching," IEEE J Solid-State Circuits, vol. 47, no.6, pp. 1295-1308, Jun. 2012.
- [5] M. Demirkan, S. P. Bruss, and R. R. Spencer, "Design of Wide Tuning-Range CMOS VCOs Using Switched Coupled-Inductors," IEEE J Solid-State Circuits, vol. 43, no. 5, pp. 1156 - 1163, May 2008.
- [6] B. Park, S. Lee, S. Choi, and S. Hong, "A 12 GHz Fully Integrated Cascade CMOS LC VCO with Q-Enhancement Circuit," IEEE Microw. Wireless Compon. Lett., vol. 18, no. 2, pp. 133-135, Feb. 2008.
- [7] N. M. Nguyen and R. G. Meyer, "Start-up and frequency stability in high-frequency oscillators," IEEE Journal of Solid-State Circuits, vol. 27, no. 5, pp. 810-820, Dec. 1992.
- [8] O. Takashi, "Rigorous Q-factor formulation for one- and two-port passive linear networks from an oscillator noise spectrum viewpoint," IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 52, no. 12, pp. 846-850, May 2005.
- [9] H. Darabi, and A. A. Abidi, "Noise in RF-CMOS Mixer: A Simple Physical Model," IEEE Transaction on Solid-State Circuits, vol. 35, no. 1, pp. 15-25, Jan. 2000.
- [10] B. Razavi, "Physical Processes of Phase Noise in Differential LC Oscillators," Phase-Locking in High-Performance Systems, vol. 1, pp. 205-208, 2003.
- [11] A. Ismail, and A. A. Abidi, "CMOS Differential LC Oscillator with Suppressed UP-Converted Filter Noise," ISSCC Dig. Tech. Paper, vol. 1, PP. 98-99, Feb. 2003.
- [12] C. Samori et al, "Spectrum Folding and Phase Noise in LC Tuned Oscillators," IEEE Tran. Circuits and Systems, II, vol. 49, no. 7, pp. 509-513, Jul. 2002.
- [13] P. Andreani et al., "A Study of Phase Noise in Colpitts and LC-Tank CMOS Oscillator,"

در این مقاله، یک VCO دو حالت در دو بازه فرکانسی متفاوت با توان مصرفی مناسب و نویز فاز پایین طراحی شده است. مدار در تکنولوژی ۰/۱۸ میکرومتر در پروسه CMOS تحلیل و شبیه‌سازی شده است. در طراحی VCO تکنیک رزونانس دو حالت همراه با ورکتور و بانک خازنی برای دستیابی به دو بازه فرکانسی متفاوت وسیع، ارائه شده است. همچنین از فیلترینگ نویز منبع جریان برای کاهش نویز فاز VCO استفاده شده است؛ با بکارگیری فیلتر در منبع جریان بایاس و روشهای دیگر بهبود نویز فاز حدود ۲۶/۵ dB در فرکانس ۶/۸۳ GHz بهبود یافته است. VCO طراحی شده دارای نویز فاز ۱۲۰ dBc/Hz و ۱۱۳/۸ dBc/Hz - بترتیب در فرکانس ۶/۸۳ GHz و ۱۰/۶۱ در آفست ۱MHz می‌باشد. توان مصرفی در ولتاژ تغذیه ۱/۵V برابر ۱۴/۱۵ mW می‌باشد؛ همچنین VCO طراحی شده دو محدوده فرکانسی از ۶/۲۷ GHz تا ۸/۰۵ GHz و ۱۰/۶۵ تا ۱۳/۰۲ GHz را پوشش می‌دهد. بطور کلی استفاده از رزونانس دو حالت، فیلترینگ نویز منبع جریان و همچنین انتخاب صحیح نوع و ابعاد ورکتور و بانک خازنی باعث دستیابی به نویز فاز بهینه با رنج تغییرات وسیع فرکانس شده است.

جدول ۲. مقایسه نوسان ساز طراحی شده با کارهای دیگران.

مراجع	پروسه	فرکانس مرکزی و FTR*	نویز فاز در آفست ۱ MHz (dBc/Hz)	توان مصرفی (mw)	ضریب شایستگی (dBc/Hz)
[۱]	0.25- μ m SiGe BiCMOS	5.7% 9.1	-126.2 @1MHz	32	-190.5
[۳]	0.18- μ m CMOS	10.5% 11.05	-110.42 @1MHz	4.1	-185.2
[۶]	0.18- μ m CMOS	5.5% 11.55	-110.8 @1MHz	8.1	-183
[۱۵]	0.18- μ m CMOS	6.6% 9.3	-121.6 @3MHz	9	-182.6
این کار	0.18- μ m CMOS	28.38%	-120 @1MHz	19	-184.31
		7.16	-113.8 @1MHz		
		22.25% 11.83	-113.8 @1MHz		

- [15] I. R. Chamas and S. Raman, "Analysis and Design of a CMOS Phasetunable Injection-Coupled LC Quadrature VCO (PTIC-QVCO)," IEEE J. Solid-State Circuits, vol. 44, no. 3, pp. 784–796, Mar. 2009.
- [16] E. Hegazi, H. sjoland, and A. A. Abidi, "A Filtering Technique to Lower LC Oscillator Phase Noise," IEEE J Solid-State Circuits, vol. 36, no. 12, pp. 1921-1930, Dec.2001.
- IEEE J. Solid-State Circuits, vol. 40, no. 5, pp. 1107-1118, May 2005.
- [14] N. H. W. Fong, J. -O. Plouchart, N. Zamdmer, D. Liu, L. F. Wagner, and C. Plett, N. G. Tarr, "Design of Wide-Band CMOS VCO for Multiband Wireless LAN Applications," IEEE J. Solid-State Circuits, vol. 38, no. 8, pp. 1333–1342, Jul. 2003.

