

طراحی سلول SRAM ۹ ترانزیستوری پایدار کم توان با بهبود سرعت خواندن و نوشتن

شویا تقی پور^۱، دکتر راهبه نیارکی اصلی^۲

^۱ کارشناسی ارشد برق الکترونیک، دانشگاه گیلان، taghipoor_shiva@yahoo.com
^۲ استادیار دانشکده فنی، دانشگاه گیلان

چکیده

امروزه با پیشرفت روز افزون تکنولوژی، نیاز به مدارات و حافظه‌های پرسرعت با حفظ پایداری و مصرف توان کم افزایش یافته است. در این مقاله، یک سلول SRAM ۹ ترانزیستوری پایدار و بهبود یافته برای کاربردهای پرسرعت با مصرف کم توان نشتی پیشنهاد شده است. در این طرح، از دو تکنیک تفکیک مسیر خواندن و نوشتن و تکنیک "stack effect" به طور همزمان به منظور بهبود عملکرد خواندن و نوشتن استفاده شده است. نتایج شبیه‌سازی در تکنولوژی CMOS ۳۲ نانومتری نشان می‌دهد که سلول پیشنهادی در ردیف سلول‌های بسیار سریع قرار می‌گیرد. این در حالی است که توان نشتی سلول پیشنهادی نسبت به سلول‌های سریع، ۱۶ تا ۴۱ درصد کاهش یافته است. لازم به ذکر است که پایداری سلول پیشنهادی در مد خواندن نسبت به سلول ۶ ترانزیستوری پایه تقریباً دو برابر شده است.

کلیدواژه

پایداری، حاشیه نویز، سرعت خواندن، سرعت نوشتن، SRAM

مقدمه

حاشیه نویز (SNM)^۱ نسبتاً پایین در تکنولوژی‌های امروزی برخوردار است [۵-۶]، طراحی سلول‌های جدید با تعداد ترانزیستورهای بیشتر به منظور بهبود پایداری، سرعت و کاهش توان نشتی در [۲] و [۵-۷] مورد توجه قرار گرفته است. در این مقاله، یک سلول SRAM ۹ ترانزیستوری پایدار با هدف کاهش توان و بهبود سرعت ارائه می‌کنیم. در این سلول از دو تکنیک جداسازی مسیرهای خواندن و نوشتن و تکنیک "stack effect" به طور همزمان استفاده شده است.

در ادامه این مقاله، ابتدا در بخش دوم به معرفی تعدادی از سلول‌های بهینه از نظر سرعت و توان می‌پردازیم. در بخش سوم، به معرفی سلول ۹ ترانزیستوری پیشنهادی خواهیم پرداخت. در بخش چهارم، نتایج شبیه‌سازی HSPICE را از نظر پایداری، سرعت و توان در سه مد نگهداری، خواندن و نوشتن بیان می‌کنیم تا با مقایسه سلول پیشنهادی با سلول‌های دیگر به اثبات برتری این سلول بپردازیم و در انتها، در بخش پنجم، نتیجه‌گیری کلی از مقاله را ارائه خواهیم نمود.

مروری بر سلول‌های SRAM پیشین

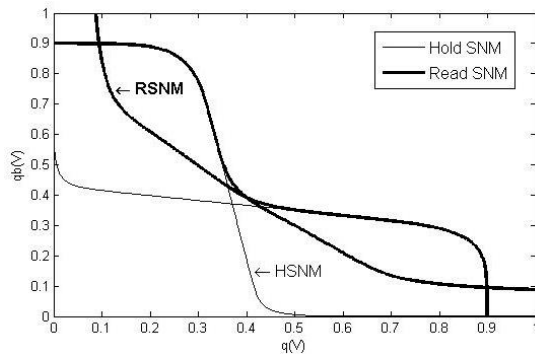
تاکنون انواع مختلفی از سلول‌های حافظه SRAM ارائه شده است که در این بخش چند نمونه از سلول‌های پیشنهادی بهبود

با توجه به قانون مور، پیشرفت تکنولوژی و کاهش مقیاس ترانزیستورهای سیلیکونی بر پایه تکنولوژی CMOS، این امکان را به وجود آورده است که تعداد ترانزیستورها بر روی یک تراشه افزایش پیدا کند. این افزایش تراکم ترانزیستورها در تکنولوژی‌های جدید امروزی، تلفات ناشی از جریان نشتی را افزایش خواهد داد. [۱-۲]

یکی از پرکاربردترین بلوک‌های حافظه، SRAMها هستند که امروزه در بسیاری از سیستم‌های الکترونیکی دیجیتال و تجهیزات قابل حمل مانند گوشی‌های هوشمند، تبلت‌ها، سنسورها و انواع مختلف ریز پردازنده‌ها مورد استفاده قرار می‌گیرند و بیشترین سطح یک تراشه را اشغال می‌کنند [۱]. ویژگی اصلی حافظه‌های SRAM، زیاد بودن تعداد سلول‌های مورد استفاده در بلوک آن‌ها است که تعداد ترانزیستورها را به شدت افزایش می‌دهد [۳]. حافظه‌های SRAM مانند سایر مدارهای دیجیتالی، توان استاتیکی و دینامیکی مصرف می‌کنند که توان استاتیکی به طور محسوسی به جریان نشتی سلول وابسته است [۴]. بنابراین بهبود SRAM از نظر سرعت و توان نقش مهمی را در بهینه سازی تراشه‌ها و به دنبال آن مدارها ایفا خواهد نمود. از آنجایی که سلول SRAM ۶ ترانزیستوری از

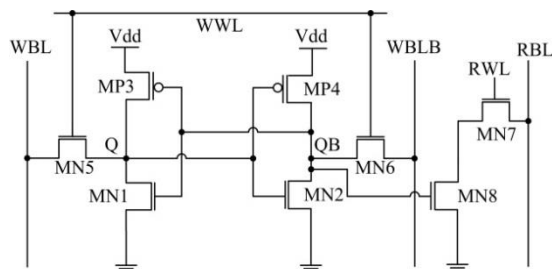
^۱ Static Noise Margin

ساختارهایی به منظور بهبود حاشیه نویز و پایداری به عنوان یکی از مهم‌ترین پارامترهای عملکردی حافظه‌ها در [۲] و [۶]-[۵] پیشنهاد شده است. این ساختارها با اضافه کردن مسیره‌های خواندن جداگانه به سلول ۶ ترانزیستوری پایه به بهبود پایداری در مد خواندن کمک می‌کنند. در این ساختارها، حاشیه نویز در مد خواندن و نگهداری با هم برابر است.



شکل ۲. نمودار پروانه‌ای سلول ۶ ترانزیستوری در مد خواندن و نگهداری

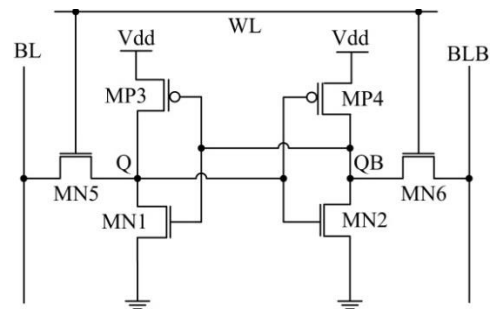
شکل ۳، سلول ۸ ترانزیستوری - طرح ۱ (AT-D1) را نشان می‌دهد [۵]. این سلول با استفاده از دو ترانزیستور اضافی، یک مسیر خواندن جداگانه به منظور تفکیک مسیره‌های خواندن و نوشتن ایجاد می‌کند. بنابراین جریان مد خواندن بر روی مقادیر سلول تأثیری نمی‌گذارد و RSNM و سرعت خواندن این سلول نسبت به سلول ۶ ترانزیستوری افزایش می‌یابد. در مقابل، به واسطه به کارگیری ترانزیستورهای اضافه، جریان نشتی افزایش پیدا خواهد کرد.



شکل ۳. سلول ۸ ترانزیستوری پایه (AT-D1) [۵]

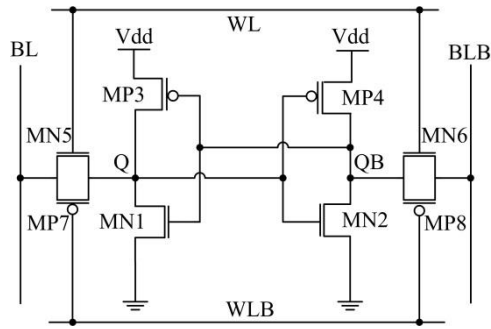
سلول ۹ ترانزیستوری - طرح ۱ (AT-D1) ارائه شده در [۲] که در شکل ۴ نشان داده شده است نیز از همین تکنیک (تفکیک مسیر خواندن و نوشتن) به منظور افزایش RSNM استفاده کرده است.

یافته از نظر پایداری، سرعت و توان را تحت عنوان سلول‌های ۶، ۸ و ۹ ترانزیستوری به طور خلاصه مورد بررسی قرار می‌دهیم و به تحلیل مزایا و معایب هر یک می‌پردازیم. با توجه به اینکه برای سلول ۸ و ۹ ترانزیستوری دو طرح مختلف در نظر گرفته‌ایم، نامگذاری آن‌ها به صورت طرح ۱ و ۲ انجام می‌شود. سلول SRAM ۶ ترانزیستوری (۶T) که در شکل ۱ نشان داده شده است، از دو وارونگر و دو ترانزیستور NMOS دستیابی جهت خواندن و نوشتن اطلاعات تشکیل شده است. این سلول در سه مد نگهداری، خواندن و نوشتن کار کرده و مبادله اطلاعات در این سلول با فرآیندهای خواندن و نوشتن تعریف می‌شود. در مد نگهداری، WL غیرفعال بوده و ترانزیستورهای MN5 و MN6 خاموش می‌باشند و دو وارونگر به منظور حفظ اطلاعات ذخیره شده در نودهای خروجی به صورت پشت به پشت به هم متصل شده‌اند. در فرآیند نوشتن، ابتدا اطلاعات مورد نظر روی خطوط BL و BLB قرار می‌گیرند. در ادامه با فعال شدن WL، ترانزیستورهای MN5 و MN6 روشن شده و اطلاعات در نودهای خروجی سلول نوشته می‌شوند. سپس با غیر فعال شدن WL، ترانزیستورهای دستیابی خاموش می‌شوند. در مد خواندن، ابتدا خطوط BL و BLB توسط یک مدار مناسب به Vdd پیش‌شارژ می‌شوند. با فعال شدن WL، ترانزیستورهای دستیابی روشن شده و اختلاف پتانسیل ایجاد شده بین نودهای خروجی و خطوط BL و BLB توسط یک تقویت کننده به صورت داده "۰" یا "۱" خوانده می‌شود [۸].



شکل ۴. سلول ۶ ترانزیستوری معمولی (۶T) [۲، ۸]

این سلول در تکنولوژی‌های با مقیاس پایین امروزی نسبتاً ناپایدار است [۶]. در نتیجه تمایل برای طراحی سلول‌های با تعداد ترانزیستور بیشتر افزایش یافته است. در شکل ۲، نمودار پروانه‌ای یک سلول ۶ ترانزیستوری در ولتاژ تغذیه ۰/۹ ولت برای مقایسه حاشیه نویز مد نگهداری (HSNM) و حاشیه نویز مد خواندن (RSNM) رسم شده است. با توجه به شکل، حاشیه نویز این سلول در مد خواندن بسیار کم بوده و برای طراحی بسیاری از حافظه‌ها قابل قبول نمی‌باشد. از اینرو



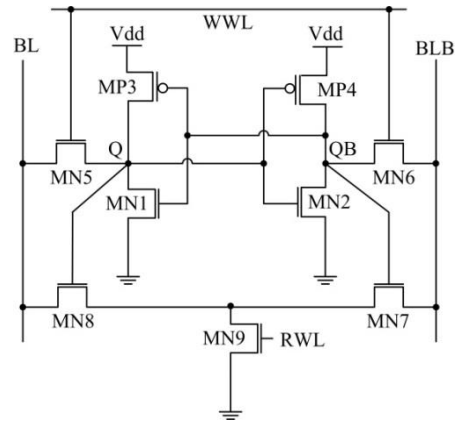
شکل ۶ سلول ۸ ترانزیستوری (AT-D2) [۷]

با توجه به اهمیت بهبود همزمان سرعت، پایداری، توان مصرفی و کمبودهای اشاره شده در هر یک از طرح‌های نام برده، سلول ۹ ترانزیستوری پیشنهادی در این مقاله، از تکنیک تفکیک مسیر خواندن و نوشتن به منظور افزایش سرعت و بهبود پایداری در مد خواندن استفاده کرده است. به علاوه، تکنیک "stack effect" نیز در این سلول به کار گرفته شده است که با اضافه کردن یک ترانزیستور در مسیر یکی از وارونگرها، باعث تضعیف حلقه فیدبک تشکیل شده توسط وارونگرها می‌گردد. به کارگیری این تکنیک علاوه بر افزایش سرعت در مد نوشتن، مصرف توان ناشی از سلول را نیز کاهش می‌دهد.

سلول SRAM ۹ ترانزیستوری پیشنهادی

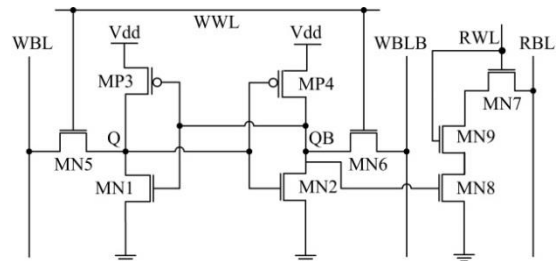
سلول ۹ ترانزیستوری پیشنهادی به منظور بهبود سرعت خواندن و نوشتن با حفظ پایداری و مصرف توان کم مطابق شکل ۷ ارائه شده است.

بخش اصلی این سلول شامل دو وارونگر است که به منظور راه اندازی مداوم یکدیگر به صورت پشت به پشت به هم متصل شده‌اند و شامل ترانزیستورهای MN1، MN2، MP3 و MP4 است. ترانزیستورهای MN1 و MN2 به عنوان ترانزیستورهای پایین‌بر و MP3 و MP4 به عنوان ترانزیستورهای بالا بر فعالیت دارند و ترانزیستورهای دستیابی جهت نوشتن در این سلول، شامل دو ترانزیستور MN5 و MN6 می‌باشد. جداسازی صورت گرفته بین عملیات‌های خواندن و نوشتن، منجر به بهبود حاشیه نویز و افزایش سرعت در مد خواندن می‌شود. در حقیقت، خواندن این سلول به کمک خط بیت جداگانه (RBL)^۸ صورت می‌گیرد و ترانزیستورهای MN7 و MN8 بخش خواندن این سلول را تشکیل می‌دهند. ترانزیستور MN9 نیز به منظور کاهش جریان ناشی در مد نگهداری و تسریع در عملیات نوشتن مطابق شکل ۷ به این سلول اضافه شده است.



شکل ۴ سلول ۹ ترانزیستوری (9T-D1) [۲]

همانطور که در شکل ۵ نشان داده شده است، در سلول ۹ ترانزیستوری - طرح ۲ (9T-D2)^۶ به منظور کاهش جریان ناشی خط بیت خواندن، یک ترانزیستور اضافی (MN9) بین دو ترانزیستور مسیر خواندن سلول 8T-D1 (MN7 و MN8) اضافه شده است. با استفاده از این تکنیک که به "stack effect" شناخته می‌شود، تعداد سلول‌های SRAM بیشتری را به واسطه کاهش جریان ناشی می‌توان در یک خط بیت جای داد اما در مقابل، سرعت سلول در مد خواندن به واسطه ترانزیستور اضافه شده در مسیر خواندن، به میزان قابل توجهی کاهش یافته است.



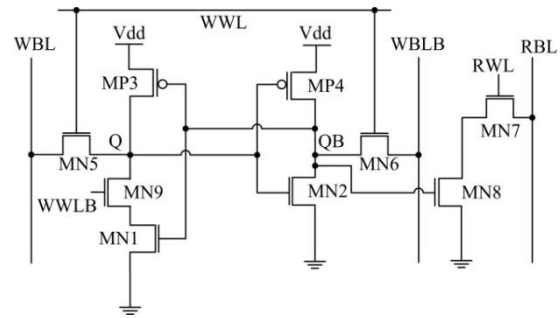
شکل ۵ سلول ۹ ترانزیستوری (9T-D2) [۶]

در ادامه، با توجه به اهمیت کاهش جریان ناشی در سلول‌های امروزی، سلول ۸ ترانزیستوری - طرح ۲ (8T-D2)^۷ معرفی شده در [۷] با جایگزینی گیت‌های انتقالی به جای ترانزیستورهای دستیابی NMOS در سلول پایه ۶ ترانزیستوری مطابق شکل ۶، به این هدف رسیده است. این در حالی است که بهبودی در پایداری و سرعت صورت نگرفته است.

^۸ Read Bit-Line

^۶ 9 Transistors-Design 2
^۷ 9 Transistors-Design 2
^۸ 8 Transistors-Design 2

در طول فرآیند خواندن داده از سلول، سیگنال WWL فعال و سیگنال RWL فعال است و لذا ترانزیستور کمکی MN7 روشن می‌باشد. قبل از شروع عمل خواندن خط بیت RBL به Vdd پیش شارژ می‌شود. در صورتی که در سلول، صفر ذخیره شده باشد، MN8 فعال خواهد بود و با فعال کردن سیگنال RWL، خط بیت خواندن RBL به صفر دشارژ می‌شود و مقدار صفر خوانده می‌شود. اما اگر در سلول یک ذخیره شده باشد، MN8 غیر فعال خواهد بود و با فعال شدن سیگنال RWL، خط بیت خواندن روی ولتاژ Vdd ثابت می‌ماند.



شکل ۷. سلول ۹ ترانزیستوری پیشنهادی

عملیات نوشتن در سلول پیشنهادی

عملیات نوشتن با فعال شدن WWL و غیر فعال شدن RWL، آغاز می‌شود. در این حالت مانند سایر سلول‌ها، ترانزیستورهای دستیابی MN5 و MN6 جهت نوشتن داده بر روی گره‌های Q و QB روشن هستند. آنچه این سلول را از طرح‌های دیگر متمایز می‌کند، استفاده از ترانزیستور MN9 در مسیر وارونگر سمت چپ، بین درین ترانزیستور MN1 و گره خروجی این سلول است. این ترانزیستور به منظور تضعیف حلقه ایجاد شده توسط دو وارونگر در حین نوشتن، خاموش می‌شود تا عمل نوشتن آسان‌تر و سریع‌تر صورت گیرد و توان دینامیکی کاهش یابد. برای مثال برای نوشتن "۱" در گره Q، با فعال شدن سیگنال WWL و غیر فعال شدن RWL و روشن شدن ترانزیستورهای دستیابی MN5 و MN6، مسیر جریان از طریق ترانزیستورهای MN5 و MN3 برقرار شده و بنابراین خازن مربوط به خط WBL تا مقدار Vdd شارژ می‌گردد و بنابراین مقدار "۱" در گره Q نوشته می‌شود. در این میان ترانزیستور MN9 به منظور تسهیل و تسریع در عملیات نوشتن خاموش می‌باشد. عملیات نوشتن "۰" نیز همانند نوشتن "۱"، با فعال شدن سیگنال کنترلی WWL و غیر فعال شدن RWL صورت خواهد گرفت. لازم به ذکر است که در نوشتن "۰" در حالتی که "Q = 1" است، به دلیل اینکه QB = "0" و ترانزیستور MP3 روشن است وضعیت ترانزیستور MN9 تاثیری در روند نوشتن ندارد. بنابراین، سلول پیشنهادی در حالت نوشتن "۰" همان توان دینامیکی و سرعت قبل را دارا خواهد بود.

عملیات خواندن در سلول پیشنهادی

مشابه طرح‌هایی مثل ۸T-D1 و ۹T-D2 که از تکنیک تفکیک مسیر خواندن و نوشتن استفاده کرده‌اند، احتیاجی به فعال شدن سیگنال WWL نبوده و تنها با فعال شدن سیگنال RWL می‌توان مقدار ذخیره شده در سلول را خواند. با این روش پایداری و سرعت در مد خواندن افزایش می‌یابد.

نتایج شبیه‌سازی

در این بخش، به بیان شبیه‌سازی‌های انجام شده بر روی سلول ۹ ترانزیستوری پیشنهادی می‌پردازیم و آن را با سلول‌های توضیح داده شده در بخش دوم از نظر پایداری، توان نشتی و سرعت خواندن و نوشتن مقایسه می‌کنیم. شبیه‌سازی‌ها به وسیله نرم افزار HSPICE و در تکنولوژی ۳۲ نانومتری با استفاده از مدل PTM [۹] تحت شرایط آزمایشی یکسان برای همه سلول‌ها انجام گرفته است. ولتاژ تغذیه برابر ۰/۹ ولت، دما برابر ۲۵ درجه سانتی‌گراد و نسبت سلول (CR) برای همه سلول‌ها ۰/۵ در نظر گرفته شده است. لازم به ذکر است که بار در نظر گرفته شده برای خطوط بیت ۵ fF می‌باشد.

پایداری مد نگهداری و خواندن

پایداری سلول SRAM با SNM اندازه‌گیری می‌شود. در واقع SNM، حداقل ولتاژ نویز dc لازم برای تغییر حالت سلول SRAM است. مقدار SNM برابر با طول ضلع بزرگترین مربع موجود در کوچکترین بال منحنی پروانه‌ای است. این منحنی حاصل ترسیم منحنی‌های مشخصه انتقالی ولتاژ (VTC) حاصل وارونگرهای سلول SRAM می‌باشد [۱۱-۱۰]. در سلول ۶ ترانزیستوری معمولی، حفظ پایداری سلول در مدهای مختلف با محدودیت‌هایی روی سایز ترانزیستورها همراه است. با توجه به شکل ۱، برای حفظ پایداری سلول در مد خواندن، ترانزیستورهای پایین‌گذر MN1 و MN2 باید قوی‌تر از ترانزیستورهای دسترسی MN5 و MN6 باشند. همچنین برای دستیابی به عملکرد درست در مد نوشتن، ترانزیستورهای MP3 و MP4 بایستی از MN5 و MN6 قوی‌تر باشند [۲]. اما به علت

^۹ Cell Ratio
^{۱۰} Voltage Transfer Characteristic

ارائه شده است، استفاده می‌کنیم. برای به دست آوردن WM، سلول را در حالت نوشتن قرار داده و با تغییر خط BL یا BLB، محل برخورد Q و QB را به دست می‌آوریم. فاصله این نقطه تا نقطه فعال شدن سیگنال نوشتن برابر با WM خواهد بود.

جدول ۲ مقدار WM سلول‌ها را در دو حالت نوشتن "۰" و نوشتن "۱" نشان می‌دهد. با توجه به جدول ۲، سلول پیشنهادی با مقدار $WM = 900 \text{ mV}$ از بیشترین حاشیه نویز نوشتن در مد "۱" برخوردار است. این بهبود ناشی از تضعیف فیدبک داخلی وارونگرها توسط ترانزیستور MN9 است که موجب تسهیل و سرعت بخشیدن به عملیات نوشتن در مد "۱" شده است. در مقابل، در مد "۰"، سلول پیشنهادی با تقریب کمی در رنج سایر سلول‌ها قرار خواهد گرفت. اگرچه حاشیه نویز سلول پیشنهادی تنها در حالت "۱" بهبود می‌یابد و در حالت نوشتن "۰" به خوبی سلول‌هایی مانند ۹T-D1، ۹T-D2 و ۸T-D1 می‌باشد اما مطابق نتایج ارائه شده در بخش بعد، توان نشتی سلول پیشنهادی به ترتیب حدود ۱۶، ۲۲ و ۴۱ درصد نسبت به سلول‌های نامبرده کمتر است.

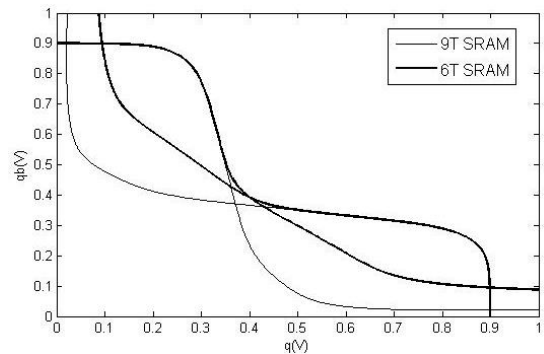
جدول ۲. مقایسه WM سلول پیشنهادی با سلول‌های دیگر

پیشنهادی	۹T	۸T-D1	۹T-D1	۹T-D2	۸T-D2	۹T
WM "0" (mV)	۲۹۷	۲۹۷	۲۹۷	۲۹۷	۲۵۹	۲۸۸
WM "1" (mV)	۲۹۷	۲۹۷	۲۹۷	۲۹۷	۲۵۹	۹۰۰

توان مصرفی

در سلول ۹ ترانزیستوری پیشنهادی به واسطه به کارگیری تکنیک ضعیف کردن حلقه در فرآیند نوشتن داده، مقدار توان نشتی این سلول در مقایسه با سلول‌هایی که از این تکنیک استفاده نکرده‌اند کمتر است. با توجه به شکل ۹، میزان مصرف توان نشتی در سلول پیشنهادی در رنج مصرف سلول‌های ۶T و ۸T-D2 قرار دارد و نسبت به سایر سلول‌ها از کاهش ۱۶ تا ۴۱ درصدی برخوردار است. همانطور که مشاهده می‌شود، سلول پیشنهادی با وجود برخورداری از یک ترانزیستور اضافه‌تر در مقایسه با سلول ۸T-D1، کاهش ۴۱ درصدی را نشان می‌دهد؛ به طوری که توان مصرفی از $18/71$ میکرووات در سلول ۸ ترانزیستوری ۸T-D1 به $10/99$ میکرووات در سلول پیشنهادی جدید رسیده است.

عدم وجود این محدودیت در سلول ۹ ترانزیستوری پیشنهادی (به دلیل جدا کردن مسیر خواندن از مسیر نوشتن)، پایداری بهبود می‌یابد. شکل ۸ مقدار SNM خواندن سلول ۶ ترانزیستوری پایه و ۹ ترانزیستوری جدید را با استفاده از نمودار پروانه‌ای نشان می‌دهد. همانطور که ملاحظه می‌شود پایداری سلول پیشنهادی تقریباً دو برابر سلول ۶ ترانزیستوری معمولی است.



شکل ۸. نمودار پروانه‌ای دو سلول ۶ ترانزیستوری معمولی و ۹ ترانزیستوری پیشنهادی جدید برای مقایسه SNM خواندن

در ادامه، در جدول ۱ مقدار حاشیه نویز سلول‌های توصیف شده برای مقایسه پایداری در مد نگهداری (HSNM) و خواندن (RSNM) آورده شده است. با توجه به نتایج شبیه‌سازی، مقدار RSNM سلول ۹ ترانزیستوری جدید تقریباً دو برابر RSNM سلول ۶ ترانزیستوری پایه بوده و دارای مقداری برابر با سایر سلول‌های پایدار شبیه‌سازی شده است.

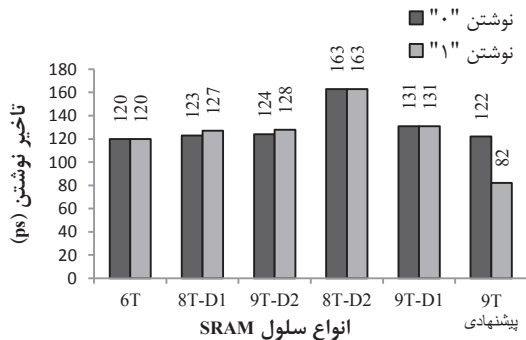
جدول ۱. مقایسه HSNM و RSNM سلول پیشنهادی با سلول‌های دیگر

پیشنهادی	۹T	۱۷	۸T-D2	۱۶	۹T-D2	۱۲	۹T-D1	۱۵	۸T-D1	۱۲,۸	۶T
HSNM (mV)	۲۹۰	۲۸۷	۲۹۰	۲۹۰	۲۹۰	۲۹۰	۲۹۰	۲۹۰	۲۹۰	۲۹۵	۲۹۵
RSNM (mV)	۲۹۰	۱۷۱	۲۹۰	۲۹۰	۲۹۰	۲۹۰	۲۹۰	۲۹۰	۲۹۰	۱۳۸	۱۳۸

پایداری مد نوشتن

به منظور بررسی میزان توانایی نوشتن در یک سلول از معیار حاشیه نوشتن Write Margin (WM) استفاده می‌شود که با SNM متفاوت است. در مد نوشتن، سلول باید بتواند داده ذخیره شده در سلول را به راحتی و با سرعت هر چه بیشتر تغییر دهد و داده جدید را در آن بنویسد. به همین دلیل برای بررسی این میزان موفقیت، از WM استفاده می‌کنیم. برای اندازه‌گیری WM، از یکی از روش‌های متداول که در [۱۲] نیز

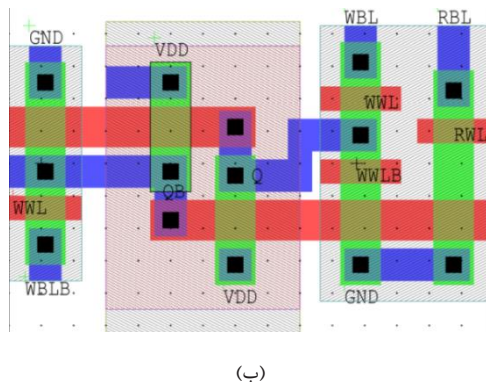
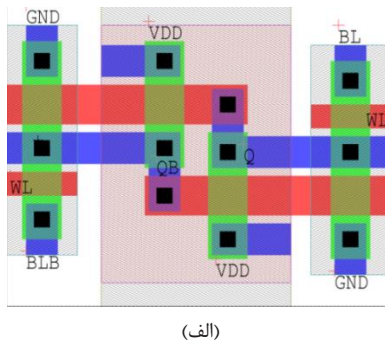
کاهش تاخیر نوشتن "۰" در سلول پیشنهادی در رنج سلول-های ۶T، ۸T-D1 و ۹T-D2 بوده و نسبت به سایر سلول‌ها بین ۷ تا ۲۵ درصد می‌باشد.



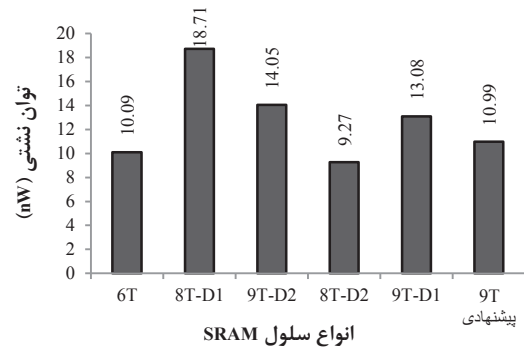
شکل ۱۱. مقایسه تاخیر سلول‌ها در مد نوشتن

سطح مصرفی

جانمایی سلول‌های SRAM ۶ ترانزیستوری استاندارد و ۹ ترانزیستوری پیشنهادی همانطور که در شکل ۱۲ (الف) و (ب) نشان داده شده است، بر پایه قوانین طراحی زیر میکرومتر MOSIS [۱۳] و در نظر گرفتن حداقل ابعاد رسم شده‌اند.



شکل ۱۲ جانمایی سلول SRAM ۶ ترانزیستوری استاندارد و (ب) سلول SRAM ۹ ترانزیستوری پیشنهادی



شکل ۹. مقایسه توان نشتی سلول‌ها

سرعت خواندن و نوشتن

با توجه به اینکه در سلول ۹ ترانزیستوری پیشنهادی مانند سلول‌های ۸T-D1 و ۹T-D1، مسیر خواندن داده را از مسیر نوشتن جدا کرده‌ایم، سرعت خواندن سلول پیشنهادی تقریباً معادل سرعت خواندن سلول‌های نام برده می‌باشد ولی از سایر سلول‌ها سرعت خواندن بیشتری دارد. کاهش تاخیر این سلول در مقایسه با تاخیر سلول‌های ۶T، ۹T-D2 و ۸T-D2 به ترتیب ۴۸، ۵۰ و ۶۰ درصد است. شکل ۱۰ تاخیر خواندن را در شش ترانزیستور مورد بحث نشان می‌دهد.



شکل ۱۰. مقایسه تاخیر سلول‌ها در مد خواندن

سلول پیشنهادی بر خلاف عملیات خواندن از دو خط بیت برای عمل نوشتن استفاده کرده است. استفاده از تکنیک تضعیف فیدبک داخلی وارونگرها در حین نوشتن "۱" در سلول پیشنهادی سبب شده که این سلول سرعت نوشتن بالاتری نسبت به حالت "۰" داشته باشد. بنابراین، با توجه به متفاوت بودن سرعت نوشتن سلول پیشنهادی در دو حالت "۰" و "۱"، شکل ۱۱ سرعت نوشتن سلول پیشنهادی را در هر دو حالت با سرعت سایر سلول‌ها مقایسه می‌کند. با توجه به شکل ۱۱، تاخیر نوشتن "۱" سلول پیشنهادی به میزان ۳۲ تا ۴۹ درصد نسبت به سایر سلول‌ها کمتر است. در حالت "۰" نیز سلول پیشنهادی دارای سرعت قابل قبولی است. به طوریکه، میزان

- Circuits, vol. 49, no. 1, pp. 107-117, January 2014.
- [2] W-S. Cho and K. Roy, "Device-Circuit Cosimulation for Energy Efficiency in Sub-10-nm Gate Length Logic and Memory," IEEE Trans. Electron Devices, vol. 63, no. 7, pp. 2879-2886, May 2016.
- [3] H. Rasekh, M. Sadeghi, A. Golmakani, M. Ali, "Design of stable SRAM cells based on Schmitt Trigger," 3rd Mediterranean Conf. Embedded Computing (MECO), pp. 184-188, July 2014.
- [4] Gh. Pasandi, S. M. Fakhraie, "An 8T Low-Voltage and Low-Leakage Half-Selection Disturb-Free SRAM Using Bulk-CMOS and FinFETs", IEEE Trans. Electron Devices, vol. 61, no. 7, pp. 2357-2363, May 2014.
- [5] L. Chang, D. M. Fried, J. Hergenrother, J. W. Sleight, R. H. Dennard, R. K. Montoye, L. Sekaric, S. J. McNab, A. W. Topol, C. D. Adams, K. W. Guarini and W. Haensch, "Stable SRAM cell design for the 32 nm node and beyond," in: Proceedings of the 2005 Symposium on VLSI Technology, Digest of Technical Papers, pp. 128-129, June 2005.
- [6] S. Lin, Y. B. Kim and F. Lombardi, "Design and analysis of a 32 nm PVT tolerant CMOS SRAM cell for low leakage and high stability," Integration, VLSI Journal, Elsevier, vol. 43, no. 2, pp. 176-187, January 2010
- [7] A. Islam and M. Hasan, "A Technique to Mitigate Impact of Process, Voltage and Temperature Variations on Design Metrics of SRAM Cell," Microelectronics Reliability, Elsevier, vol. 52, no. 2, pp. 405-411, February 2012.
- [8] H. Yamauchi, "Embedded Memories for Nano-Scale VLSIs," Springer, pp. 39-48, 2009.
- [9] Predictive technology models (PTM) [Online]. Available: <http://ptm.asu.edu/latest.html>
- [10] B. Alorda, G. Torrens, S. Bota and J. Segura, "Adaptive static and dynamic noise margin improvement in minimum-sized 6T-SRAM cells," Microelectronics Reliability, Elsevier, vol. 54, pp. 2613-2620, November 2014.
- [11] H. Mostafa, M. Anis and M. Elmasry, "Adaptive Body Bias for Reducing the Impacts of NBTI and Process Variations on 6T SRAM Cells," IEEE Trans. Circuits and Systems I: Regular Papers, vol. 58, no. 12, pp. 2859-2871, December 2011.
- [12] J. Wang, S. Nalam and B. H. Calhoun, "Analyzing Static and Dynamic Write Margin for Nanometer SRAMs," Low Power Electronics and Design (ISLPED), Bangalore, pp. 129-134, 2008.
- [13] The MOSIS service, <
<http://www.mosis.org/Technical/Designrules/cmos/scmos-main.html>>.

با استفاده از مقیاس بندی قوانین طراحی MOSIS می‌توان سطح سلول‌های SRAM را با اعمال نسبت $\frac{1}{3}$ در تکنولوژی ۳۲ نانومتر را محاسبه کرد. با استفاده از معیار مقیاس بندی اعمال شده، سطح سلول SRAM ۶ ترانزیستوری در تکنولوژی ۳۲ نانومتری برابر با $0.279 \mu m^2$ بوده و سطح سلول ۹ ترانزیستوری پیشنهادی با سایز بندی بهینه در تکنولوژی ۳۲ نانومتری برابر با $0.381 \mu m^2$ خواهد بود که به میزان $36/5$ درصد نسبت به سلول ۶ ترانزیستوری استاندارد افزایش سطح داشته است.

نتیجه گیری

در این مقاله یک سلول ۹ ترانزیستوری کم توان، پایدار و پرسرعت ارائه شده است. در این طرح، توان نشستی سلول در رنج قابل قبولی نسبت به سایر سلول‌ها حفظ شده است و با وجود برخورداری از یک ترانزیستور اضافه‌تر در مقایسه با سلول ۸ ترانزیستوری پایه (۸T-D1)، توان مصرفی از $18/71$ میکرووات در سلول ۸ ترانزیستوری به $10/99$ میکرووات در سلول ۹ ترانزیستوری پیشنهادی رسیده است. حاشیه نویز و پایداری سلول ۹ ترانزیستوری جدید در مد خواندن تقریباً دو برابر سلول ۶ ترانزیستوری معمولی است. همانطور که از نتایج شبیه‌سازی مشاهده می‌شود، با اعمال روش‌های بهبود سرعت (تفکیک مسیر خواندن و نوشتن)، سرعت سلول در مد خواندن در رنج سلول‌هایی است که از تکنیک مشابه برای بهبود سرعت استفاده کرده‌اند و نسبت به سایر سلول‌ها بین ۴۸ تا ۶۰ درصد افزایش داشته است. به علاوه، سرعت نوشتن سلول پیشنهادی در مد "۱" بیشترین مقدار را دارد که این بهبود نسبت به سایر سلول‌ها بین ۳۲ تا ۴۹ درصد است. در مد "۰" نیز سرعت نوشتن سلول در رنج سلول‌های ۶T، ۹T-D2 و ۸T-D1 قرار داشته و نسبت به سایر سلول‌ها بین ۷ تا ۲۵ درصد سریع‌تر است. این بهبود، نتیجه به کارگیری تکنیک "stack effect" در مسیر وارونگر می‌باشد. در مجموع نتایج مقایسه شده برتری سلول پیشنهادی را نسبت به سایر سلول‌های بررسی شده نشان می‌دهد.

مراجع

- [1] M. E. Sinangil and A. P. Chandrakasan, "Application-Specific SRAM Design Using Output Prediction to Reduce Bit-Line Switching Activity and Statistically Gated Sense Amplifiers for Up to 1.9 Lower Energy/Access," IEEE Journal of Solid-State

