

یک تقویت کننده کم نویز و گین متغیر با جابجایی فاز کم در باند فرکانسی Ka در تکنولوژی CMOS

علیمحمد محمدپور بهبید، ابومسلم جان نثاری^{۳*}، عبدالرضا نبوی^۳

استادیار دانشکده برق و کامپیوتر، دانشگاه تربیت مدرس، jannesari@modares.ac.ir

۱، ۲ و ۳: تهران، دانشکده مهندسی برق و کامپیوتر، دانشگاه تربیت مدرس، بزرگراه جلال آل احمد

چکیده

در این مقاله، به طراحی یک تقویت کننده کم نویز با گین متغیر در باند فرکانسی Ka پرداخته شده است. این تقویت کننده بصورت دیجیتالی با استفاده از شبکه کلیدزنی، قابلیت تغییر گین سیگنال ورودی را با دقت پنج بیت یا ۳۲ حالت دارد. طراحی این مدار بر پایه ترکیب دو مدار تقویت کننده کم نویز (LNA) و تقویت کننده بهره متغیر (VGA) با ساختار سورس-مشترک کسکود و سلف تیهنگی انجام گرفت و از تکنیکهایی از جمله شبکه LC نردبانی، برای تطبیق بین طبقاتی بهتر و همچنین طبقه بافر گیت-مشترک در خروجی برای استقلال تطبیق امپدانس خروجی در مقابل تغییرات بهره مدار استفاده شد. در نهایت، در ساختار پیشنهادی، با تقسیم شبکه کلیدزنی به دو قسمت برای دریافت عدد نویز بهتر، در محدوده تغییر بهره 15 dB (از 5.324 dB تا 20.4 dB)، عدد نویزی معادل 5.6 dB، پهنای باند 5.34 GHz و S₁₁ و S₂₂ کمتر از 14 dB حاصل گردید. در این ساختار، برای به حداقل رساندن جابجایی فازی که در اثر تغییرات بهره مدار ایجاد می گردد، با ابده بکارگیری سلف جبران ساز، مقدار شیفت فاز حدود ۴۰ درجه کاهش یافت. بطوریکه در پهنای باندی معادل 1.5 GHz مقدار آن کمتر از ۵ درجه می باشد. برای این مدار شبیه سازی در سطح "جانمایی" و "پساجانمایی" نیز انجام شد که نتایج پساجانمایی عبارتست از: محدوده تغییر بهره حدود 18.7 dB، پهنای باند بیش از 2.5 GHz، عدد نویز 6.4 dB و همچنین S₁₁ و S₂₂ کمتر از 10 dB. پس از آن تحلیل الکترومغناطیس (EM) برای این مدار انجام شد که در آن تمام سلفها و مسیره های اصلی سیگنال نیز با نرم افزار "Sonnet" بررسی شده و در نرم افزار "Cadence" مورد شبیه سازی مجدد قرار گرفتند.

کلیدواژه

تقویت کننده کم نویز و بهره متغیر (VGLNA)، شبکه کلیدزنی، باند فرکانسی Ka، جابجایی فاز، محدوده دینامیکی (DR).

مقدمه

طرفی سورس همه ترانزیستورهای شبکه کلیدزنی به بار خروجی طبقه اول وصل شده است و خازن بزرگی در آن نقطه ایجاد می کند که منجر به کاهش فرکانس کار مدار می گردد. چنین مداری برای استفاده در فرکانسهای بالا یا باند فرکانسی Ka مناسب نیست. در مرجع [۳]، دو گروه از ترانزیستورها بصورت دو شبکه کلیدزنی مجزا بکار گرفته شده اند که یک گروه به بار خروجی متصل است و گروه دیگر به یک سلف اتصال دارد. در این مورد نیز خازنهای متصل به درین ترانزیستورهایی که به بار خروجی متصل هستند فرکانس کار را کاهش می دهند ولی چون تعداد آنها بیش از دو عدد نیست هنوز فرکانس افت شدیدی نکرده است. اگر از این مدار برای تغییر بهره ۵ بیتی استفاده شود افت فرکانس مرکزی به شدت مشهود می گردد. پس این روش نیز روش مناسبی برای استفاده در فرکانس بالا نیست. نکته دیگر در این مدار این است که ترانزیستور خروجی از ترانزیستورهای شبکه کلیدزنی جدا نشده است و همان ترانزیستوری که با روشن بودن خود، جریان بار خروجی را تأمین می کند در عملیات کلیدزنی وارد شده است. این کار باعث گردیده که نتوان از تعداد

در انتقال بی سیم، قدرت سیگنال بین فرستنده و گیرنده به عواملی از قبیل فاصله منبع تا گیرنده، شرایط کانال و اتلاف مسیر بستگی دارد. بنابراین سیگنال بطور یکسان تقویت نمی شود. در جاهایی که گیرنده به منبع نزدیک است کمتر و در مکانهایی که گیرنده از منبع دور است بیشتر تقویت می گردد. پس نیاز به تقویت سیگنال با بهره های متفاوت وجود دارد. تقویت کننده های بهره متغیر (VGAs) این کار را به خوبی انجام می دهند. این تقویت کننده ها در صورتی که بطور دیجیتالی کنترل شوند، برای تغییر بهره خروجی خود به یک شبکه کلیدزنی نیاز دارند که با خاموش و روشن کردن ترانزیستورهای این شبکه عمل تغییر بهره را انجام دهند. در مرجع [۱۴]، همه ترانزیستورهای شبکه کلیدزنی در مسیر بار خروجی قرار دارند و هیچکدام جریان بار خروجی را تغییر نمی دهند بلکه تنها مقاومت را تغییر می دهند. با اینکار نمی توان جریان DC را در مسیر خروجی کم و زیاد کرد بنابراین محدوده دینامیکی یا محدوده تغییر بهره کم می شود. از

علاوه بر تأمین بهره و به تبع آن کاهش نویز طبقات بعدی، تطبیق امپدانس ورودی را نیز فراهم می نماید.

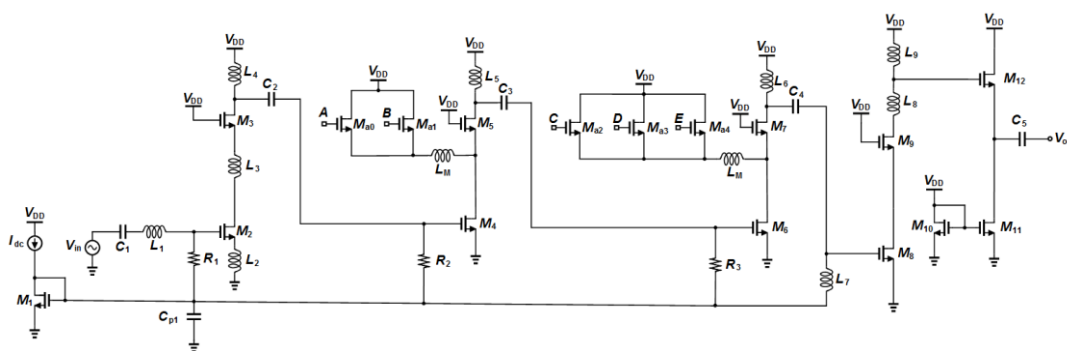


شکل ۱: دیاگرام بلوکی مربوط به VGLNA پیشنهادی

در طبقات دوم و سوم مدار، تقویت کننده بهره متغیر قرار گرفته که بصورت دیجیتالی عمل تغییر بهره را با کلیدزنی گروهی از ترانزیستورها کنترل می کند. بکار بردن VGA در طبقات میانی باعث می شود که بهره در قسمتی جدا از ورودی و خروجی تغییر کند و تغییر بهره، آنها را کمتر تحت تأثیر قرار دهد. برای رسیدن به بهره بالاتر از دو طبقه LNA استفاده شده است. در طبقه آخر مدار نیز از یک بافر استفاده شده است که تطبیق امپدانس خروجی را بطور کامل، از تغییرات بهره در VGA مجزا نماید. اینکار سبب می گردد که پارامتر S_{22} در تمام بهره ها مقدار ثابتی داشته باشد.

ساختار مداری تقویت کننده پیشنهادی

نمای مداری تقویت کننده پیشنهادی در شکل ۲ نشان داده شده است. در این مدار برای رسیدن به نویز کمتر و بهره بالاتر در فرکانسهای بالا، ساختار تقویت کننده های کم نویز (LNAs) بر پایه یک ساختار سورس-مشترک (CS) با ترانزیستورهای کسکود طراحی شده است. در طبقه اول مدار، LNA1 دارای یک ساختار CS با سلف تبهگنی در سورس است. در این مدار برای افزایش بیشتر بهره، از سلف L_3 بین ترانزیستورهای کسکود استفاده شده است.



شکل ۲: نمای مداری VGLNA پیشنهادی

اگر جملات اول و دوم بر اثر تشدید همدیگر را خنثی کنند، داریم:

$$(L_g + L_s)j\omega + \frac{1}{c_{gs}j\omega} = 0 \quad (2)$$

ترانزیستورهای شبکه کلیدزنی حداکثر استفاده را کرد و با خاموش شدن آن ترانزیستور، در هر حالت بهره خروجی نخواهیم داشت. یعنی از تعداد کلیدهای موجود نمی توان به شکل کامل و مناسب استفاده کرد. برای جدا کردن طبقه کلیدزنی از خروجی مدار و عدم تأثیر آن بر خروجی، بهتر است در طبقه آخر مدار از یک بافر استفاده شود. در مرجع [۷]، یک بافر با ساختار گیت-مشترک در خروجی مدار بکار رفته است. استفاده از ساختار گیت-مشترک باعث می گردد که بخاطر مقاومت خروجی کوچکی که از سورس ترانزیستور دیده می شود، تطبیق امپدانس خروجی بهبود یابد. در مرجع [۸] برای بهتر کردن تطبیق بین-طبقاتی از شبکه LC نردبانی استفاده شده است.

در این مقاله، یک تقویت کننده کم نویز و بهره متغیر با ساختار پنج-طبقه در باند فرکانسی Ka معرفی شده است. این مدار ترکیبی از دو مدار تقویت کننده کم نویز (LNA) و تقویت کننده بهره متغیر (VGA) می باشد. ادامه این مقاله بدین صورت است که در قسمت ۱، ساختار پیشنهادی معرفی می گردد. بررسی و تحلیل برخی محاسبات در قسمت ۲ آورده می شود. در قسمت ۳، نتایج شبیه سازیها بیان می شود و در نهایت در قسمت ۴، نتیجه گیری ارائه می گردد. مراجع نیز در قسمت ۵ نشان داده شده اند.

ساختار تقویت کننده پیشنهادی

دیاگرام بلوکی مدار

معماری بلوکی این مدار در شکل ۱ نشان داده شده است. در طبقه اول، یک تقویت کننده کم نویز (LNA) بکار رفته است که

با صرف نظر کردن از C_{gd} می توان امپدانس ورودی را بصورت

زیر نوشت:

$$Z_{in} = (L_g + L_s)S + \frac{1}{c_{gs}S} + \frac{g_m L_s}{c_{gs}} \quad (1)$$

طراحی شده برای مدار شکل ۲، در جدول ۱ نشان داده شده است.

جدول ۱: مقادیر شبیه‌سازی شده مربوط به VGLNA پیشنهادی

نام	مقدار
$(v)V_{DD}$	1.8
$I_{ac} (mA)$	17.86
M_1	$2u \times 2/0.4u$
$M_2 = M_3$	$4u \times 12/0.18u$
$M_4 = M_6$	$4u \times 5/0.18u$
$M_5 = M_7$	$4u \times 8/0.18u$
M_{a0}	$7u \times 3/0.18u$
M_{a1}	$7u \times 6/0.18u$
M_{a2}	$7u \times 12/0.18u$
M_{a3}	$7u \times 24/0.18u$
M_{a4}	$7u \times 48/0.18u$
$M_8 = M_9$	$4u \times 12/0.18u$
M_{10}	$2u \times 2/0.4u$
M_{11}	$2u \times 2/0.18u$
$C_1 = C_2 = C_3 = C_4 = C_{p1}$	312.7 fF
C_5	245.17 fF
$L_1 = L_2 = L_8 = L_9$	195.5 pH
$L_3 = L_4 = L_5 = L_6$	289.18 pH
L_7	627.46 pH
L_M	1.18 nH
$R_1 = R_2 = R_3$	5.76 K Ω

بررسی تحلیلی

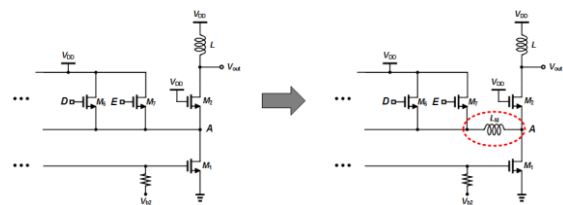
جابجایی فاز

برای بررسی اثر سلف جبران‌ساز از نظر سیگنال کوچک، می‌توان یک طبقه VGA ساده را در نظر گرفت که تنها با یک کلید، دو حالت کلیدزنی را انجام می‌دهد. در اینصورت می‌توان آنرا به همراه مدار معادلش در شکل ۴ نشان داد. در این حالت هیچگونه سلفی بین سورس ترانزیستور M_2 و M_3 وجود ندارد.

$$\omega_0 = \frac{1}{\sqrt{(L_g + L_s) C_{gs}}} \quad (3)$$

در این حالت تطبیق امپدانس ورودی توسط قسمت حقیقی رابطه (۱)، $\frac{g_m L_s}{C_{gs}}$ ، تعیین می‌شود.

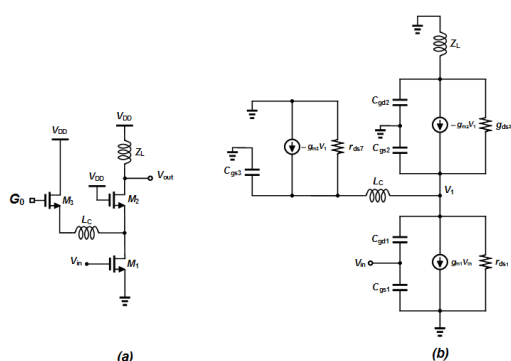
در طبقه چهارم نیز مدار LNA2 قرار دارد که دارای ساختار CS می‌باشد. در خروجی این مدار نیز یک شبکه LC نردبانی بکار رفته است که تطبیق بین-طبقاتی کمک می‌کند. طراحی VGA بر پایه ساختار LNA سورس-مشترک انجام شده است. در VGA پیشنهادی پنج ترانزیستور انتخاب‌کننده بهره وجود دارد که شبکه کلیدزنی را تشکیل می‌دهند و می‌توانند ۵ بیت رزولوشن یا ۳۲ حالت تغییر بهره ایجاد نمایند. برای اینکه بتوان با ۵ بیت به ۳۲ حالت تغییر بهره رسید، باید ابعاد ترانزیستورهای کلیدزنی با همدیگر متفاوت باشند. در واقع این ترانزیستورها باید وزن‌دهی شوند. اینکار کمک می‌کند که در حالت‌های مختلف خروجی‌های یکسانی نداشته باشیم. برای رسیدن به نویز کمتر شبکه VGA به دو طبقه تقسیم شده است بطوریکه در یک طبقه دو کلید و در طبقه دیگر سه کلید استفاده شده است. با انجام اینکار و قرار دادن کلیدهای کوچکتر در طبقه پیشین، این طبقه به نحوی مثل LNA عمل کرده و نویز طبقات دیگر را تا حدی کاهش می‌دهد. یکی از موارد بسیار مهم در VGAها مخصوصاً در سیستم‌های آرایه-فاز، جابجایی فاز خروجی بین حالت‌های بیشترین بهره و کمترین بهره است. این جابجایی فاز باید تا حد ممکن کم باشد. عمل کلیدزنی و تغییر جریان در شاخه خروجی از عوامل مهم تأثیرگذار بر جابجایی فاز است. در ساختار پیشنهادی برای کاهش جابجایی فاز خروجی، از یک سلف جبران‌ساز استفاده شده است که مطابق شکل ۳، بین سورس ترانزیستورهای کلیدزنی و گره A قرار داده شده است. این سلف تأثیر کلیدزنی را بر گره A تعدیل می‌نماید و جابجایی فاز را کم می‌کند.



شکل ۳: استفاده از خازن جبران‌ساز برای کاهش جابجایی فاز خروجی بین بهره‌های بیشینه و کمینه

برای بافر خروجی از یک ساختار گیت-مشترک استفاده شده است. این بافر اولاً با مقاومت کوچکی که از سورس آن دیده می‌شود $(1/g_m)$ ، تطبیق امپدانس خروجی را بهبود می‌بخشد و ثانیاً با جدا کردن خروجی مدار از طبقه کلیدزنی برای همه بهره‌های مختلف S_{22} یکسان و ثابتی تولید می‌کند. مقادیر

اکنون چنانچه از سلف جبران ساز استفاده شود، همان مدار تک کلیدی را می توان به همراه مدار معادلش بصورت شکل ۵ نشان داد.



شکل ۵: یک طبقه VGA با ساختار سورس-مشترک با سلف جبران ساز و شبکه کلیدزنی، (b) مدار معادل آن

در این حالت نیز می توان بهره ولتاژ مدار را در دو حالت روشن و خاموش بودن ترانزیستور M_3 ، نوشت. باز هم برای حالت خاموش بودن کلید، یعنی $(G_0 = 0)$ ، می توان نوشت:

$$\left(\frac{V_o}{V_i}\right)_1 = -\frac{g_{m1} g_{m2} Z_L}{(g_{m2}) + (C_{gs2} + C_{gs3})S + C_{gs2} C_{gs3} L S^3 + (g_{m2} C_{gs3}) L S^2} \quad (5)$$

بهره ولتاژ برای حالت $(G_0 = V_{DD})$ با وجود سلف جبران ساز بصورت رابطه (۶) نوشته می شود.

$$\left(\frac{V_o}{V_i}\right)_2 = \frac{g_{m1} g_{m2} Z_L (1 + C_{gs3} L S^2 + g_{m3} L S)}{(g_{m2} + g_{m3}) + (C_{gs2} + C_{gs3})S + C_{gs2} C_{gs3} L S^3 + (g_{m2} C_{gs3} + g_{m3} C_{gs2}) L S^2 + g_{m2} g_{m3} L S} \quad (6)$$

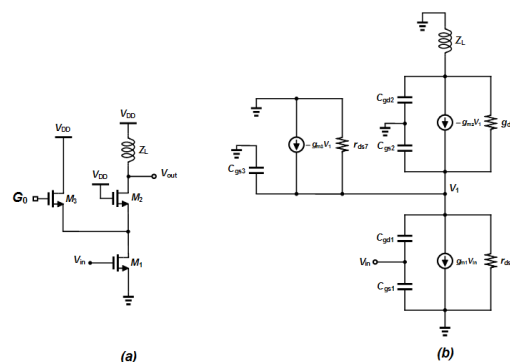
فاز خروجی با وجود خازن جبران ساز در دو حالت بیشترین و کمترین بهره از روابط (۷) و (۸) بدست می آید.

$$\theta_1 = \pm\pi + \angle g_{m1} g_{m2} Z_L - \tan^{-1} \left(\frac{(C_{gs2} + C_{gs3})\omega - C_{gs2} C_{gs3} L \omega^3}{g_{m2} - g_{m2} C_{gs3} L \omega^2} \right) \quad (7)$$

$$\theta_2 = \pm\pi + \angle g_{m1} g_{m2} Z_L + \tan^{-1} \left(\frac{g_{m3} L \omega}{1 - C_{gs3} L \omega^2} \right) -$$

$$\tan^{-1} \left(\frac{(C_{gs2} + C_{gs3} + g_{m2} g_{m3} L)\omega - C_{gs2} C_{gs3} L \omega^3}{g_{m2} + g_{m3} - (g_{m2} C_{gs3} + g_{m3} C_{gs2}) L \omega^2} \right) \quad (8)$$

با بکارگیری سلف جبران ساز، در فرکانسهای پایین تر، زاویه θ_2 مقدار منفی تری نسبت به زاویه θ_1 دارد، ولی به تدریج با افزایش فرکانس دوباره مقدار θ_2 مثبت تر از θ_1 می شود. در واقع فاز مدار در حالت روشن شدن کلید پایین تر رفته است و هر دو فاز به هم نزدیک تر شده اند.



شکل ۴: (a) یک VGA با ساختار CS به همراه شبکه کلیدزنی، (b) مدار معادل آن

با صرف نظر کردن از C_{gd} و g_{ds} به دلیل کوچکی آنها، می توان بهره ولتاژ را در دو حالت قطع و وصل بودن کلید (یعنی خاموش و روشن بودن ترانزیستور M_3) بدست آورد. ابتدا در حالت خاموش بودن ترانزیستور M_3 داریم:

$$\left(\frac{V_o}{V_i}\right)_1 = -\frac{g_{m1} g_{m2} Z_L}{g_{m2} + (C_{gs2} + C_{gs3})S} \quad (1)$$

در حالت روشن بودن M_3 $(G_0 = V_{DD})$ ، کسری از جریان از طریق این ترانزیستور عبور می کند و جریان ترانزیستور خروجی کاهش می یابد در این صورت بهره ولتاژ کاهش می یابد. این بهره را می توان بصورت رابطه (۲) نوشت:

$$\left(\frac{V_o}{V_i}\right)_2 = -\frac{g_{m1} g_{m2} Z_L}{(g_{m2} + g_{m3}) + (C_{gs2} + C_{gs3})S} \quad (2)$$

همانطور که مشاهده می شود در روابط (۱) و (۲)، صورت کسرها با هم برابر است ولی در حالت روشن بودن M_3 پارامتر g_{m3} در مخرج اضافه شده است که نشان می دهد با روشن شدن این ترانزیستور بهره ac کاهش پیدا می کند. اکنون اگر فاز را بر حسب درجه در این روابط بنویسیم، با توجه به یکسان بودن ولتاژ ورودی، می توان اختلاف فاز ولتاژهای خروجی را در حالت بیشترین و کمترین بهره، از نظر درجه بدست آورد.

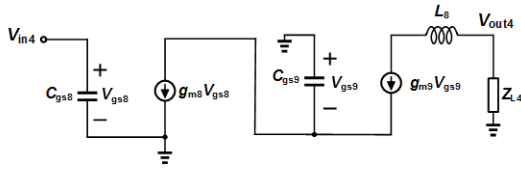
$$\theta_1 = \pm\pi + \angle g_{m1} g_{m2} Z_L - \tan^{-1} \frac{(C_{gs2} + C_{gs3})\omega}{g_{m2}} \quad (3)$$

$$\theta_2 = \pm\pi + \angle g_{m1} g_{m2} Z_L - \tan^{-1} \frac{(C_{gs2} + C_{gs3})\omega}{g_{m2} + g_{m3}} \quad (4)$$

با توجه به روابط (۳) و (۴)، θ_1 (حالت کمترین بهره) مقدار منفی تری نسبت به θ_2 (بیشترین بهره) دارد.

بهره ولتاژ

در مورد بهره ولتاژ طبقه چهارم، می توان مدار معادل آن را در شکل ۷ نشان داد. بهره ولتاژ این طبقه نیز از رابطه (۱۴) بدست می آید.

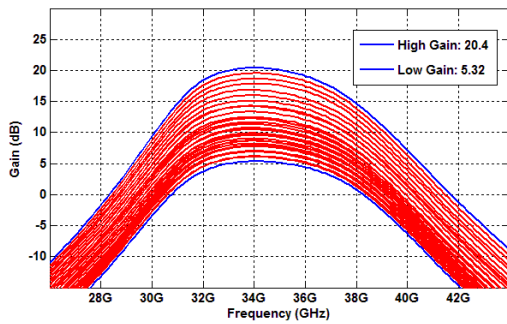


شکل ۷: مدار معادل LNA2 مربوط به طبقه چهارم

$$\frac{V_{out4}}{V_{in4}} = \frac{g_{m8} \cdot g_{m9} \cdot Z_{L4}}{g_{m9} + C_{gs9} \cdot S} \quad (14)$$

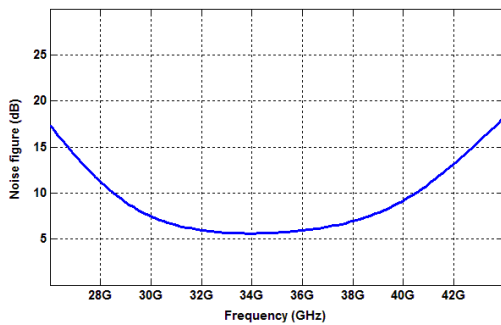
نتایج شبیه سازی

عملکرد مدار VGLNA در نرم افزار Cadence شبیه سازی گردید. شکل ۸، ۳۲ حالت تغییر بهره مدار را نشان می دهد.



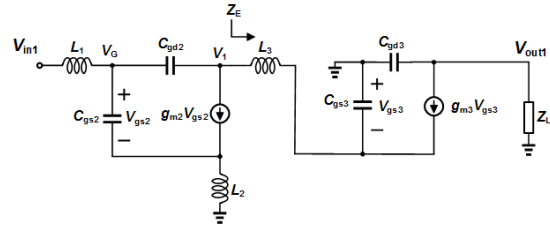
شکل ۸: ۳۲ حالت تغییر بهره که از کلیدزنی ترانزیستورهای شبکه VGA بدست آمده اند.

محدوده دینامیکی از بیشترین تا کمترین بهره، ۱۵,۸ dB است و پهنای باند ۳ dB حدود ۵,۳ GHz است که پهنای باند بسیار وسیعی است. کمترین عدد نویز در بیشترین بهره اتفاق می افتد. این عدد نویز در شکل ۹ نشان داده شده است.



شکل ۹: عدد نویز حاصل از VGLNA در حالت بیشترین بهره

در ساختار پیشنهادی، طبقات LNA برای افزایش بهره و طبقات VGA به عنوان تضعیف کننده عمل می کنند یعنی بهره مدار را پله به پله کاهش می دهند. برای بدست آوردن بهره کل، می توان بهره طبقات را بصورت مجزا نوشت. در مورد طبقه اول، می توان مدار معادل آن را بصورت شکل ۶ نشان داد.



شکل ۶: مدار معادل LNA1 مربوط به طبقه اول

با صرف نظر کردن از C_{gd} داریم:

$$\frac{V_{out1}}{V_{in1}} = \frac{g_{m2} \cdot g_{m3} \cdot Z_{L1}}{(g_{m3} + C_{gs3} \cdot S)(1 + g_{m2} \cdot L_2 \cdot S + C_{gs2} \cdot (L_1 + L_2) \cdot S^2)} \quad (9)$$

برای نوشتن بهره ولتاژ طبقات VGA می توان از معادلات (۵) و (۶) استفاده کرد. با بسط دادن این معادلات، برای بهره ولتاژ طبقه دوم در حالت های بیشترین و کمترین بهره می توان نوشت:

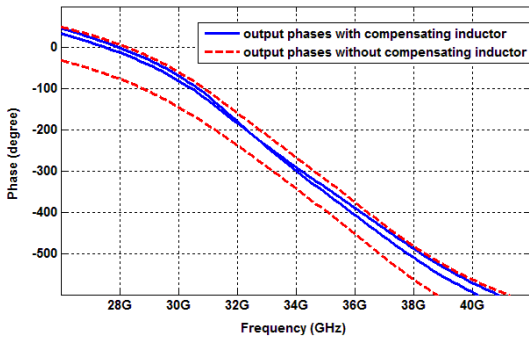
$$\left(\frac{V_{out2}}{V_{in2}}\right)_{High} = \frac{g_{m4} \cdot g_{m5} \cdot Z_{L2}}{g_{m5} + (C_{gs4} + C_{gsa0} + C_{gsa1})S + (C_{gsa0} + C_{gsa1})L_M(C_{gs5} S^3 + g_{m5} S^2)} \quad (10)$$

$$\left(\frac{V_{out2}}{V_{in2}}\right)_{Low} = \frac{g_{m4} \cdot g_{m5} \cdot Z_{L2} [1 + (C_{gsa0} + C_{gsa1})L_M S^2 + (g_{ma0} + g_{ma1})L_M S]}{(g_{m5} + g_{ma0} + g_{ma1}) + (C_{gs5} + C_{gsa0} + C_{gsa1})S + C_{gs5} (C_{gsa0} + C_{gsa1})L_M S^3 + \rightarrow [g_{m5} (C_{gsa0} + C_{gsa1}) + (g_{ma0} + g_{ma1})C_{gs5}]L_M S^2 + g_{m5} (g_{ma0} + g_{ma1})L_M S} \quad (11)$$

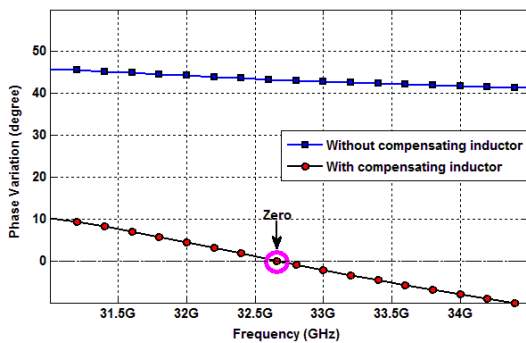
برای طبقه بهره ولتاژ سوم نیز با بسط همان معادلات در حالت بیشترین و کمترین بهره داریم:

$$\left(\frac{V_{out3}}{V_{in3}}\right)_{High} = \frac{g_{m6} \cdot g_{m7} \cdot Z_{L2}}{g_{m7} + (C_{gs6} + C_{gsa2} + C_{gsa3} + C_{gsa4})S + (C_{gsa2} + C_{gsa3} + C_{gsa4})L_M(C_{gs7} S^3 + g_{m7} S^2)} \quad (12)$$

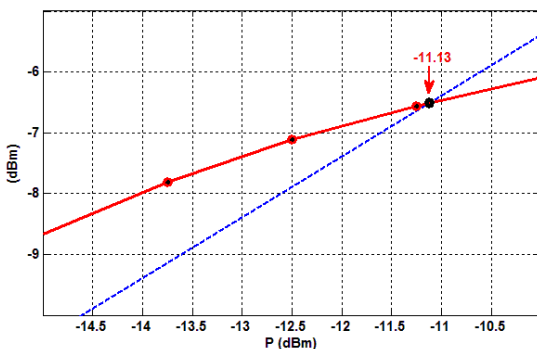
$$\left(\frac{V_{out3}}{V_{in3}}\right)_{Low} = \frac{g_{m6} \cdot g_{m7} \cdot Z_{L2} [1 + (C_{gsa2} + C_{gsa3} + C_{gsa4})L_M S^2 + (g_{ma2} + g_{ma3} + g_{ma4})L_M S]}{(g_{m7} + g_{ma2} + g_{ma3} + g_{ma4}) + (C_{gs7} + C_{gsa2} + C_{gsa3} + C_{gsa4})S + \rightarrow C_{gs7} (C_{gsa2} + C_{gsa3} + C_{gsa4})L_M S^3 + \rightarrow [g_{m7} (C_{gsa2} + C_{gsa3} + C_{gsa4}) + (g_{ma2} + g_{ma3} + g_{ma4})C_{gs7}]L_M S^2 + g_{m7} (g_{ma2} + g_{ma3} + g_{ma4})L_M S} \quad (13)$$



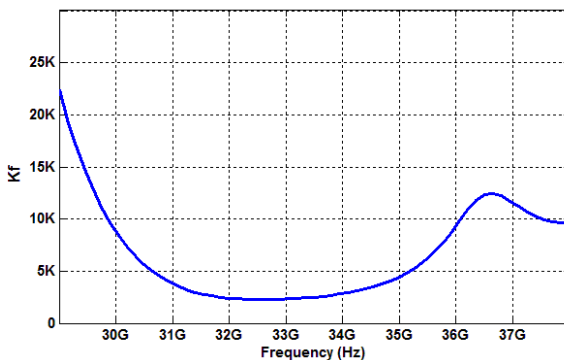
شکل ۱۲: فاز خروجی در هر دو حالت بیشترین و کمترین بهره، یکبار بدون خازن جبران‌ساز و یکبار با خازن جبران‌ساز



شکل ۱۳: جابجایی فاز خروجی از بیشترین تا کمترین بهره، یکبار بدون خازن جبران‌ساز و یکبار با خازن جبران‌ساز

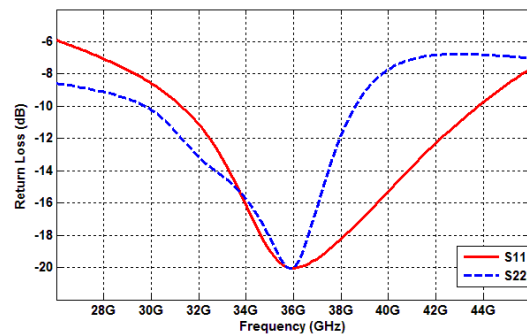


شکل ۱۴: P_{1dB} مربوط به VGLNA در حالت کمترین بهره

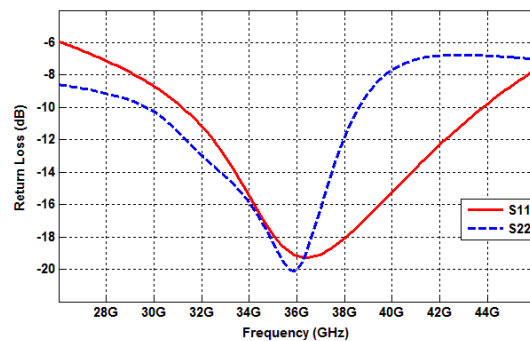


شکل ۱۵: نمودار K_f برحسب فرکانس

از آنجا که ساختار معرفی شده دارای پنج طبقه است و دارای پنج بیت رزولوشن یا ۳۲ حالت تغییر بهره است، کاهش نویز مدار کار ساده‌ای نیست. یکی از تکنیک‌هایی که به کاهش عدد نویز تا ۵٫۶ dB کمک کرده، این است که بیت‌های کنترلی در دو طبقه توزیع شده‌اند. به گونه‌ای که کلیدهای کوچکتر در طبقه پیشین قرار گرفته‌اند و این طبقه بصورت یک LNA عمل می‌کند و باعث می‌گردد نویز طبقات بعدی کاهش یابد. پارامترهای S_{11} و S_{22} در حالت بیشترین و کمترین بهره، در شکل‌های ۱۰ و ۱۱ نشان داده شده‌اند.



شکل ۱۰: پارامترهای S_{11} و S_{22} در حالت بیشترین بهره

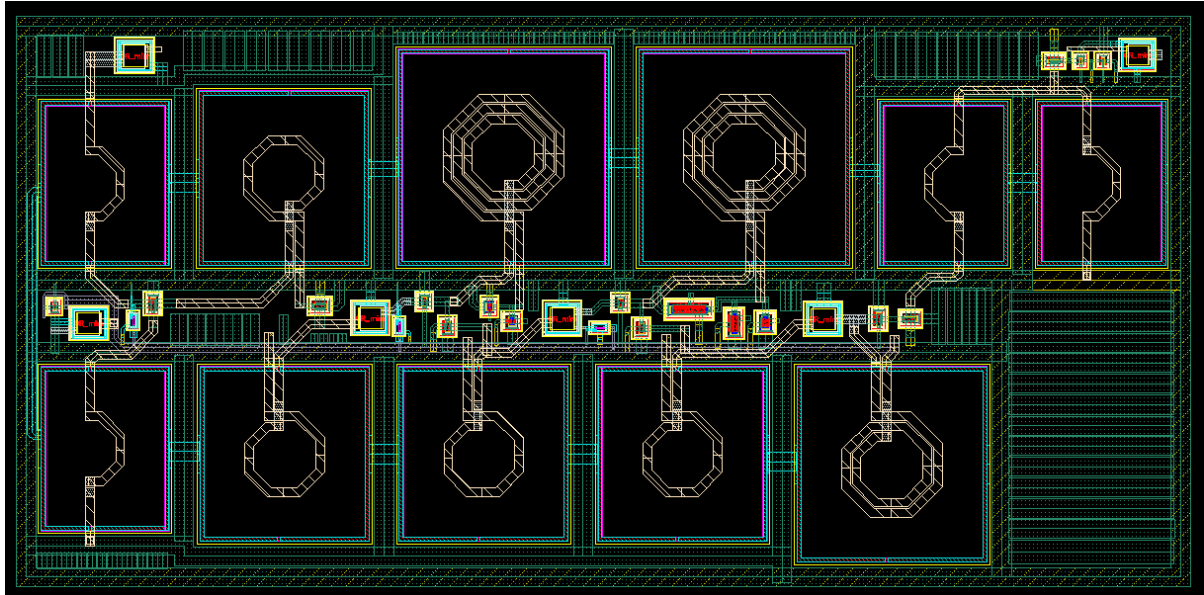


شکل ۱۱: پارامترهای S_{11} و S_{22} در حالت کمترین بهره

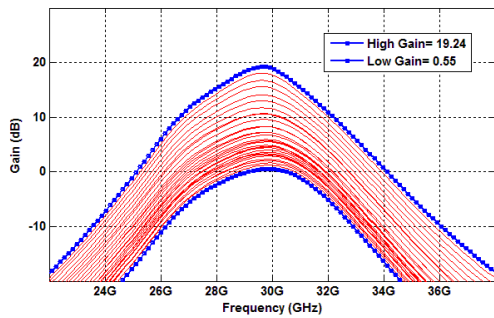
می‌توان مشاهده کرد که به دلیل استفاده از بافر در خروجی، پارامتر S_{22} برای همه بهره‌ها یکسان است. همانگونه که بیان شد، برای کاهش جابجایی فاز می‌توان از سلف جبران‌ساز استفاده کرد. شکل ۱۲ فاز خروجی مدار را در حالت بیشترین و کمترین بهره، یکبار با خازن جبران‌ساز و یکبار بدون آن نشان می‌دهد. شکل ۱۳ نیز تغییرات فاز را بین بیشترین و کمترین بهره، با خازن جبران‌ساز و بدون آن نشان می‌دهد. مشخص است که تغییرات فاز با استفاده از خازن جبران‌ساز بسیار کمتر است. این تغییر فاز در محدوده فرکانسی حدود ۱٫۵ GHz به کمتر از ۵ درجه می‌رسد. نمودار P_{1dB} در حالت کمترین بهره نیز در شکل ۱۴ نشان داده شده است. برای بیان پایداری مدار، نمودار K_f در شکل ۱۵ نشان داده شده است.

کوتاهتر و ضخامت سیم مناسبتر باشد، می‌توان از این رفتار جلوگیری کرد. در طراحی مدار در سطح جانمایی، سعی شد تا جای ممکن یک طراحی منظم انجام شود. تصویری از طراحی مدار در سطح جانمایی در شکل ۱۶ نشان داده شده است.

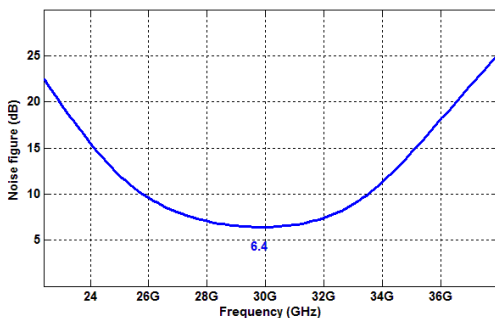
طراحی مدار در سطح "جانمایی" و "پساجانمایی"، با استفاده از ابزار شبیه‌سازی تعبیه شده در نرم‌افزار Cadence انجام شده است. در این طراحی از تکنولوژی "TSMC $\mu\text{m CMOS}$ " استفاده شده است که شامل ۶ لایه فلز و اتصالات بین آنها می‌باشد. سیم کشیده شده، در فرکانس بالا، یک نوع رفتار سلفی-خازنی از خود نشان می‌دهد که هر چه مسیر انتقال سیگنال



شکل ۱۶: نمای جانمایی مدار VGLNA پیشنهادی



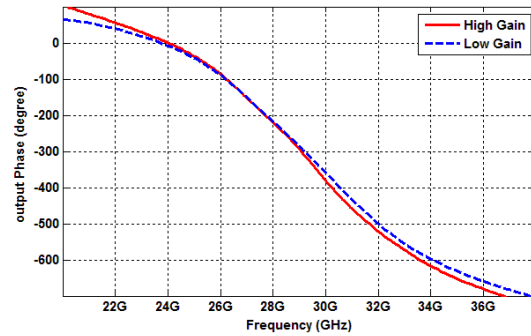
شکل ۱۷: ۳۲ حالت تغییر بهره که از پساجانمایی بدست آمده است



شکل ۱۸: عدد نویز در حالت بیشترین بهره بدست آمده از پساجانمایی

در این طراحی یک حلقه V_{DD} و GND دور تا دور مدار رسم شده است که مدار از یک زمین و منبع بسیار قوی برخوردار باشد و از اثر "لج‌آپ" نیز جلوگیری گردد. مسیرها و ریل‌های V_{DD} و GND به همین صورت در میان تمامی سلفها کشیده شده‌اند. در حقیقت یک شبکه بسیار قدرتمند از منبع و زمین ایجاد شده که سلفها در آن جانمایی شده‌اند. بقیه مدار نیز تقریباً بسیار فشرده و با حداقل فضا در میان دو ریل V_{DD} و GND قرار گرفته است. بدین طریق با کوتاه کردن مسیر اتصال بدنه، سورس و درین المانها به شبکه سراسری V_{DD} و GND ، علاوه بر اینکه از ایجاد مقاومت و اثرات سلفی-خازنی اضافه جلوگیری می‌شود، المانها نیز در فاصله کوتاهتری از یکدیگر قرار گرفته و کوچکی مدار حاصل می‌گردد. نتایج بدست آمده از پساجانمایی در شکل‌های ۱۷ تا ۱۹ نشان داده شده است. همانگونه که مشاهده می‌گردد، محدوده دینامیکی و بیشینه بهره افزایش یافته‌اند. عدد نویز نیز به اندازه ۰.۸ dB افزایش یافته است.

برای این مدار تحلیل الکترومغناطیس (EM) نیز انجام شده است. علاوه بر تمامی سلفها، مسیره‌های RF نیز مورد تحلیل EM با نرم‌افزار "Sonnet" قرار گرفتند. نتایج EM برای هر یک از طبقات در جدول ۲ آمده است. برای تست حساسیت مدار نسبت به تغییرات دما و ولتاژ در گوشه‌های مختلف پروسه، خروجیهای مختلف مدار نسبت به دما در گوشه‌های مختلف پروسه یکبار با ولتاژ ۲ ولت و یکبار با ولتاژ ۱٫۶ ولت به ترتیب در جداول ۳ و ۴ نشان داده شده است. در جدول ۵ نیز خلاصه‌ای از عملکرد مدار پیشنهادی در مقایسه با برخی کارهای دیگر آورده شده است.



شکل ۱۹: فاز خروجی بدست آمده در حالت بیشترین و کمترین بهره حاصل از پساچانمایی

جدول ۲: نتایج EM برای هر یک از طبقات بطور جداگانه

طبقه اول	طبقه دوم	طبقه سوم	طبقه چهارم
Gain = 19.17	Gain = 15.69	Gain = 17.91	Gain = 20.93
NF = 5.68	NF = 5.75	NF = 5.8	NF = 5.6
S11 = - 20.12	S11 = - 20.05	S11 = - 20.12	S11 = - 20
S22 = - 20.34	S22 = - 26.7	S22 = - 21.56	S22 = - 14.73

جدول ۳: نتایج حاصل از شبیه‌سازی ساختار پیشنهادی در گوشه‌های مختلف پروسه با ولتاژ ۲ ولت

پروسه	دما (°C)	بهره (dB)	عدد نویز (dB)	S11 (dB)	S22 (dB)
tt	27	21.92	5.44	-16.29	-16.57
tt	-40	28.65	4.17	-15.49	-19.47
ff	-40	28.65	4.17	-15.48	-19.45
ss	-40	28.65	4.17	-15.49	-19.47
tt	125	12.57	7.82	-17.91	-13.61
ff	125	12.57	7.82	-17.81	-13.54
ss	125	12.57	7.82	-17.91	-13.61

جدول ۴: نتایج حاصل از شبیه‌سازی ساختار پیشنهادی در گوشه‌های مختلف پروسه با ولتاژ ۱.۶ ولت

پروسه	دما (°C)	بهره (dB)	عدد نویز (dB)	S ₁₁ (dB)	S ₂₂ (dB)
tt	27	18.95	5.79	-16.05	-14.84
tt	-40	25.94	4.36	-15.05	-17.47
ff	-40	25.94	4.36	-15.05	-17.48
ss	-40	25.94	4.36	-15.34	-17.65
tt	125	9.3	8.6	-16.79	-11.96
ff	125	9.3	8.6	-16.75	-11.94
ss	125	9.3	8.6	-16.8	-11.96

جدول ۵: خلاصه عملکرد VGLNA پیشنهادی و مقایسه آن با برخی کارهای دیگران

	This work		[3]		[4]	[6]	[8]
	Simulated	Post Layout	VGA	LNA			
Freq. (GHz)	31.65 - 36.99	28.29 - 30.8	23.8	24.4	31.7	26.6	40
Gain Max (dB)	20.4	19.24	5.9	6.5	9.7	8.8	15
Dynamic Range (dB)	15	18.69	2.8	-	-	14.2	0
Bandwidth (GHz)	5.34	2.5	-	-	N/A	-	4
NF (dB)	5.6	6.4	-	3.2	5.4	8.3	7.5
S ₁₁ < (dB)	-10	-10	-	-	-10	-19.1	-20.5
S ₂₂ < (dB)	-11	-10	-	-	-6	-9.9	-16.2
P _{1dB} (dBm)	-11.13 (low gain)	-	-	-	-7.8	-16	-16
Phase shift (degree)	0 to 10 within 3.3GHz	0 to 5 within 3.43 GHz	~5	7	-	8.9	-
Tuning states	32	32	2	-	1	-	1
P.DC (mW)	32.14	32.14	4.5	9	24	25.7	36
Technology	180nm CMOS		90nm CMOS		90nm CMOS	180nm CMOS	180nm CMOS

- [7] Zhe-Yang Huang, "A Ka-Band CMOS Low-Noise Amplifier for Ka-Band Communication System," Proceedings of the World Congress on Engineering and Computer Science Vol II, San Francisco, USA2010.
- [8] Hsieh-Hung Hsieh, Liang-Hung Lu, "A 40-GHz Low-Noise Amplifier With a Positive-Feedback Network in 0.18-um," IEEE Transactions on Microwave Theory and Techniques, vol. 57, NO. 8, August 2009.
- [9] Cameron T. Charles, "A Calibrated Phase and Amplitude Control System for Phased-Array Transmitters," University of Washington, 2006.
- [10] Yue.Wu, Zhiqun.Li, Qin.Li, Zhigong.Wang, "A Wideband Variable Gain Amplifier Design for 60GHz Millimeter-wave Receiver," Southeast University, Nanjing, 2013.
- [11] Behnoosh.Rahmatian,Shahriar. Mirabbasi, "A low-power 75 dB digitallyprogrammable variable-gain amplifier in 0.18 μ m CMOS," Can. J. Elect. Comput. Eng., vol. 32, No. 4, Fall 2007.
- [12] Lini Lee, S.S. Jamuar and R. M. Sidek, "An 8 GHz Variable Gain Low Noise Amplifier (VGLNA) Utilizing Parallel Inter-Stage Resonance", Department of Electrical and Electronics Engineering, University Putra Malaysia (UPM), 2006.
- [13] Mihai A.T. Sanduleanu, "31-34GHz Low Noise Amplifier with On-chip Microstrip Lines and Inter-stage Matching in 90-nm Baseline CMOS", Electronics Research Laboratory, Delft University of Technology, The Netherlands.
- [14] H. C. Lai, Z. M. Lin, "A Low Noise Gain-Variable LNA for 802.11a WLAN", IEEE Conference on Electron Devices and Solid-State Circuits, EDSSC 2007.
- [15] M.A.T.Sanduleanu, G. Zhang, and J. R. Long, "31-34GHz low noise amplifier with on-chip microstrip lines and inter-stage matching in 90nm baseline CMOS," In Proceedings of the IEEE Radio Frequency.
- [16] Ehsan Adabi, Babak Heydari, Mounir Bohsali and Ali M. Niknejad, "30 GHz CMOS low noise amplifier," In Proceedings of the IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp. 625-627, 2007.

نتیجه گیری

در این مقاله یک مدار تقویت کننده کم نویز و بهره متغیر با 5 بیت رزولوشن (32 حالت تغییر بهره)، در پنج طبقه معرفی شده است که در باند فرکانسی Ka کار می کند و برای کاربردهای آرایه فاز طراحی شده است. این مدار شامل دو طبقه LNA برای افزایش بهره، دو طبقه VGA برای تغییر بهره و یک طبقه بافر است که برای جداسازی طبقه تغییر بهره از خروجی مدار بکار گرفته شده است. محدوده دینامیکی بیش از 15 dB و پهنای باند وسیع در فرکانس بالا از خصوصیات این مدار است. با استفاده از سلف جبران ساز اختلاف فاز خروجی از بیشترین گین تا کمترین گین حدود 40 درجه بهبود یافته است. جریان مصرفی مدار 17.86 mA است که با ولتاژ 1.8 V کار می کند.

مراجع

- [1] B. Razavi, "RF microelectronics" second ed.: Prentice Hall, New Jersey, 2011.
- [2] B. W. Min, and G. M. Rebeiz, "Single-ended and differential Ka-band BiCMOS phased array front-ends," IEEE J. Solid-State Circuits, vol. 43, no. 10, pp. 2239-2250, Oct. 2008.
- [3] Ban Wang, Gabriele Tasselli, Cyril Botteron and Pierre-Andr'e Farine, "24GHz LNA and Vector Modulator Phase Shifter for Phased-Array Receiver in CMOS Technology," Phased Array Systems & Technology, IEEE International Symposium, 2013.
- [4] Sotoudeh Hamedi-Hagh, Muhammad Yousuf Siddiqui, "A Digitally Controlled Low Voltage Variable Gain Amplifier with Constant Return Loss," San Jose State University, Electrical Engineering Department, 2012.
- [5] Yang Geliang, Wang Zhigong, "A 31.7-GHz high linearity millimeter-wave CMOS LNA using an ultra-wideband input matching technique," Institute of RF- & OE-ICs, Southeast University, Nanjing, china, 2012.
- [6] Pei-Hua Lo, Chien-Chih Lin, Hsin-Chih Kuo, "A Ka-band CMOS Low-phase-variation Variable Gain Amplifier With Good Matching Capacity", Institute of Computer and Communication Engineering, Department of Electrical Engineering, National Cheng Kung University, Tainan, Taiwan, 2012.