طراحی یک نوسان‌ساز با نویز فاز کم در گیرنده‌های دو باندی

سجاد کیانی[۱]، سید محمدرضا موسوی میرکلائی[۲]*، مریم صفری[۳]، عبدالرضا رحمتی[۴]

[۱] دانشجوی کارشناسی ارشد، دانشگاه علم و صنعت ایران

[۲] استاد دانشکده برق، دانشگاه علم و صنعت ایران، m_mosavi@iust.ac.ir

[۳] دانشجوی دکتری، دانشگاه علم و صنعت ایران

[۴] دانشیار دانشکده برق، دانشگاه علم و صنعت ایران

چکیده

در این مقاله یک نوسان‌ساز LC کنترل شده با ولتاژ، برای کاربرد در دو باند فرکانسی مختلف ارائه شده است. در طراحی نوسان‌ساز، از سلف فعال به همراه روش افزایش هدایت منفی تانک LC استفاده شده که باعث بهبود در نویز فاز و کاهش توان مصرفی شده است. مدار توسط نرم افزار ADS و Cadence شبیه‌سازی شده و نتایج شبیه‌سازی در تکنولوژی 0.18 µm TSMC CMOS نشان می‌دهد که نوسان‌ساز در باند ۱ (فرکانس مرکزی ۱/۲ گیگا هرتز) و در آفست ۱مگاهرتز، دارای نویز فاز 138 dBc/Hz- است. محدوده‌ی فرکانسی قابل تنظیم از ۰/۷۲ تا ۱/۲۵گیگاهرتز است. توان مصرفی در هسته‌ی نوسان‌ساز نیز ۲ تا ۲/۸ میلی وات است که از منبع ۱/۸ ولتی تامین می‌گردد. همچنین نوسان‌ساز در باند ۲ (فرکانس مرکزی ۱/۵۷ گیگا هرتز) و در آفست ۱مگاهرتز، دارای نویز فاز 136.32dBc/Hz- است. محدوده‌ی فرکانسی قابل تنظیم از ۱/۲۸ تا ۱/۸۵ گیگاهرتز است. توان مصرفی در هسته ی نوسان‌ساز نیز برابر ۲/۶ تا ۳/۵ میلی وات است. همچنین THD مدار بین ۱۰ تا ۱۲ درصد است. نتایج حاصل از شبیه‌سازی نشان می‌دهند که توان مصرفی حدود ۵۰ درصد کاهش یافته و نویز فاز نیز با بهبود ۱۶ درصدی به مقدار 136.174dBc/Hz- رسیده است.

کلیدواژه

نوسان‌ساز LC، نویز فاز، توان مصرفی، محدوده‌ی فرکانسی قابل تنظیم.

مقدمه

در سال‌های اخیر، سیستم‌های مخابراتی بی‌سیم رشد بسیار سریع و روزافزونی داشته و این رشد روزافزون باعث افزایش کاربرد این سیستم‌ها در بین مردم سراسر دنیا شده است. امروزه سیستم‌های مخابراتی بی‌سیمی همچون تلفن‌های همراه، شبکه‌های بی‌سیم، سیستم‌های موقعیت‌یاب جهان و سیستم‌های شناسایی فرکانس بالا در سرتاسر دنیا مورد استفاده قرار گرفته و باعث یکپارچگی سریع در بسیاری از کاربردها همچون پزشکی از راه دور، کشاورزی با دقت بالا، نظارت نظامی و نظارت زیست محیطی شده است. با افزایش تقاضا برای محصولات بی‌سیمی همچون تلفن همراه، تلاش‌های زیادی برای ساخت فرستنده-گیرنده‌هایی با بازده بیشتر، اندازه کوچکتر (سطح مجتمع سازی بالا)، توان مصرفی پایین‌تر و قیمت پایین‌تر انجام گرفته است.

یکی از مهمترین بخش‌های سیستم‌های مخابراتی بی‌سیم که تقریباً در تمامی فرستندها و گیرنده‌ها با آن مواجه هستیم، نوسان‌سازها هستند. نوسان‌سازهای مورد استفاده در مدارات کاربردی باید قابلیت تنظیم فرکانسی داشته باشند. به عبارت دیگر فرکانس خروجی نوسان‌ساز باید با ولتاژ تغییر کند. به این نوع نوسان‌سازها، نوسان‌سازهای کنترل شده با ولتاژ (VCO) گفته می‌شود. این نوسان‌سازها به طور وسیعی در ترکیب کننده های فرکانسی مورد استفاده در حلقه قفل فاز (PLL) و همچنین در ریزپردازنده‌ها، حافظه‌ها و سیستم‌های مخابراتی دیجیتال نظیر سنتز کننده‌های فرکانسی، مدولاسیون فاز و دی‌مدولاسیون فاز مورد استفاده قرار می‌گیرند. از اینرو طراحی یک نوسان‌ساز کنترل شونده با ولتاژ با محدوده فرکانسی مناسب و نویز فاز پایین، بدون تخریب توان مصرفی از اهمیت ویژه‌ای برخوردار است، زیرا کاهش نویز فاز به معنای افزایش خلوص سیگنال خروجی نوسان‌ساز می‌باشد [۱-۳].

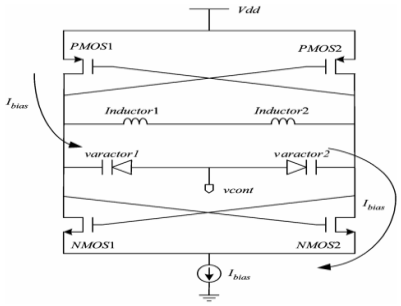
برای کاربردهای با مصرف توان پایین و قابلیت تجمع پذیری بالا و محدوده تنظیم وسیع، نوسان‌سازهای کنترل شونده با ولتاژ حلقوی‌ها بسیار مناسب هستند. در عوض در کاربردهایی که عملکرد نویز فاز خوب مد نظر است، نوسان‌سازهای کنترل شونده با ولتاژ تانک ارجحیت دارد. چالش اصلی این تحقیق

تاریخ دریافت: ۱۳۹۶/۰۶/۲۳ تاریخ پذیرش: ۱۳۹۷/۰۷/۱۳

طراحی یک نوسان‌ساز کنترل شونده با ولتاژ تانک (LC-VCO) می‌باشد که نیازهای ذکر شده را دارا باشد و باید برای عملکرد مناسب بهینه گردد.

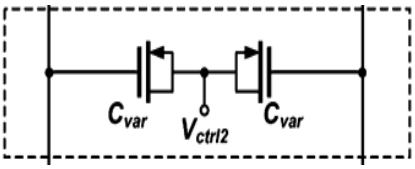
بررسی ساختار LC-VCO و روش‌های بهبود بازده آن

نوسان‌ساز LC از یک مدار تانک LC ساخته شده که در شکل ۱ مدار عمومی آن نشان داده شده است. همانطور که از شکل ۱ پیداست نوسان‌ساز LC با شارژ و دشارژ کردن یک خازن از طریق یک سلف نوسان می‌کند و عامل اصلی در تعیین فرکانس خروجی آن، اندازه سلف و خازن آن می‌باشد.



شکل ۱. مدار عمومی LC-VCO

در مدار شکل ۱ از دیود ورکتور به عنوان خازن متغیر استفاده شده که با تغییر ولتاژ مقدار آن تغییر یافته و درنتیجه فرکانس کاری مدار نیز تغییر می‌یابد. همانطور که بیان شد، بزرگترین مشکل LC-VCO، سلف و خازن متغیر می‌باشد که سطح زیادی را اشغال می‌کند. به‌همین خاطر برای کاهش سطح مجتمع سازی خازن توسط ترانزیستور و مطابق شکل ۲ ساخته می‌شود.

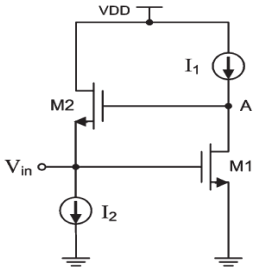


شکل ۲. ساخت خازن توسط ترانزیستور برای کاهش سطح مجتمع سازی

همچنین از دیگر مشکلات LC-VCO، سلف متغیر می‌باشد که سطح زیادی را اشغال می‌کند و مصرف توان بالا و محدوده تنظیم پایینی دارند. راهکار حل این مشکل استفاده از سلف فعال می‌باشد که در ادامه بیان می‌شود.

استفاده از سلف فعال برای بدست آوردن بیشترین محدوده تنظیم ولتاژ به‌کار گرفته شده است و اینکه می‌توان برای مصرف توان کم آن را بهینه کرد که نسبت به مدارات گذشته خود مزیت مهمی به شمار می‌رود [۴و۵]. دیگر مزیت استفاده از سلف فعال این است که می‌توان سطح مصرفی را نسبت به حالتی که از سلف فیزیکی استفاده می‌کنیم به شدت کاهش دهیم، به خصوص زمانیکه یک اندوکتانس بزرگ را در یک فرکانس پایین نیاز داریم. در این حالت توان حامل خروجی نیز افزایش می‌یابد که این افزایش توان حامل خروجی در کنار تعریف نویز فاز این معنی را می‌دهد که در این مدارات نویز فاز کاهش می‌یابد.

شکل ۳ سلف فعالی را نشان می‌دهد که از دو ترانزیستور که به صورت یک شبکه امپدانس-معکوس قرار گرفته است، تشکیل یافته است. ژیراتور ظرفیت کل در گره A را به امپدانس القایی در پایانه V_{in} بر می‌گرداند.



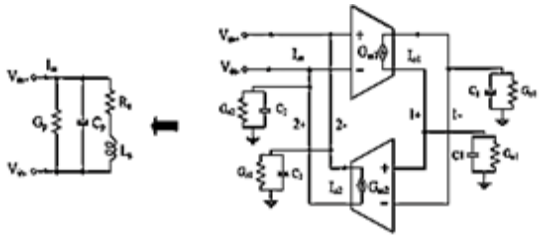
شکل ۳. سلف فعال تک خروجی ساده [۶]

اگر V_{ov} ولتاژ راه‌انداز و V_{sat} ولتاژ مورد نیاز برای منبع جریان I_1 باشند، بنابراین سوئینگ ولتاژ در گره ورودی بین ولتاژ $V_T + V_{ov}$ و ولتاژ $V_{DD} - V_T - V_{sat} - V_{ov}$ محدود می‌شود که V_T همان ولتاژ آستانه ترانزیستورها است. استفاده از این سلف فعال در تانک LC یک نوسان‌ساز ممکن است مزیت احتمالی مصرف توان DC کم را به دنبال داشته باشد. اما از سوی دیگر از آنجاییکه سوئینگ ولتاژ در گره سلفی محدود است، توان خروجی RF مربوط به نوسان‌ساز نیز به نسبت محدود می‌گردد. بعلاوه زمانیکه از ساختار آبشاری برای کاهش مقاومت سری معادل و ضریب کیفیت استفاده می‌شود، به طور معمول سوئینگ ولتاژ بیشتر تخریب خواهد شد.

سلف فعال با ساختار تفاضلی نسبت به حالتی که خروجی تک سر باشد دارای سه مزیت می‌باشد که عبارتند از:

- سوئینگ ولتاژ در حالت تفاضلی تا دو برابر بزرگتر از حالت خروجی تک‌سر می‌باشد.
- همانطور که مدارات تفاضلی سیگنال‌های حالت مشترک را حذف می‌کنند، در این مورد در حالت تفاضلی هارمونیک‌های زوج به راحتی حذف می‌شوند، در حالیکه در حالت خروجی تک‌سر این اتفاق نمی‌افتد.
- در اغلب ساختارهای تفاضلی به سیکل کاری ٪۵۰ نیاز می‌باشد.

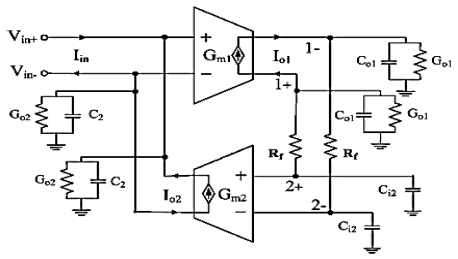
با جایگزین کردن دو ترانزیستور در شکل ۳ با یک جفت OTA به صورت ورودی و خروجی هر دو تفاضلی [۷] می‌توان یک سلف فعال تفاضلی ایجاد کرد. مدار ژیراتور و مدار معادل سلف فعال تفاضلی در شکل ۴ نشان داده شده است.



(ب) (الف)

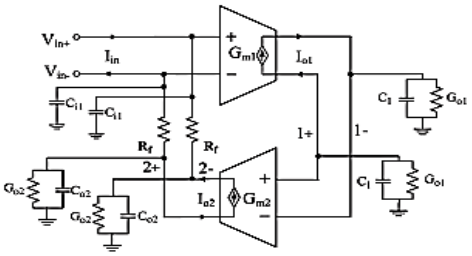
شکل ۴. شمای (الف) سلف فعال تفاضلی و (ب) مدار معادل [۶]

به منظور کاهش مقاوت سری R_S نشان داده شده در شکل ۴(ب)، یک بازخورد مقاومتی R_f مطابق شکل ۵ به مدار ژیراتور اضافه شده است [۷-۹].



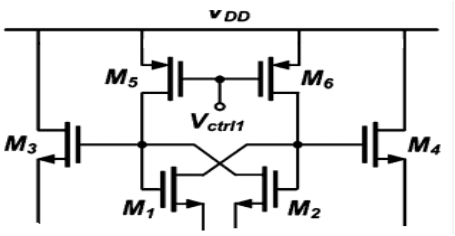
شکل ۵. سلف فعال شناور با بازخورد مقاومتی [۶]

همان‌گونه که در شکل ۶ نشان داده شده است، در مرحله بعد با جابجایی Rf به سمت داخل ژیراتور، عملکرد سلف فعال به طور قابل ملاحظه‌ای افزایش یافته است.



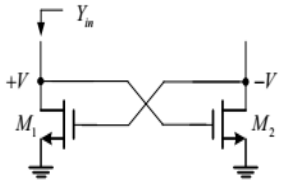
شکل ۶. مدار سلف فعال پیشنهادی با بازخورد مقاومتی در ورودی [۶]

در مرجع [۱۰] یک مدار سلف فعال با ساختار تفاضلی معرفی شده که قابل تنظیم می‌باشد. در شکل ۷ این مدار نشان داده شده است. در این مدار ترانزیستورهای M1 و M2 به‌صورت زوج تزویج شده و ترانزیستورهای M3 و M4 به‌صورت درین مشترک پیکربندی شده‌اند.



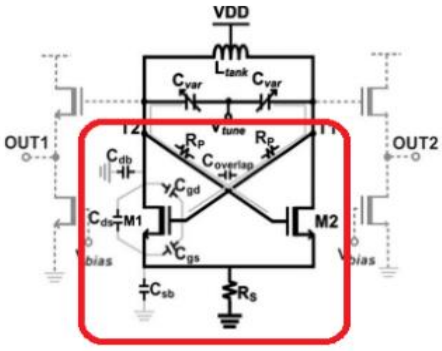
شکل ۷. مدار سلف فعال با ساختار تفاضلی [۱۰]

در حالت ایده‌آل هیچ مقاومتی برای خازن و سلف در نظر نمی‌گیرند. درنتیجه هیچ اتلافی در خازن و سلف رخ نمی‌دهد و نوسان ادامه دارد. اما خازن و سلف در حالت غیر ایده‌آل از خود مقاومت نشان داده و همیشه مقداری تلفات انرژی در آن وجود دارد. بنابراین برای پایداری نوسان‌ساز، انرژی تلف شده در خازن و سلف، باید جبران گردد. این عمل را می‌توان با استفاده از یک مقاومت منفی ایجاد شده توسط هدایت الکتریکی یک تقویت کننده انجام داد. روش‌های مختلفی برای ایجاد مقاومت منفی استفاده می‌شود. یک روش معمول دستیابی به مقاومت منفی استفاده از تزویج دو ترانزیستور می‌باشد که ساختار مدار آن در شکل ۸ نشان داده شده است. در این ساختار مقاومت منفی از درین‌های یک جفت NMOS بدست می‌آید. زوج ترانزیستورهای تزویج شده به تانک LC اضافه می‌گردند و همچنین می‌توانند برای تولید خروجی های تفاضلی مورد استفاده قرار گیرند. خروجی‌های تفاضلی شامل درین ترانزیستورهای NMOS می‌باشند. خروجی‌های تفاضلی در اکثر مدارات RF مورد نیاز هستند، زیرا میکسرهای استاندارد دارای ورودی‌های تفاضلی می‌باشند. همچنین استفاده از خروجی‌های تفاضلی باعث کم شدن نویز حالت مشترک و اعوجاج مرتبهٔ دوم ایجاد شده توسط قطعات متّصل شده به خروجی مدار می‌شود. همچنین بسیاری از مدارهای RF برای از بین بردن سیگنال‌های حالت مشترک نیاز به خروجی های تفاضلی دارند.



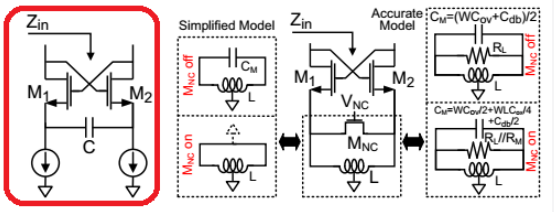
شکل ۸. مقاومت منفی دیده شده از یک جفت ترانزیستور CMOS [۶]

گرچه مدارات ارایه شده با این ساختار توان و نویز فاز مناسبی دارند، ولی این روش نمی‌تواند محدودیت‌های ذاتی خازن پارازیتی را حل کند. برای غلبه بر این محدودیت‌ها، چندین روش گزارش شده است. در مرجع [۱۱] از زوج ترانزیستورهای تزویج شده با مرکزیت مشترک استفاده شده است که تا حدودی خازن پارازیتی کاهش یافته است. در نتیجه طیف نویز و محدوده تنظیم بهبود یافته است. در شکل ۹ این مدار نشان داده شده است.



شکل ۹. ساختار زوج ترانزیستورهای تزویج شده با مرکزیت مشترک [۱۱]

در مراجع [۱۲] و [۱۳]، خازن پارازیتی با استفاده از یک خازن منفی متغیر حذف شده است. همانطور که از شکل ۱۰ پیداست، در این روش خازن به سورس ترانزیستورها وصل شده است. با این حال، با اتصال خازن، شرایط راه اندازی ترانزیستورها تغییر یافته و تنها یک اثر کوچک بر طیف نویز و محدوده تنظیم دارد.

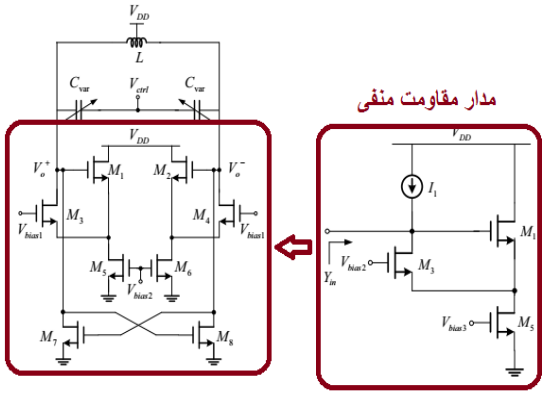


شکل ۱۰. ساختار زوج ترانزیستورهای تزویج شده با خازن منفی متغیر [۱۲]

به منظور افزایش محدوده تنظیم فرکانسی VCO، باید ظرفیت خازنی پارازیتی مدار مقاومت منفی به حداقل مقدار برسد. بنابراین، در مرجع [۱۴] یک مدار مقاومت منفی برای کاهش خازن پارازیتی معرفی شده که در شکل ۱۱ نشان داده شده و از روش مقاومت منفی استفاده نموده است. در این مدار قسمت زوج ترانزیستورهای تزویج شده با استفاده از روش مقاومت منفی قابل کنترل بوده و با تغییر ولتاژ بایاس می‌توان فرکانس کاری مدار را تغییر داد. ظرفیت خازنی پارازیتی مدار مقاومت منفی جدید کوچکتر از حالت‌های سنتی است. کوچک بودن خازن Cin در مدار جدید باعث افزایش محدوده تنظیم فرکانسی VCO خواهد شد.

طرح پیشنهادی

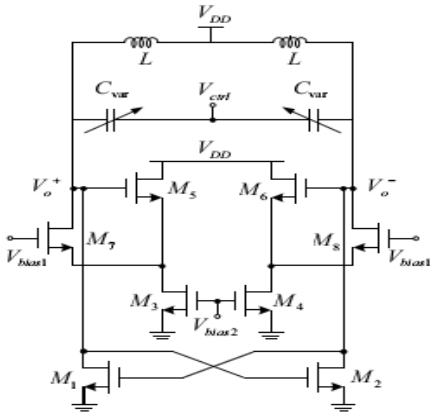
مدل پیشنهادی بر پایه نوسان‌ساز LC بنا شده است. معماری این مدل در شکل ۱۲ نشان داده شده است. در شکل ۱۳ طرح پیشنهادی نشان داده شده است.



شکل ۱۱. مدار مقاومت منفی برای کاهش خازن پارازیتی [۱۴]

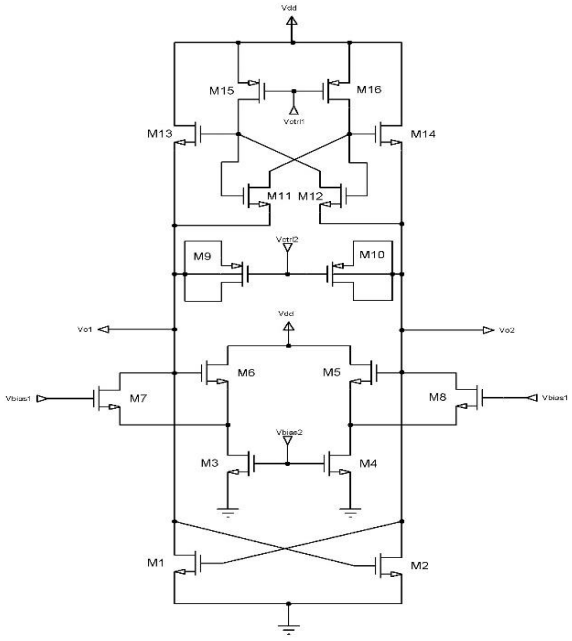
در این مدار ترانزیستورهای M9 و M10 نقش خازن متغیر را دارند. همانطور که از شکل پیداست، بدنه درین و سورس ترانزیستور M9 و M10 به هم وصل‌اند و به گیت ولتاژ کنترلی VCTRL2 اعمال شده است. با تغییر ولتاژ کنترلی VCTRL2 مقدار ظرفیت خازنی آن تغییر یافته و درنتیجه فرکانس کاری مدار نیز تغییر می‌یابد. ترانزیستورهای M1 و M2 زوج ترانزیستورهای تزویج شده می‌باشند که نقش مقاومت منفی برای کاهش تلفات را دارند. در بخش قبلی مزایای استفاده از زوج ترانزیستورهای تزویج شده در مدار ذکر شد. برای کاهش ظرفیت خازنی پارازیتی مدار مقاومت منفی از ساختار معرفی شده در شکل ۱۱ و مرجع [۱۴] استفاده شده است. ترانزیستورهای M3 تا M8 این نقش را بازی می‌کنند. در این مدار ابعاد ترانزیستورهای M1 و M2 نسبت به حالت‌های قدیمی کاهش یافته است. با تغییر ولتاژ کنترلی Vbias1 و Vbias2 مقدار مقاومت منفی دیده شده از درین ترانزیستورهای M7 و M8 تغییر یافته و درنتیجه فرکانس کاری مدار نیز تغییر می‌یابد.

به‌جای سلف در شکل ۱۲، از سلف فعال استفاده شده است که در شکل ۱۳ شماتیک کلی مدار پیشنهادی نشان داده شده است. ترانزیستورهای M11 تا M16 نقش سلف فعال را بازی می‌کنند. در این مدار ترانزیستورهای M11 و M12 به‌صورت زوج تزویج شده و ترانزیستورهای M13 و M14 به‌صورت درین مشترک پیکربندی شده‌اند. همچنین در این مدار ترانزیستورهای M11 تا M14 باید در ناحیه اشباع بایاس شود، ولی ترانزیستورهای M15 و M16 با توجه به ولتاژ کنترلی VCTRL1 می‌تواند در ناحیه خطی یا اشباع بایاس شود. اگر ترانزیستورهای M15 و M16 در ناحیه خطی باشند با افزایش ولتاژ گیت آن‌ها (ولتاژ کنترلی VCTRL1) به سمت اشباع می‌روند.



شکل ۱۲. شماتیک طرح اولیه

با افزایش ولتاژ کنترلی VCTRL1 فرکانس کاری مدار کاهش می‌یابد. همچنین افزایش ولتاژ کنترلی VCTRL1 باعث کاهش جریان بایاس ترانزیستورهای زوج تزویج شده و در نتیجه توان مصرفی کاهش می‌یابد. بدین ترتیب در این طراحی از ۴ منبع تغذیه VCTRL1، VCTRL2، Vbias1 و Vbias2 برای کنترل‌پذیری ساختار استفاده شده است و با تغییر هرکدام از آنها می‌توان فرکانس نوسان مدار را تغییر داد.



شکل ۱۳. شماتیک مدار پیشنهادی

نتایج شبیه سازی

برای شبیه سازی مدار از تکنولوژی ۰/۱۸ میکرومتر و تغذیه ۱/۸ ولت استفاده شد. دمای شبیه‌سازی مدار به‌طور پیش فرض در نظر گرفته شده و برابر ۲۵ درجه سانتی گراد است. بدنه ترانزیستورهای NMOS و PMOS به ترتیب همگی به زمین و ولتاژ تغذیه ۱/۸ ولت متصل می‌باشند. طول کانال ترانزیستورها باهم مساوی گرفته شده و در جدول ۱ مقادیر ترانزیستورهای موجود در شبیه‌سازی آورده شده است.

جدول ۱. مقادیر ترانزیستورهای موجود در شبیه‌سازی

Transistor	W (µm)	L (µm)
M1,M2	9.6	0.18
M3,M4	10	0.18
M5,M6	0.5	0.18
M7,M8	2	0.18
M9,M10	200	0.18
M11,M12	10	0.18
M13,M14	8	0.18
M13,M14	3	0.18

با ولتاژ کنترلی VCTRL1 تغییر در باندهای فرکانسی انجام می‌گیرد و با تغییر مقدار آن از ۰/۸۴ ولت به مقدار ۰/۵۱ ولت، باند فرکانسی از ۱/۲ گیگاهرتز به ۱/۵۷ گیگاهرتز تغییر داده می‌شود. با تغییر ولتاژهای VCTRL2، Vbias1 و Vbias2 تنظیم فرکانسی در باند مورد نظر انجام می‌گیرد.

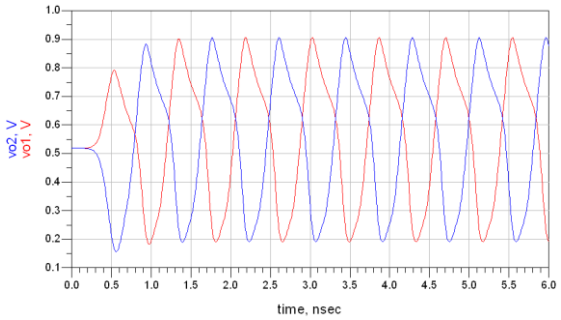
ارزیابی مدار در فرکانس مرکزی ۱/۲ گیگاهرتز

برای کار کردن در این باند به ولتاژ کنترلی VCTRL1 مقدار ۰/۸۴ ولت اعمال می‌شود. در جدول ۲ مقادیر اولیه ولتاژهای کنترلی آورده شده است. در این حالت جریان کشیده شده از منبع تغذیه ۱/۳۸میلی آمپر است.

جدول ۲. مقادیر اولیه ولتاژهای کنترلی موجود در شبیه‌سازی

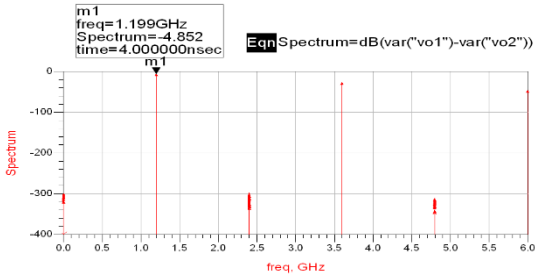
پارامتر	مقدار
VCTRL1	0.84 V
VCTRL2	0.9 V
Vbias1	0.9 V
Vbias2	0.9 V

یک شبیه‌سازی زمانی بر روی نوسان‌ساز انجام شد. نتیجه شبیه‌سازی در شکل ۱۴ نشان داده شده است.



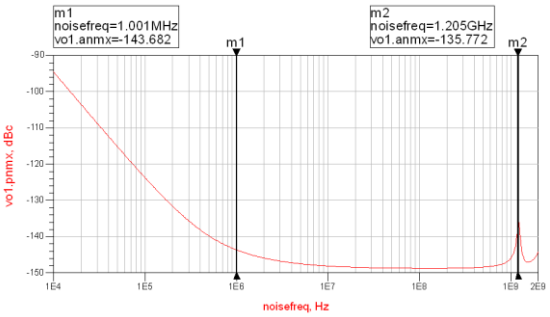
شکل ۱۴. نتیجه شبیه‌سازی زمانی نوسان‌ساز

نمودار فرکانسی مدار در شکل ۱۵ نشان داده شده است. فرکانس نوسان نوسان‌ساز، فرکانس اولین هارمونیک می‌باشد. با توجه به شکل اولین هارمونیک در فرکانس ۱/۲ گیگاهرتز می‌باشد. همچنین توان خروجی برابر ۴/۸۵۲- است.



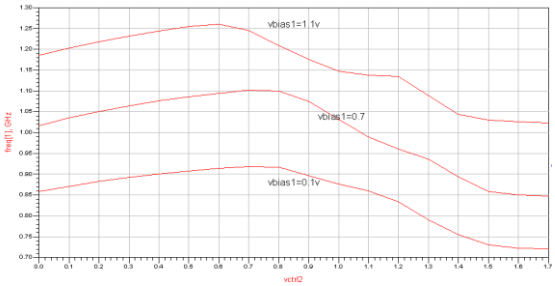
شکل ۱۵. نتیجه شبیه‌سازی هارمونیکی نوسان‌ساز

نمودار نویز طیف خروجی vo1 در شکل ۱۶ نشان داده شده است. همانطور که از شکل پیداست، نویز طیف در آفست ۱ مگاهرتز و در فرکانس نوسان به ترتیب برابر با 138 dBc/Hz- و 146.4 dBc/Hz- می‌باشد.



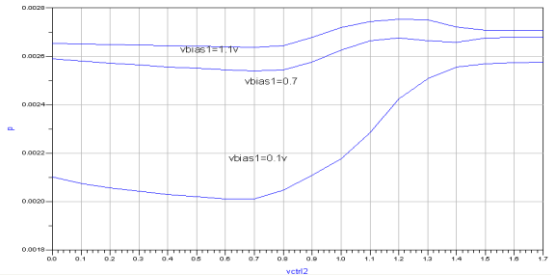
شکل ۱۶. نمودار نویز طیف خروجی

برای تنظیم بهتر فرکانس می‌توان ولتاژهای VCTRL2، Vbias1 و Vbias2 را تغییر داد. در شکل ۱۷ تغییرات فرکانس بر حسب VCTRL2 به ازای تغییرات Vbias1 نشان داده شده است. همانطور که از شکل پیداست با تغییر ولتاژهای VCTRL2 و Vbias1، تغییرات فرکانس نوسان بین ۰/۷۲ تا ۱/۲۶ گیگاهرتز می‌باشد.



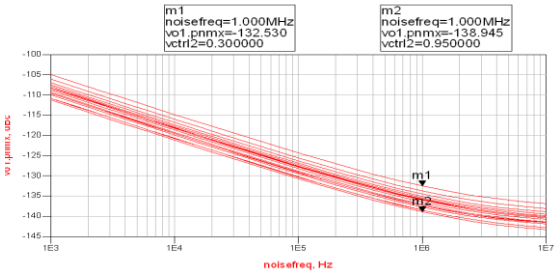
شکل ۱۷. نمودار تغییرات فرکانس بر حسب VCTRL2 به ازای تغییرات Vbias1

در شکل ۱۸ نمودار تغییرات توان مصرفی بر حسب VCTRL2 به ازای تغییرات Vbias1 نشان داده شده است. همانطور که از شکل پیداست با تغییر ولتاژهای VCTRL2 و Vbias1، تغییرات توان مصرفی بین ۲/۰ تا ۲/۸ میلی وات می‌باشد.



شکل ۱۸. نمودار تغییرات توان مصرفی بر حسب VCTRL2 به ازای تغییرات Vbias1

در شکل ۱۹ نمودار تغییرات نویز طیف خروجی vo1 به ازای تغییرات VCTRL2 و Vbias1 نشان داده شده است. همانطور که از شکل پیداست، تغییرات نویز طیف در آفست ۱مگاهرتز بین 132.53 dBc/Hz- و 138.945 dBc/Hz- می‌باشد.



شکل ۱۹. نمودار نویز طیف خروجی به ازای تغییرات VCTRL2

با توجه به رابطه‌ی (۱) [۱۵] می‌توان فاکتور شایستگی را برای این مدار محاسبه کرد:

$$FOM = L\{\Delta f\} - 20\log\left(\frac{f_{osc}}{\Delta f}\right) + 10log\left(\frac{P_{mw}}{1mw}\right) \qquad (۱)$$

که در آن، $L\{\Delta f\}$ برابر با نویز فاز در فرکانس آفست Δf است. f_{osc} برابر با فرکانس نوسان میانگین و p_{mw} توان مصرفی DC در فرکانس نوسان می‌باشد. با توجه به مقادیر زیر:

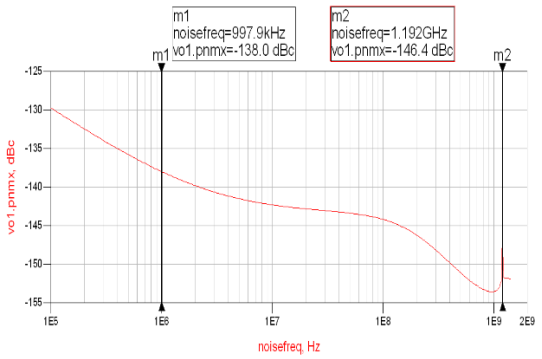
$$L\{\Delta f\} = -138.945\frac{dbc}{Hz}, f_{osc} = 1.2GHz, \Delta f = 1MHz,$$

$$P_{mw} = [2mW, 2.8\text{mW}]$$

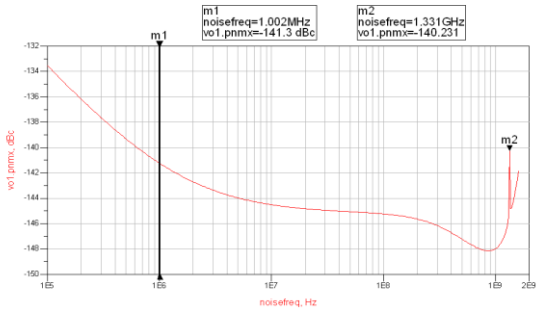
فاکتور شایستگی برابر با 196.5dBc/Hz- با حداقل مقدار توان و 195.11dBc/Hz- با مقدار توان حداکثر می‌باشد.

یکی از شبیه‌سازی‌های مهم، بررسی اثرات گوشه فرآیند ساخت روی پارامترهای نوسان‌ساز می‌باشد که این شبیه‌سازی بر روی پارامتر نویز فاز نوسان‌ساز صورت گرفته است و نتایج آن در شکل‌های ۲۰ تا ۲۴

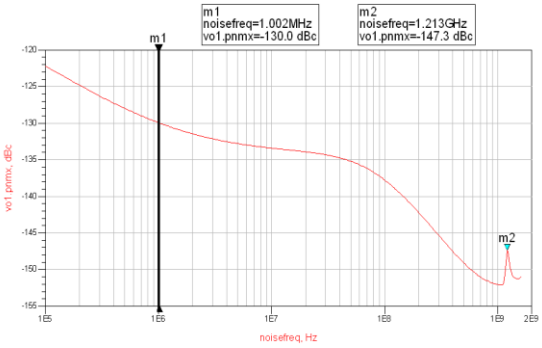
نشان داده شده است. گوشه سریع فرآیند با دمای ۴۰- درجه سانتیگراد (FF-40)، گوشه کند فرآیند با دمای ۱۲۰+ درجه سانتیگراد (SS+120) شبیه‌سازی شد. شکل‌های ۲۰ تا ۲۴ تحلیل گوشه‌های فرآیند نوسان‌ساز مورد بررسی را به‌ترتیب در گوشه‌های TT، FF، FS ، SF و SS نشان می‌دهد. همان‌گونه که نشان داده شده است در گوشه فرآیند ساخت FS و SF، نمودار نویز فاز شبیه گوشه TT می‌باشد. ولی در گوشه FF، بیشترین مقدار نویز فاز 141.3 dBc/Hz- و فرکانس کاری ۱/۳۳ گیگاهرتز و در گوشه SS، کمترین مقدار نویز فاز 126 dBc/Hz- و فرکانس کاری ۱/۱۵۹ گیگاهرتز را دارا می‌باشد.



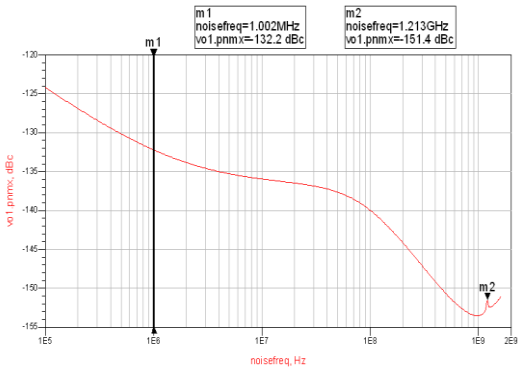
شکل ۲۰. نمودار نویز طیف خروجی در گوشه TT



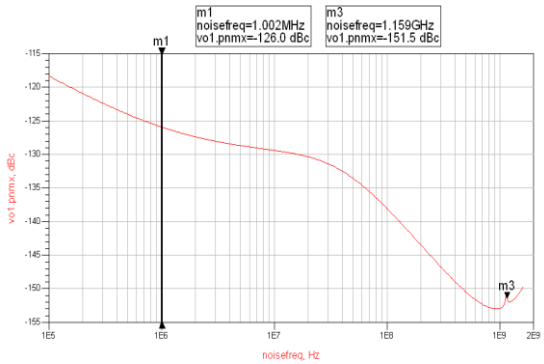
شکل ۲۱. نمودار نویز طیف خروجی در گوشه FF



شکل ۲۲. نمودار نویز طیف خروجی در گوشه FS

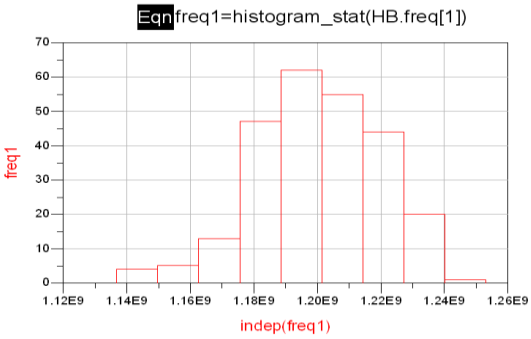


شکل ۲۳. نمودار نویز طیف خروجی در گوشه SF



شکل ۲۴. نمودار نویز طیف خروجی در گوشه SS

به منظور حصول اطمینان از عملکرد صحیح مدار در برابر تغییرات مقادیر و خواص المان‌ها، تجزیه و تحلیل آماری مونت‌کارلو با تکرار ۲۵۰ نمونه انجام شده است. نتایج این شبیه‌سازی مونت‌کارلو بر روی فرکانس کاری در شکل ۲۵ نشان داده شده است.



شکل ۲۵. دیاگرام مونت‌کارلو فرکانس کاری

با توجه به رابطه‌ی (۲) می‌توان THD را برای این مدار محاسبه کرد:

$$\mathrm{THD}\ (\%) = 100 \times \sqrt{\frac{V_2^2+V_3^2+\cdots+V_n^2}{V_1}}\ ,\ V_{\mathrm{RMS}} = \frac{V_{\mathrm{pk}}}{\sqrt{2}} \qquad (۲)$$

مقدار ولتاژ هارمونیک‌ها در جدول ۳ نشان داده شده است.

جدول ۳. مقادیر ولتاژ هارمونیک‌ها در فرکانس ۱/۲ گیگاهرتز

harmindex	freq	dB(vo1)	mag(vo1)	mag(vo1)/1.4
0	0.0000 Hz	-4.947	0.566	0.404
1	1.190 GHz	-9.592	0.331	0.237
2	2.381 GHz	-23.585	0.066	0.047
3	3.571 GHz	-27.710	0.041	0.029
4	4.762 GHz	-38.304	0.012	0.009
5	5.952 GHz	-37.678	0.013	0.009

با توجه به رابطه‌ی (۲) و جدول ۳ داریم:

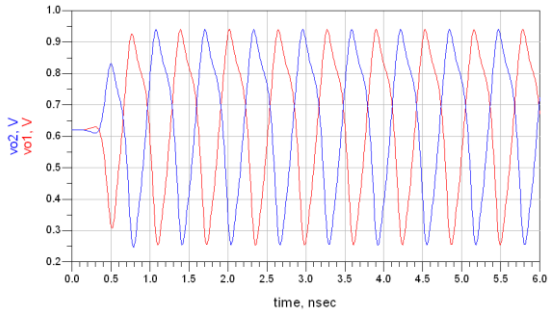
$$\text{THD} = 100 \times \sqrt{\frac{V_2^2+V_3^2+\cdots+V_n^2}{V_1}}$$
$$= 100 \times \sqrt{\frac{0.047^2+0.029^2+0.009^2+0.009^2}{0237}}$$
$$= 100 \times \sqrt{\frac{0.003212}{0.237}} = 11.64\%$$

پس THD برابر ۱۱/۶۴٪ است (معادل ۱۸/۶۸ dB- می‌باشد).

ارزیابی مدار در فرکانس مرکزی ۱/۵۷ گیگاهرتز

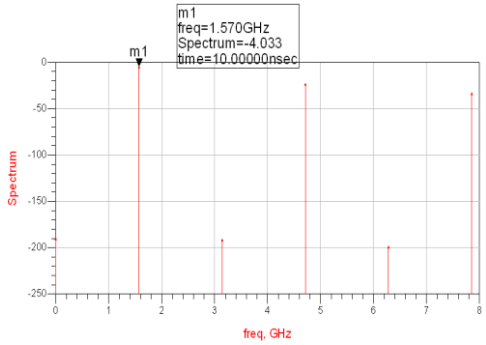
همانطور که بیان شد با تغییر ولتاژ کنترلی VCTRL1 می‌توان باند فرکانسی را تغییر داد. بنابراین مقدار VCTRL1 از ۰/۸۴ به مقدار ۰/۵۶ تغییر داده شد و دوباره شبیه‌سازی انجام گردید. در این حالت جریان کشیده شده از منبع تغذیه ۱/۰۱میلی آمپر است.

شبیه‌سازی زمانی برروی نوسان‌ساز انجام شد. نتیجه شبیه‌سازی در شکل ۲۶ نشان داده شده است.



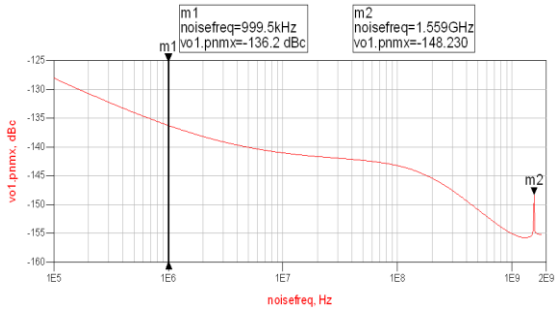
شکل ۲۶. نمودار نتیجه شبیه‌سازی زمانی

نمودار فرکانسی مدار در شکل ۲۷ نشان داده شده است. فرکانس نوسان نوسان‌ساز، فرکانس اولین هارمونیک می‌باشد. با توجه به شکل، اولین هارمونیک در فرکانس ۱/۵۷ گیگاهرتز است. همچنین توان خروجی برابر ۴/۰۳۳- می‌باشد.



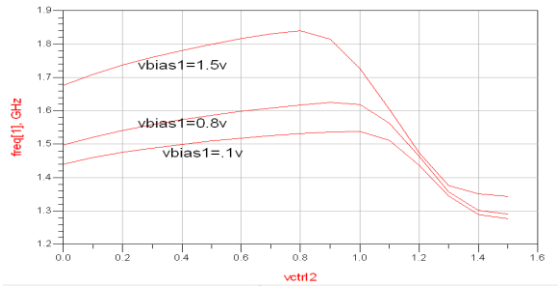
شکل ۲۷. نمودار فرکانسی خروجی

نمودار نویز طیف خروجی vo1 در شکل ۲۸ نشان داده شده است. همانطور که از شکل پیداست نویز طیف در آفست ۱ مگاهرتز و در فرکانس نوسان به‌ترتیب برابر با -136.2dBc/Hz و -148.23dBc/Hz می‌باشد.



شکل ۲۸. نمودار نویز طیف خروجی

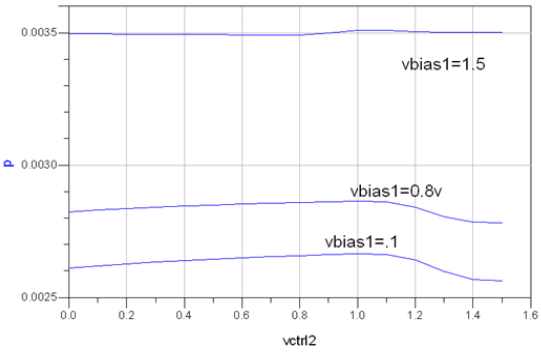
برای تنظیم بهتر فرکانس می‌توان ولتاژهای VCTRL2، Vbias1 و Vbias2 را تغییر داد. در شکل ۲۹ تغییرات فرکانس بر حسب VCTRL2 به ازای تغییرات Vbias1 نشان داده شده است. همانطور که از شکل پیداست با تغییر ولتاژهای VCTRL2 و Vbias1، تغییرات فرکانس نوسان بین ۱/۲۸ تا ۱/۸۵ گیگاهرتز می‌باشد.



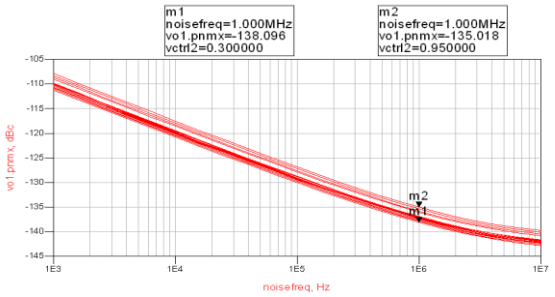
شکل ۲۹. نمودار تغییرات فرکانس بر حسب VCTRL2 به ازای تغییرات Vbias1

در شکل ۳۰ نمودار تغییرات توان مصرفی بر حسب VCTRL2 به ازای تغییرات Vbias1 نشان داده شده است. همانطور که از شکل پیداست با تغییر ولتاژهای VCTRL2 و Vbias1، تغییرات توان مصرفی بین ۲/۶ تا ۳/۵ میلی وات می‌باشد.

در شکل ۳۱ نمودار تغییرات نویز طیف خروجی vo1 به ازای تغییرات VCTRL2 و Vbias1 نشان داده شده است. همانطور که از شکل پیداست تغییرات نویز طیف در آفست ۱ مگاهرتز بین 135.018 dBc/Hz- و 138.096 dBc/Hz- می‌باشد.



شکل ۳۰. نمودار تغییرات توان مصرفی بر حسب VCTRL2 به ازای تغییرات Vbias1



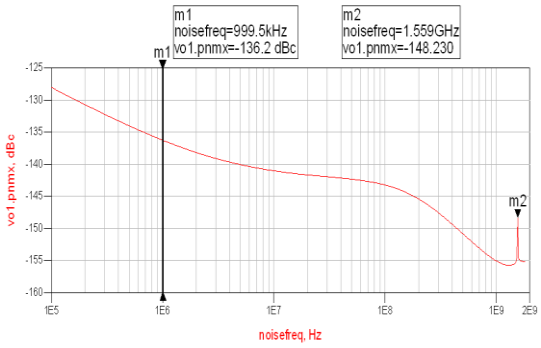
شکل ۳۱. نمودار نویز طیف خروجی به ازای تغییرات VCTRL2

با توجه به رابطه‌ی (۱) می توان فاکتور شایستگی را برای این مدار محاسبه کرد:

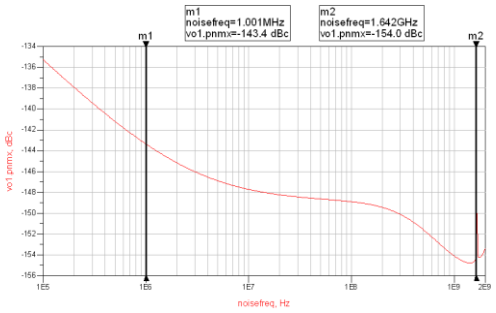
$$L\{\Delta f\} = -136.2\frac{dbc}{Hz}, f_{osc} = 1.57GHz, \Delta f = 1MHz, P_{mw} = [2.6mW, 3.5\text{mW}]$$

فاکتور شایستگی برابر با 196 dBc/Hz- با حداقل مقدار توان و 195.37 dBc/Hz- با مقدار توان حداکثر می‌باشد.

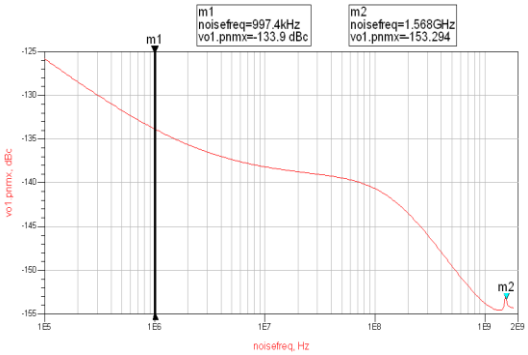
منحنی‌های شکل‌های ۳۲ تا ۳۶ تحلیل گوشه‌های فرآیند نوسان‌ساز مورد بررسی را به‌ترتیب در گوشه‌های TT، FF، FS، SF و SS نشان می‌دهند. همان‌گونه که نشان داده شده است در گوشه فرآیند ساخت FS و SF، نمودار نویز فاز شبیه گوشه TT می‌باشد. ولی در گوشه FF، بیشترین مقدار نویز فاز 143.4 dBc/Hz- و فرکانس کاری ۱/۶۴۲ گیگاهرتز و در گوشه SS، کمترین مقدار فرکانس کاری ۱/۴۷ گیگاهرتز را دارا می‌باشد.



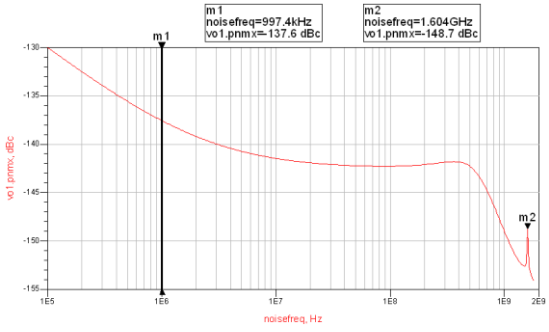
شکل ۳۲. نمودار نویز طیف خروجی در گوشه TT



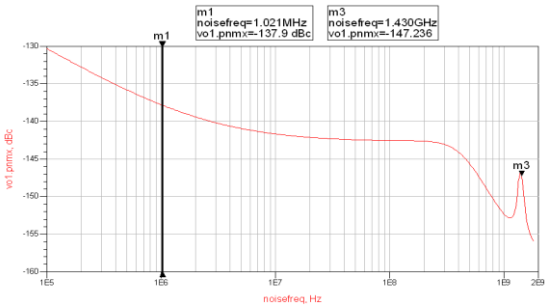
شکل ۳۳. نمودار نویز طیف خروجی در گوشه FF



شکل ۳۴. نمودار نویز طیف خروجی در گوشه FS

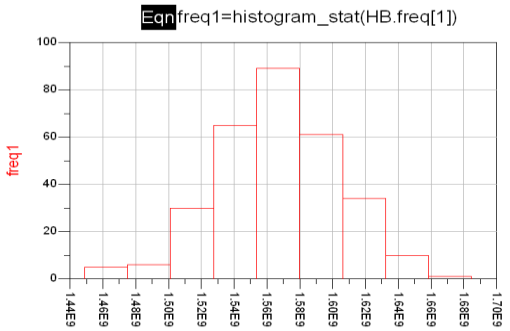


شکل ۳۵. نمودار نویز طیف خروجی در گوشه SF



شکل ۳۶. نمودار نویز طیف خروجی در گوشه SS

به منظور حصول اطمینان از عملکرد صحیح مدار در برابر تغییرات مقادیر و خواص المان‌ها، تجزیه و تحلیل آماری مونت‌کارلو با تکرار ۲۵۰ نمونه انجام شده است. تحلیل مونت‌کارلو فرکانس کاری در شکل ۳۷ نشان داده شده است.



شکل ۳۷. دیاگرام مونت کارلو در فرکانس کاری

مقدار ولتاژ هارمونیک‌ها در جدول ۴ نشان داده شده است.

جدول ۴. مقادیر ولتاژ هارمونیک‌ها در فرکانس ۱/۵۷ گیگاهرتز

harmindex	freq	dB(vo1)	mag(vo1)	mag(vo1)/1.4
0	0.0000 Hz	-3.837	0.643	0.459
1	1.558 GHz	-9.992	0.317	0.226
2	3.115 GHz	-24.660	0.058	0.042
3	4.673 GHz	-28.400	0.038	0.027
4	6.230 GHz	-43.408	0.007	0.005
5	7.788 GHz	-38.249	0.012	0.009

با توجه به رابطه‌ی (۲) و جدول ۴ داریم:

$$THD = 100 \times \sqrt{\frac{V_2^2+V_3^2+\cdots+V_n^2}{V_1}}$$

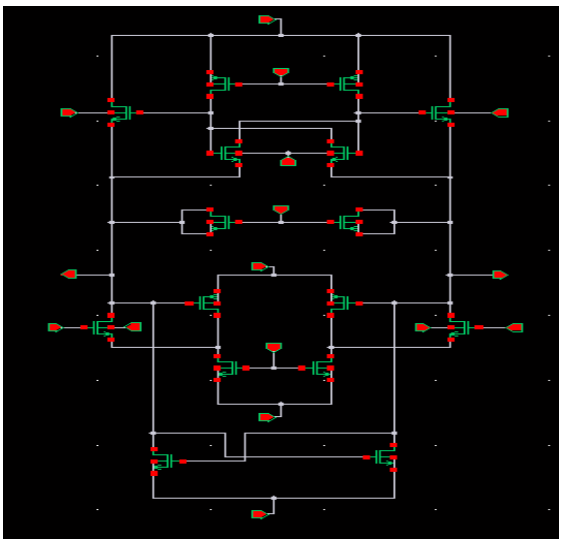
$$= 100 \times \sqrt{\frac{0.042^2+0.027^2+0.005^2+0.009^2}{0226}}$$

$$= 100 \times \sqrt{\frac{0.00259}{0.226}} = 10.72\%$$

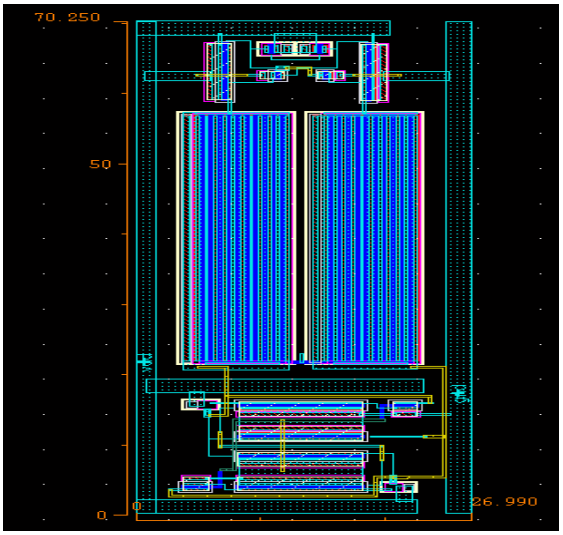
پس THD برابر ۱۰/۷۲٪ است (معادل ۱۹/۳۹۶ dB- می‌باشد).

چینش مدار پیشنهادی و شبیه سازی با کیدنس

مدار پیشنهادی را با همان اندازه‌های برابر در محیط شماتیک Cadence با تکنولوژی TSMC 0.18µm CMOS ترسیم نمودیم. در شکل ۳۸ شماتیک مدار VCO نشان داده شده است. سپس در ادامه چینش مدار VCO را ترسیم نمودیم که براساس اندازه های شماتیک مدار می‌باشد. نتیجه چینش در شکل ۳۹ نشان داده شده است. مساحت چینش مطابق شکل ۲۷، ۶۳/۶۷ میکرومتر در ۲۷/۲۹ میکرومتر می‌باشد.



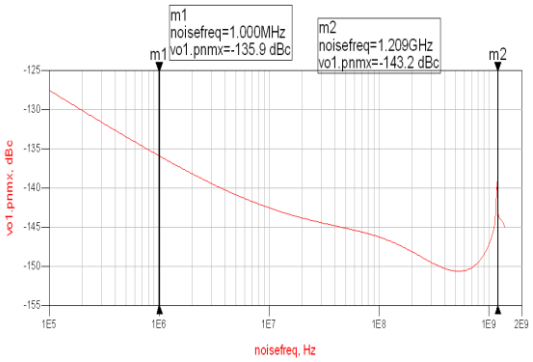
شکل ۳۸. شماتیک مدار VCO در محیط شماتیک Cadence



شکل ۳۹. چینش مدار VCO پیشنهادی

از روی فایل شبیه‌ساز Spice تولید شده، دوباره مدار در مدهای کاری شبیه‌سازی شد. به‌همین خاطر ابتدا با ولتاژ کنترلی ۰/۸۴ شبیه‌سازی نمودیم. نمودار نویز طیف خروجی vo1 در شکل ۴۰ نشان داده شده است. همانطور که از شکل پیداست، نویز طیف در آفست ۱ مگاهرتز و در فرکانس نوسان به‌ترتیب برابر با -136 dBc/Hz و -43.2 dBc/Hz می‌باشد.

همچنین فرکانس کاری مدار ۱/۲۰۹ گیگاهرتز است. با مقایسه نتایج قبلی در می‌یابیم که تغییرات اندکی در خروجی ایجاد شده و نویز فاز از مقدار ۱۳۸- به ۱۳۶- کاهش یافته است.



شکل ۴۰. نمودار نویز طیف خروجی در فرکانس کاری ۱/۲ گیگاهرتز

مقدار ولتاژ هارمونیک‌ها در جدول ۵ نشان داده شده است.

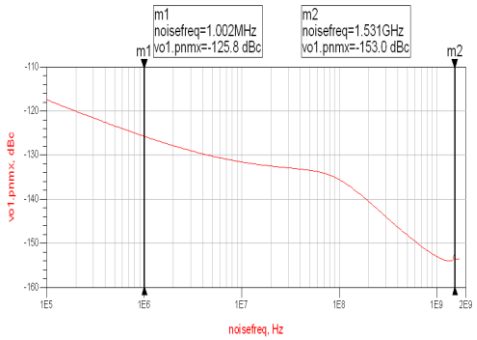
جدول ۵. مقادیر ولتاژ هارمونیک‌ها در فرکانس ۱/۲ گیگاهرتز

harmindex	freq	dB(vo1)	mag(vo1)	mag(vo1)/1.4
0	0.0000 Hz	-2.481	0.752	0.537
1	1.180 GHz	-10.698	0.292	0.208
2	2.360 GHz	-21.792	0.081	0.058
3	3.540 GHz	-25.444	0.053	0.038
4	4.720 GHz	-30.725	0.029	0.021
5	5.900 GHz	-30.449	0.030	0.021

با توجه به رابطه‌ی (۲) و جدول ۵ داریم:

$$THD = 100 \times \sqrt{\frac{V_2^2+V_3^2+\cdots+V_n^2}{V_1}}$$
$$= 100 \times \sqrt{\frac{0.058^2+0.038^2+0.021^2+0.021^2}{0.208}}$$
$$= 100 \times \sqrt{\frac{0.00569}{0.208}} = 16.5\%$$

پس THD برابر ۱۱/۶۴٪ است (معادل ۱۸/۶۸ dB- می‌باشد). سپس ولتاژ کنترلی را از ۰/۸۴ به ۰/۵۶ تغییر داده و دوباره شبیه‌سازی نمودیم. نمودار نویز طیف خروجی vo1 در شکل ۴۱ نشان داده شده است. همانطور که از شکل پیداست، نویز طیف در آفست ۱ مگاهرتز و در فرکانس نوسان به‌ترتیب برابر با 125.8 dBc/Hz- و 153 dBc/Hz- می‌باشد. همچنین فرکانس کاری مدار ۱/۵۳۱ گیگا هرتز است. با مقایسه نتایج قبلی در می‌یابیم که نویز فاز از مقدار ۱۳۶- به ۱۲۵/۸- کاهش یافته است. همچنین فرکانس کاری مدار ۱/۵۳ گیگاهرتز می‌باشد. با تغییر ولتاژ کنترلی می‌توان فرکانس کاری را به ۱/۵۷ گیگاهرتز رساند.



شکل ۴۱. نمودار نویز طیف خروجی در فرکانس کاری ۱/۵۷ گیگاهرتز

در جدول ۶ نتایج بدست آمده از ADS با نتایج بدست آمده از Cadence مقایسه شده است. نتایج شبیه‌سازی ساختار بهینه شده در جدول ۷ آورده شده و با سایر کارهای پیشین مقایسه شده است. با توجه ضریب شایستگی محاسبه شده برای مقالات مختلف، ملاحظه می‌شود که طرح پیشنهادی ضریب شایستگی بیشتری دارد.

جدول ۶. مقایسه نتایج شبیه سازی ADS با نتایج بدست آمده از Cadence

مشخصه	Cadence	ADS
تکنولوژی (µm)	0.18	0.18
نوع نوسان‌ساز	LC	LC
ولتاژ تغذیه (V)	1.8	1.8
فرکانس (GHz)	0.75~1.8	0.72~1.85
نویز فاز (dB/Hz)	-125~ -138	-132.53~-138.945
آفست (MHz)	1	1
توان مصرفی (mW)	1.6~3.5	2~3.5
THD	16%~ 18%	10%~ 12%
ضریب شایستگی	185~197	195~196.5

نتیجه گیری

در این مقاله بعد از بررسی انواع ساختارهای LC-VCO این نتیجه حاصل شد که در ساختار نوسان‌ساز به‌جای سلف فیزیکی از سلف فعال استفاده شود تا هم سطح تراشه‌ی مصرفی به میزان قابل قبولی کاهش یابد و هم توان مصرفی گیرنده نیز بهبود یابد. لذا، یک نوسان‌ساز LC کنترل شده با ولتاژ، برای کاربرد در دوباند فرکانسی مختلف در تکنولوژی TSMC 0.18 µm CMOS و ولتاژ تغذیه ۱/۸ ولت ارائه گردید و از سلف فعال به‌همراه روش مقاومت منفی قابل کنترل استفاده شد که باعث بهبود در نویز فاز و کاهش توان مصرفی گردید.

جدول ۷. نتایج شبیه سازی طرح پیشنهادی و مقایسه با سایر کارهای پیشین

مشخصه	[۱۰]	[۲۰]	[۱۹]	[۱۸]	[۱۷]	[۱۶]	[۱۵]	مدار پیشنهادی
تکنولوژی (µm)	0.18	0.13	0.65	0.18	0.13	0.13	0.35	0.18
نوع نوسان‌ساز	LC	LC	ring	LC	LC	LC	LC	LC
ولتاژ تغذیه (V)	1.8	1.2	1.2	1.8	1.2	1.2	3.5	1.8
محدوده تنظیم (GHz)	0.5~3	1~2	0.5~1	6.6~8.2	2~4.1	0.8~3.7	3.8~5.2	0.72~1.85
نویز فاز (dBc/Hz)	-101~ -118	-120	-111	-125	-123	-104~ -109	-109~ -110	-132.53~-138.945
آفست (MHz)	1	1	1	1	1	1	1	1
توان مصرفی (mW)	6~28	2.1	10	18	9~16	8~13	6.4~20.2	2~3.5
سطح مصرفی (mm^2)	0.045	0.11	0.023	-	0.095	0.108	0.19	0.0173
ضریب شایستگی	175~198	-	175	-	-	184~187	181~186	197.97~200.76

مراجع

[1] J. M. Ingino and V. R. Von Kaenel, "A 4-GHz Clock System for a High-Performance System-on-a-Chip Design," *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1693-1698, 2001.

[2] B. Razavi and R. Behzad, *RF Microelectronics*, vol. 2. Prentice Hall New Jersey, 1998.

[3] J. Ko, J. Kim, S. Cho, and K. Lee, "A 19-mW 2.6-mm2 L1/L2 Dual-band CMOS GPS Receiver," *IEEE J. Solid-State Circuits*, vol. 40, no. 7, pp. 1414-1424, 2005.

[4] Y. Wu, M. Ismail, H. Olsson, and A. E. Topics, "CMOS VHF/RF CCO Based on Active Inductors," *Electron. Lett.*, vol. 37, no. 8, pp. 472-473, 2001.

[5] K. S. Hwang, C. S. Cho, J. W. Lee, and J. Kim, "High Quality-Factor and Inductance of Symmetric Differential-Pair Structure Active Inductor using a Feedback Resistance Design," *IEEE Symposium on Microwave Digest,* vol. 1, pp. 1059-1062, 2008.

[6] J. Xu, C. E. Saavedra, and G. Chen, "An Active Inductor-based VCO with Wide Tuning Range and High DC-to-RF Power Efficiency," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 58, no. 8, pp. 462-466, 2011.

[7] F. Yuan, *CMOS Active Inductors and Transformers: Principle, Implementation, and Applications*, vol. 1. Springer Science & Business Media, 2008.

[8] C. Lu, J. Jin, C. Mao, and D. Chen, "Wide band Voltage-Controlled Oscillator for Multi-band Multi-mode GNSS Receivers," IEEE *Conference on Solid-State and Integrated Circuit Technology*, pp. 755-757, 2010.

[9] B. Razavi, "A Study of Phase Noise in CMOS Oscillators," *IEEE J. on Solid-State Circuits*, vol. 31, no. 3, pp. 331-343, 1996.

[10] L. H. Lu, H. H. Hsieh, and Y. T. Liao, "A Wide Tuning-Range CMOS VCO with a Differential Tunable Active Inductor," *IEEE Trans. on Microw. Theory Tech.* vol. 54, no. 9, pp. 3462-3468, 2006.

[11] I. Y. Lee, S. J. Yun, S. M. Oh, and S. G. Lee. "A Low-Parasitic and Common-Centroid Cross-Coupled CMOS Transistor Structure for High-Frequency VCO Design," *IEEE Electron Device Letters* 30, no. 5, pp.532-534, 2009.

[12] Q. Wu, T. K. Quach, A. Mattamana, and S. Elabd, "Frequency Tuning Range Extension in LC-VCOs using Negative-Capacitance Circuits," *IEEE Transactions on Circuits and Systems II, vol.* 60, no. 4, pp.182-186, 2013.

[13] Q. Wu, S. Elabd, T. K. Quach, and et al.: "A -189 dBc/Hz FOMT Wide Tuning Range Ka-band VCO using Tunable Negative Capacitance and Inductance Redistribution," IEEE Symp. on Radio Frequency Integrated Circuits, pp. 199-202,2013.

[14] Ch. H. Wu and G. X. Jian, "A CMOS LC-VCO with Novel Negative Impedance Design for Wide-Band Operation," IEEE Symp. on Radio Frequency Integrated Circuits, pp. 537-540, 2010.

[15] Y. Chen and K. Mouthaan, "Wideband Varactorless LC-VCO using a Tunable Negative-Inductance Cell," *IEEE Trans. Circuits Syst. I,* vol. 57, no. 10, pp. 2609-2617, 2010.

[16] J. Xu *et al*., "An Active Inductor-Based VCO With Wide Tuning Range and High DC-to-RF Power Efficiency," *IEEE Trans. Circuits Syst. II,* vol. 58, no. 8, pp. 462-466, 2011.

[17] Z. Zahir and G. Banerjee, "A Multi-tap Inductor Based 2.0-4.1 GHz Wideband

LC-Oscillator," IEEE *Conference on Circuits and Systems,* pp. 330-333, 2016.
[18] S. Perticaroli and F. Palma, "A Robust Start-up Class-C CMOS VCO Based on a Common mode Low Frequency Feedback Loop," *IEEE Conference on European Solid State Circuits,* pp. 347-350, 2014.
[19] J. M. Kim *et al*., "A Low-Noise Four-Stage Voltage-Controlled Ring Oscillator in Deep-Submicrometer CMOS Technology," *IEEE Trans. Circuits Syst. II,* vol. 60, no. 2, pp. 71-75, Feb. 2013.
[20] Z. Zahir and G. Banerjee, "A 1-2 GHz Low Phase-Noise Wide-band LC-VCO with Active Inductor based Noise Filter," In *Ph.D. Research in Microelectronics and Electronics Conference,* pp. 1-4, 2016.