

## طراحی مبدل RFDAC با استفاده از نگه دار مرتبه اول

شعیب رحمت اللهی<sup>۱</sup>

ابومسلم جان نثاری<sup>۲</sup>

### چکیده

در این مقاله ساختاری برای تبدیل مستقیم دیجیتال به آنالوگ فرکانس رادیویی بر مبنای نگه دار مرتبه اول پیشنهاد شده است. مبدل شامل مدولاتور دلتا-سیگما با نرخ نمونه برداری  $400\text{MS/s}$ ، مدار پمپ بار و میکسر با فرکانس محلی  $2/4\text{GHz}$  است. ساختار ارائه شده موجب تضعیف طیف خارج باند شده و طراحی دلتا-سیگما و فیلتر میان گذر در فرکانس های رادیویی را ساده تر می کند. این تکنیک بر پایه استفاده از فیلتر نگه دار مرتبه اول بجای نگه دار مرتبه صفر می باشد. نتایج شبیه سازی نشان می دهد که تضعیف نویز خارج باند برای این ساختار در حدود  $13\text{dB}$  بیش تر از ساختار معمولی است. در این ساختار مدولاتور دلتا-سیگما دارای نسبت توان سیگنال به نویز در حدود  $79\text{dB}$  در پهنای باند  $5\text{MHz}$  می باشد. توان خروجی  $-4\text{dBm}$  و توان مصرفی بخش آنالوگ  $2/55\text{mW}$  است.

### کلید واژه

پیش فیلتر کردن، دلتا-سیگما، جیتر، نگه دار مرتبه اول، پمپ بار، مبدل دیجیتال به آنالوگ فرکانس رادیویی.

۱. کارشناس ارشد برق الکترونیک، دانشگاه تربیت مدرس s.rahmatollahi@modares.ac.ir

۲. استادیار دانشکده برق، دانشگاه تربیت مدرس

تاریخ پذیرش: ۳ اسفند ۱۳۹۰

تاریخ دریافت: ۱۵ مهر ۱۳۹۰

## مقدمه

از بلوک‌های اصلی فرستنده‌های مخابراتی بی‌سیم، مبدل‌های دیجیتال به آنالوگ با سرعت و دقت بالا است. اگر چه این مبدل‌ها اغلب در سیستم‌های مخابراتی استفاده می‌شود، ولی همچنان مشکلاتی دارند که حل نشده باقی مانده است. مهم‌ترین مشکل مبدل دیجیتال به آنالوگ با نرخ بالا، اعوجاج خروجی مبدل در لحظه کلید زنی است. از جمله‌ی این خطاها می‌توان به خطای تداخل بین سمبل‌ها و پالس سوزنی و جیترا اشاره کرد. در راه حل‌های زیادی برای غلبه بر این مشکلات پیشنهاد شده است. تداخل بین سمبل‌ها باعث غیرخطی شدن مبدل از طریق وابستگی خروجی آن به لحظات قبلی (اثر حافظه) می‌شود. استفاده از مبدل NRZ موجب ایجاد حالت گذار وابسته به ورودی در خروجی مبدل می‌شود که ناشی از خازن‌های پارازیتی در مدار است. حتی اگر مبدل به صورت تفاضلی پیاده سازی شود تا زمان نشست و صعود برابر باشند، باعث حذف خطای ISI نمی‌شود. از راه حل‌هایی که برای این مشکل پیشنهاد شده است، استفاده از مبدل RZDAC است که بعد از هر کلاک مقدارش به صفر بازمی‌گردد [۲]. در این ساختار همه‌ی پالس‌ها مستقل از ورودی شامل دو لبه گذار هستند، در حالی که در مبدل معمولی با توجه به اتفاقی بودن الگوی ورودی منجر به داشتن یک یا دو لبه می‌گردد، موجب خطایی می‌شود که به الگوی ورودی وابسته است. خطای پالس سوزنی زمانی رخ می‌دهد که لحظه کلید زنی بیت‌های مختلف در مبدل همزمان نباشد. این خطا موجب می‌شود در زمان کوتاهی از پیوند کلاک، مقداری خطابه خروجی ارسال شود. این پدیده موجب خطای وابسته به الگوی ورودی، که پدیده‌ای اتفاقی است، می‌شود. برای رفع این مشکل از بلوک‌های همزمان کننده [۳] یا از جانمایی مناسب استفاده می‌شود تا تأخیر کلاک به همه بیت‌ها یکسان باشد [۴].

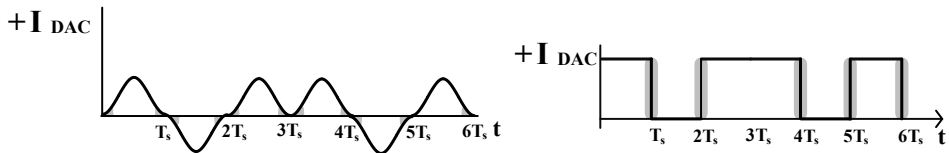
با افزایش سرعت کلاک در مبدل، جیترا در کلاک موجب خطای بیشتری در خروجی می‌شود. همان‌طور که از شکل ۱-الف مشخص است، عدم قطعیت کلاک در لحظات  $n \cdot T_s$  موجب می‌شود که مقداری نادرست در آن لحظه به خروجی ارسال شود.

در [۵] شکل موج‌های مختلفی برای کاهش اثر جیترا معرفی شده است که از آن جمله می‌توان به موج‌های سینوسی و مثلثی اشاره کرد. در [۶] با کاهش جریان خروجی به صورت نمایی دامنه جریان در انتهای کلاک کاهش یافته و اثر خطای جیترا کاهش می‌یابد. این مدار به کمک خازنی که در نصف پیوند کلاک بر روی مقاومت تخلیه می‌شود ساخته شده است. نکته مهم و مشترک در این شکل موج‌ها، دامنه‌ی نزدیک به صفر در لبه‌ی کلاک است تا دامنه‌ی خطای ناشی از جیترا را کاهش دهند. در [۷] به وسیله‌ی یک خازن کمکی، کاهش نمایی جریان را بر روی کل پیوند کلاک بجای نصف آن انجام می‌دهد و مقدار دامنه جریان نزدیک به لبه کلاک را کمتر کند. در [۸] مطابق شکل ۱-ب استفاده از شکل موج سینوسی پیشنهاد شده است و علاوه بر این که دامنه سیگنال خروجی نزدیک کلاک صفر است، شیب آن نیز صفر است، که اصطلاحاً به آن عدم حساسیت به جیترا تا مرتبه دوم گویند. به مبدل‌هایی که از موج سینوسی به عنوان خروجی استفاده می‌کنند RFDAC گویند.

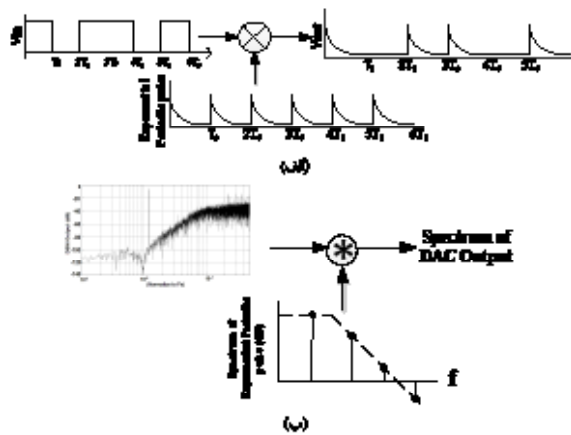
مشکلی که شکل موج‌های کاهش جیترا (بجز سینوسی) دارند اثر نامطلوب آن‌ها بر روی طیف سیگنال ورودی است. برای درک این اثر، مبدل با خروجی نمایی را به صورت شکل ۲-الف مدل می‌کنیم. همان‌طور که در این شکل مشاهده می‌شود خروجی در حوزه‌ی زمان مانند ضرب سیگنال ورودی در شکل موج متناوب نمایی

است یا به عبارتی مطابق شکل ۲-ب طیف خروجی مبدل حاصل کانولوشن طیف ورودی با طیف سیگنال متناوب است. مؤلفه‌ی دوم و سوم در طیف سیگنال ضرب شونده هر چند کوچک هستند اما موجب خرابی در طیف می‌شوند. ساختار RFDAC علاوه بر اینکه مشکل فوق را ندارد، از مزیت جابجایی فرکانسی هم بهره می‌برد و نیاز به میکسر اضافی در طرف فرستنده ندارد [۹].

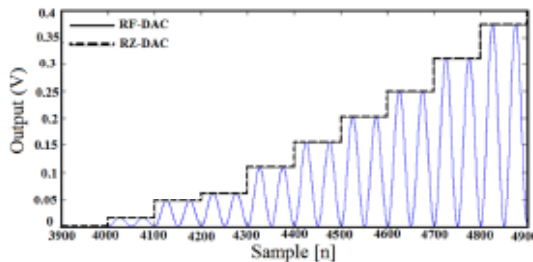
در شکل ۳ که خروجی نوعی RFDAC شش بیتی را نشان می‌دهد، مشخص شده است که بجای هر پالس، یک سینوسی به خروجی ارسال می‌شود. به این معنی که سیگنال ورودی در یک سینوسی ضرب شده است. فرکانس سینوسی برای این که در لبه پالس مقدارش صفر باشد می‌بایست همزمان با کلاک و ضربی از فرکانس کلاک باشد.



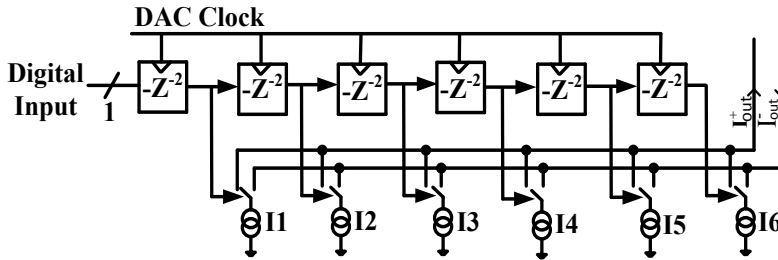
شکل ۱. خطای ناشی از عدم قطعیت در لبه کلاک (جیتر الف) مبدل‌های معمولی ب) RFDAC



شکل ۲. مدل بلوکی برای مبدل با خروجی نمایی الف) در حوزه زمان ب) در حوزه فرکانس



شکل ۳. خروجی RFDAC در مقایسه با خروجی مبدل معمولی



شکل ۴. ساختار RFDAC برای فیلتر کردن همزمان نویز خارج باند و تبدیل سیگنال دیجیتال به آنالوگ

در طراحی مبدل های دیجیتال به آنالوگ سرعت بالا معمولاً از ساختار Current Steering استفاده می شود. در این ساختار با افزایش تعداد بیت ها منابع جریان موازی افزایش یافته و مشکلاتی از جمله عدم انطباق بین ترانزیستورها و امپدانس محدود منابع جریان، موجب غیر خطی شدن مدار می شود. برای برطرف کردن خطای عدم انطباق بین ترانزیستورها راه حل هایی پیشنهاد شده که از آن جمله می توان به استفاده از ساختار پیچیده Mismatch Shaping اشاره کرد [۱۰]. در [۱۱] بخشی از کلیدها به صورت کد داماسنجی و بخشی به صورت باینری ساخته شده است که اصطلاحاً به آن بخش بندی بیت های باینری و داماسنجی گویند. راه حل دیگر استفاده از مدولاتور دلتا-سیگما است تا بتواند تعداد بیت ها و در نتیجه منابع جریان موازی را کاهش دهد، در عین حال رزولوشن را حفظ کند. با کاهش منابع جریان موازی می توان انتظار داشت مشکل امپدانس محدود، در مبدل کاهش یابد. مشکل اصلی استفاده از مدولاتور دلتا-سیگما، ایجاد نویز در خارج باند است که باید فیلتر گردد. برای اجتناب از طراحی فیلتر اضافی، فیلتری که قبل از تقویت کننده ی توان وجود دارد باید با Q بالاتری طراحی شود. در [۱۲] با طراحی همزمان دلتا-سیگما و فیلتر میان گذر مصالحه ای بین OSR در دلتا-سیگما و ضریب کیفیت Q در فیلتر میان گذر نشان می دهد که به صورت رابطه ی (۱) است.

$$Q_{ind} \geq \frac{f_{Lo}}{BW} \Rightarrow f_{Lo} \leq Q_{ind} * BW. \quad (1)$$

$$f_{clk} = OSR * BW. \Rightarrow OSR \leq \frac{Q_{ind}}{n}$$

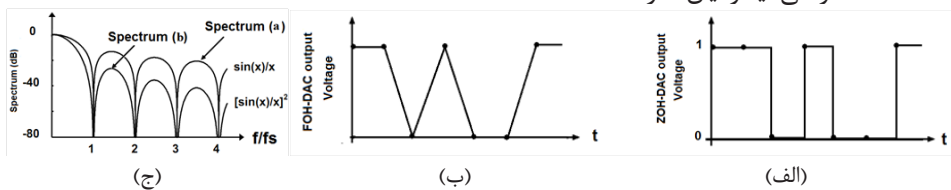
این رابطه نشان می دهد که با افزایش OSR برای SNR بالاتر، طراحی فیلتر میان گذر پیچیده تر می شود و Q بالاتری نیاز دارد، در نتیجه برای افزایش OSR محدودیت داریم. از طرفی به ازای OSR ثابت، افزایش مرتبه مدولاتور موجب افزایش شیب نویز خارج باند شده و لذا به فیلتر با مرتبه بیشتر یا Q بالاتری دارد. [۱۳] برای شکستن این مصالحه، ساختاری مطابق شکل ۴ پیشنهاد کرده است که همزمان با تبدیل دیجیتال به آنالوگ و انتقال آن ها به فرکانس های بالا، توسط فیلتر نیمه دیجیتال FIR نویز خارج باند را تضعیف می کند و طراحی فیلتر را برای OSR بالا راحت تر می سازد. استفاده از فیلتر نیمه دیجیتال بجای تمام دیجیتال ساختار را قادر به استفاده از RFDAC تک بیتی نموده است. شیفت یافته های تک بیتی بر خلاف فیلتر دیجیتال، به صورت آنالوگ جمع می شود. همان طور که در شکل ۴ مشاهده می شود با افزایش مرتبه ی فیلتر FIR تعداد Tap های این ساختار زیاد شده و در نتیجه منابع جریان موازی شده افزایش می یابد. به دلیل محدود بودن امپدانس خروجی منابع جریان می توان هر منبع جریان را به صورت ایده آل و امپدانس موازی

با آن در نظر گرفت. در این ساختار موازی شدن منابع جریان، باعث موازی شدن امپدانس منابع جریان شده و امپدانس خروجی کل را کاهش می دهد و مدار خاصیت غیرخطی بیشتری از خود نشان می دهد. از آنجا که دلتا-سیگما برای کاهش اثر غیرخطی امپدانس محدود در مبدل بکار رفته است، استفاده از فیلتری که برای حذف نویز آن، اثر غیرخطی امپدانس محدود را افزایش دهد، دچار مشکلات ساختار مبدل چند بیتی می شود. در این مقاله ساختاری جدید پیشنهاد شده است تا فیلتر درونی ساختار RFDAC بدون مشکل امپدانس محدود بر سیگنال اعمال شود.

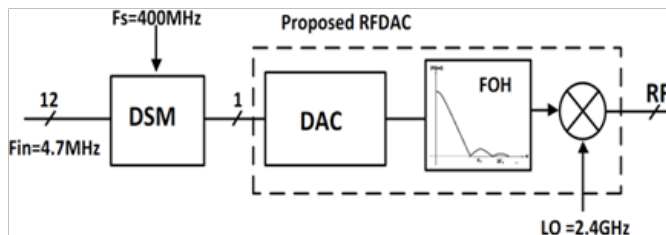
در ادامه، در بخش دوم به توضیح ساختار ارائه شده برای RFDAC می پردازیم، در بخش سوم طراحی مداری این ساختار ارائه شده است، بخش چهارم به نتایج شبیه سازی اختصاص یافته است و در نهایت نتیجه گیری در بخش پنجم ارائه می شود.

### ساختار RFDAC پیشنهاد شده

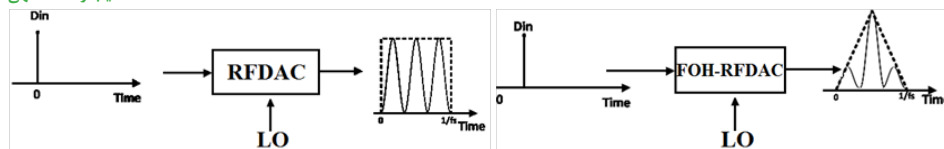
همان طور که در قسمت قبل بیان شد مشکل اصلی استفاده از شکل موجهایی که برای کاهش جیتتر معرفی شده اند تخریب طیف در حوزه ی فرکانس می باشد، از این رو برای ساختار RFDAC از سینوسی استفاده شده است. در این مقاله برای حل این مشکل ترتیب مثلثها به نحوی عوض شده است تا موجب اعوجاج در طیف سیگنال نشده، بلکه نویز خارج باند را نیز تضعیف دهد. یک مبدل معمولی با تبدیل هر نمونه دیجیتالی به ولتاژ آنالوگ و نگه داشتن آن تا کلاک بعدی موجی آنالوگ تولید می کند (شکل ۵-الف). این عمل که معادل نگه دار مرتبه ی صفر است و در حوزه ی فرکانس معادل اعمال فیلتر Sinc بر طیف ورودی می باشد. در طراحی مبدل های معمولی فیلتر آنالوگ دیگری برای تضعیف تکرارهای طیف در مضارب فرکانس کلاک بکار می رود که در طراحی RFDAC این فیلتر از بخش باند پایه به بخش RF منتقل شده است و معمولاً با طراحی پیچیده تر فیلتر میان گذر، این فیلتر را حذف می کنند. بنابراین از مهم ترین مشکلات طراحی RFDAC طراحی فیلتر میان گذراست.



شکل ۵. نگه دار مرتبه صفر (ب) نگه دار مرتبه اول (ج) طیف فرکانسی الف و ب



شکل ۵. ساختار بلوکی RFDAC پیشنهادی

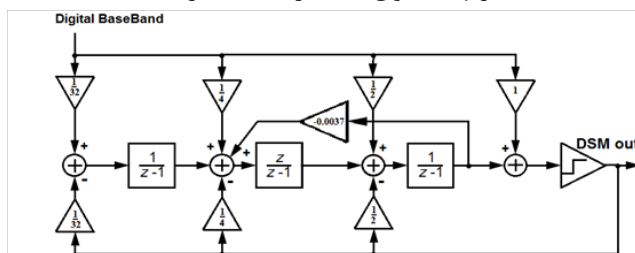


(ب) (الف)

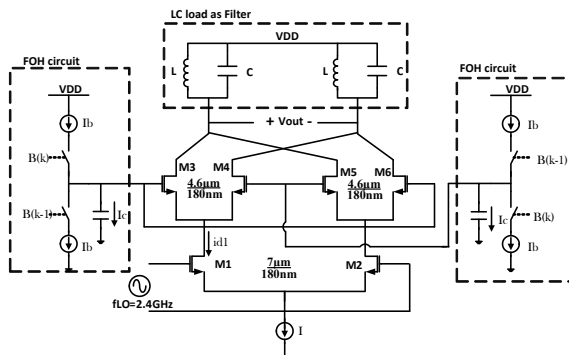
شکل ۷. الف) پاسخ ضربه در حوزه زمان برای الف) RFDAC پیشنهادی ب) RFDAC معمولی نشان می‌دهد که اگر نمونه‌های دیجیتالی را با خط به هم وصل کنیم تا این مثلث‌ها را تشکیل دهیم، در این حالت مبدل مانند نگه دار مرتبه ی اول عمل می‌کند که نسبت به نگه دار مرتبه‌ی صفر تضعیف بیشتری در خارج باند دارد (شکل ۵-ج).

ساختار RFDAC تک بیتی پیشنهادی در شکل ۶ نمایش داده شده است. مدولاتور دلتا-سیگما ورودی ۱۲ بیتی را به رشته تک بیتی تبدیل می‌کند. این رشته تک بیتی توسط مدار نگه دار مرتبه اول به شکل مثلث تبدیل می‌شود. سنتز کننده‌ی فرکانسی سیگنال سینوسی، که با فرکانس کلاک همزمان است، را تولید می‌کند و میکسر سیگنال را به حوزه RF منتقل می‌کند. شکل ۷ پاسخ ضربه ی RF-DAC معمولی و FOH-RF-DAC پیشنهادی را در حوزه ی زمان مقایسه می‌کند.

در این مقاله از مدولاتور دلتا-سیگمای مرتبه ۳ مطابق شکل ۸ استفاده شده است. تضعیف نویز خارج باند توسط نگه دار مرتبه‌ی اول و فیلتری که به عنوان بار در خروجی میکسر به کار رفته است، استفاده از مدولاتور با مرتبه‌ی بالاتر با نویز خارج باند بیشتری را امکان می‌سازد. در این مدولاتور از ساختار دلتا-سیگما CRFB استفاده شده است، تا به کمک صفر بهینه بتوان به مقدار SNR بالاتری دست یافت [۱۴].



شکل ۸. ساختار دلتا-سیگما مرتبه سه، تک بیتی به کمک تشدید کننده در فیدبک



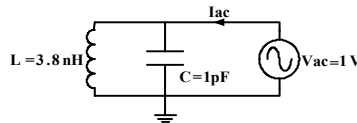
شکل ۹. شمای مداری هسته اصلی در FOH-RFDAC

## طراحی میکسر

شکل ۹ شمای مداری هسته FOH-RFDAC را نمایش می‌دهد. جریان  $I_c$  متناسب با تفاضل بیت‌های متوالی تشکیل می‌شود، سپس این جریان توسط خازن به شیب ولتاژی تبدیل می‌شود. این سیگنال ولتاژی به میکسر با ساختار گیلبرت اعمال می‌شود تا به کمک موج سینوسی قفل شده به فرکانس کلاک بتوان از ایده های کاهش جیتر دوباره استفاده کرد و همزمان سیگنال را به فرکانس‌های بالا منتقل نمود. ترانزیستورهای  $M_1$  و  $M_2$  جریان سینوسی به فرم (۳) را از جریان ثابت بایاس می‌سازند.

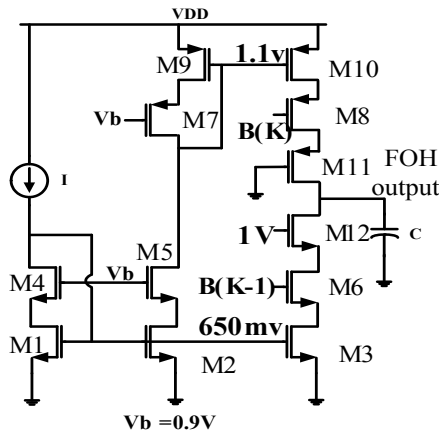
$$id1 \propto [I \times (1 - \cos(\omega_{LO}t))] \quad (3)$$

در ادامه ترانزیستورهای  $M_3$  و  $M_4$  جریان سینوسی را با ولتاژ خروجی نگه دار مرتبه اول ضرب می‌کنند و جریان حاصل توسط فیلتر LC که فرکانس مرکزی آن روی  $2/4 \text{GHz}$  تنظیم شده است، فیلتر می‌شود. سلفی که به عنوان بار در خروجی میکسر قرار گرفته است موجب حذف خازن‌های پارازیتی طبقه بعد شده است. از طرفی بار سلفی، ولتاژ DC ناچیزی مصرف می‌کند، که این موجب می‌شود دامنه نوسان بزرگ‌تری در خروجی داشته باشیم. برای طراحی میکسر از ساختار Double Balance گیلبرت سل استفاده شده است تا اثر اعوجاج هارمونیک‌های ورودی را به حداقل برسانیم. مقدار سلف در خروجی میکسر با توجه به فرکانس مرکزی  $2/4 \text{GHz}$  و بار خازنی  $1 \text{pF}$  از طبقه بعد محاسبه می‌شود. رابطه (۴) نحوه‌ی محاسبه‌ی این سلف را نشان می‌دهد.



شکل ۱۰. مدل مداری برای تعیین مقاومت سلف

$$\omega_{res} = \frac{1}{\sqrt{LC}} \Rightarrow L = \frac{1}{\omega^2 C} = \frac{1}{(2\pi * 2.4 * 10^9)^2 * 10^{-12}} \approx 4 \text{nH} \quad (4)$$



شکل ۱۱. مدار پیشنهادی برای تولید مثلثی

در این طراحی از سلف  $3/8nH$  استفاده شده است تا علاوه بر اثر خازن طبقه بعد بتواند اثر خازن‌های خروجی میکسر ناشی از ترانزیستورهای  $M_{3-5}$  را جبران نماید. با توجه به محدود بودن ضریب کیفیت  $Q$ ، سلف دارای مقاومت محدود به صورت موازی است که برای محاسبه آن می‌توان مدار ساده شکل ۱۰ را استفاده نمود. جریان گذرنده از منبع ولتاژ در فرکانس  $2/4GHz$  برابر  $1/79mA$  است که به ازای منبع یک ولتی معادل مقاومت موازی حدود  $R_p=555\Omega$  است.

توان خروجی  $-4dBm$  - لحاظ شده است که مناسب برای تقویت کننده‌ی توان طبقه بعد باشد. این توان معادل  $0/4$  ولت نوسان بر روی مقاومت  $50$  اهمی می‌باشد. روابط  $(5-6)$  نحوه محاسبه جریان شاخه دنباله را نشان می‌دهد. سایز ترانزیستورهای  $M_{1-6}$  به نحوی محاسبه شده اند که ولتاژ موثر آن‌ها در حدود  $0/2$  باشد تا در همه شرایط در ناحیه اشباع قرار گیرند.

$$R_p * I = 0.4 V_{p-p} \quad (5)$$

$$I = \frac{0.4 V}{555\Omega} = 720\mu A \quad (6)$$

### طراحی مدار پمپ بار

در این مقاله برای اینکه بتوانیم شیب را متناسب با تفاضل دو بیت متوالی بسازیم، از ساختار پمپ بار مطابق شکل ۱۱ استفاده کرده ایم. در شکل ۱۱ ترانزیستورهای  $M_{1-2}$  و  $M_{4-5}$  و  $M_7$  و  $M_9$  آینه جریان کاسکود برای ولتاژهای پایین را تشکیل می‌دهد.  $M_{10}$  و  $M_{11}$  به عنوان منابع جریان شارژ و تخلیه استفاده می‌شوند،  $M_{11}$  و  $M_{12}$  برای افزایش مقاومت خروجی منابع جریان بکار رفته اند و در نهایت  $M_6$  و  $M_8$  به عنوان کلید عمل می‌کنند. ولتاژ کنترلین کلیدها توسط بیت دیجیتالی خروجی دلتا-سیگما تولید می‌شود. در این شکل  $B(k)$  و  $B(k-1)$  بیت‌های باینری متوالی خروجی دلتا-سیگما هستند. برای کاهش عواملی چون نشت کلاک به بخش آنالوگ، سایز ترانزیستورهای  $M_{6,8}$  که به قسمت دیجیتال متصل شده‌اند مینیمم در نظر گرفته شده است.

سیگنال خروجی پمپ بار به طبقه میکسر اعمال می‌شود که زیاد بودن دامنه آن، موجب به تریاود رفتن و غیرخطی شدن این طبقه می‌گردد و کم بودن آن موجب کاهش سطح توان سیگنال خروجی یا کاهش SNR می‌شود. مقدار مناسب برای ولتاژ خروجی مدار پمپ بار را از روی  $1dB$  طبقه بعد می‌یابیم که در این شبیه سازی  $485 mV$  بدست آمده است. رابطه  $(7)$  نحوه‌ی محاسبه مقدار جریان  $DC$  شارژ و تخلیه و خازن انتگرال گیر را مشخص می‌کنند.

$$C \times \Delta V_C = T_{CLK} \times I_C \quad (7)$$

و با توجه به اینکه  $T_{clk} = 1/F_s = 1/400 (\mu s)$  است و  $\Delta V_C = 485 mV$  است می‌توان نسبت جریان منبع جریان و خازن انتگرال گیر را به صورت  $(8)$  یافت:

$$I_C / C = 0.16 (mA / pF) \quad (8)$$

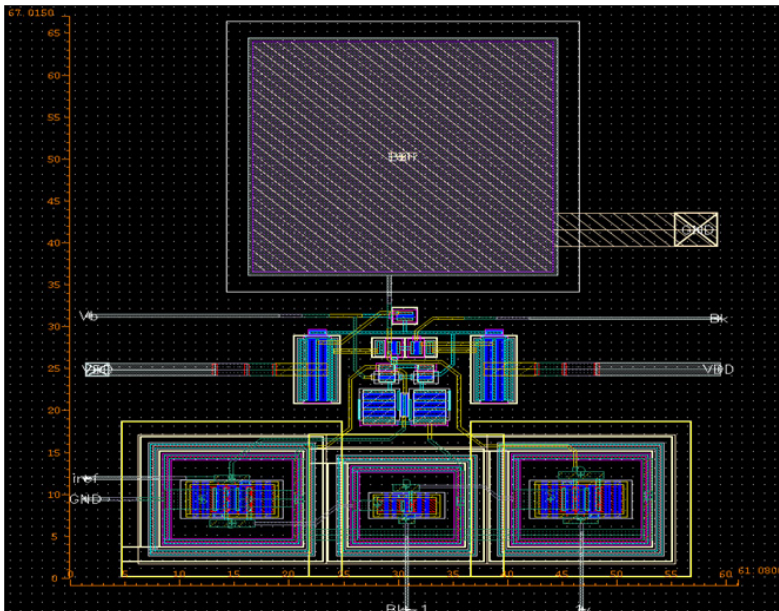
جدول (۱) سایز ترانزیستورهای پمپ بار را نمایش می‌دهد.

Transistor	W/L
M۳	۹μm/۵۰۰nm
M۶,۸	۱,۵μm/۱۸۰nm
M۱۰	۱۴,۵μm/۴۵۰nm
M۱۱	۱,۵μm/۲۷۰nm
M۱۲	۹μm/۵۰۰nm

جدول ۱. سایز ترانزیستورهای پمپ بار

فیلتر کردن سیگنال در مبدل، موجب افزودن مدار پمپ بار به ساختار RFDAC شده است. شکل ۱۲ نشان می دهد مساحت این بخش در حدود  $۶۷\mu\text{m}^2 * ۶۱$  می باشد. مطابق طرح بندی مدار پمپ بار در شکل ۱۲، سهم بزرگی از مساحت این قسمت را خازن تشکیل داده است. خازن بزرگ برای کاهش دامنه جریان شارژ و تخلیه در نظر گرفته شده است.

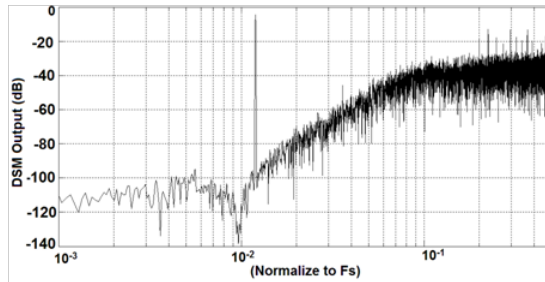
از مهم ترین عوامل خطا در مدار پمپ بار عدم انطباق بین جریان شارژ و تخلیه می باشد که ناشی از امپدانس محدود در منابع جریان است؛ لذا علاوه بر افزایش طول کانال منابع جریان، تکنیک هایی چون طرح بندی با مرکز مشترک و ترانزیستور چند انگشتی برای Matching بهتر بین المان های تفاضلی استفاده شده است. به کمک طراحی متقارن مطابق شکل ۱۲ سعی شده انطباق بین المان های تفاضلی و آینه جریان برقرار شود. شکل ۱۳ طرح بندی مربوط به M۱۲ را نمایش می دهد که به کمک قطعه مجازی تقارن در طرح بندی برقرار شده است.



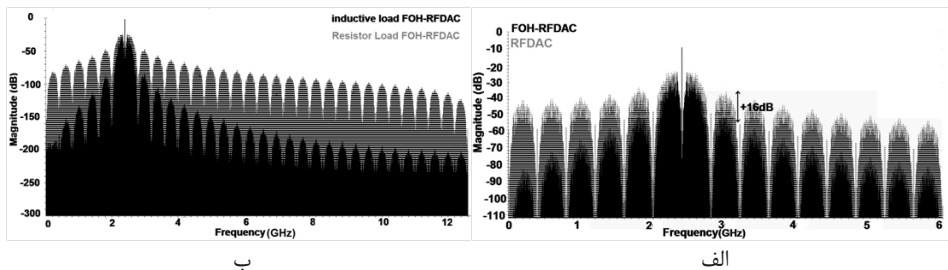
شکل ۱۲. طرح بندی مدار پمپ بار



کناری در حدود ۱۳dB تضعیف بیشتر نسبت به ساختار معمولی RFDAC از خود نشان می‌دهد، که این به دلیل قدرت تضعیف تابع نگه دار مرتبه اول نسبت به نگه دار مرتبه صفر است. افزودن فیلتر در ساختار درونی RFDAC چه به صورت FOH و چه به صورت FIR موجب کاهش خطسانی مدار می‌شود. افزایش منابع جریان موازی شده در فیلتر FIR باعث کاهش امپدانس خروجی و افزایش غیرخطسانی و در نتیجه کاهش میزان SNR می‌شود. خطسانی در مدار پمپ بار ناشی از عدم تطابق بین جریان شارژ و تخلیه به وجود می‌آید. مدار پمپ بار و میکسر نوعی طراحی شده در این مقاله موجب کاهش ۱۵dB در SNR شده است به نحوی که SNR در خروجی مبدل حول فرکانس ۲/۴GHz معادل ۶۴dB می‌باشد، که ناشی از غیرخطی بودن فیلتر به همراه میکسر می‌باشد.



شکل ۱۵. طیف خروجی مدولاتور دلتا-سیگما



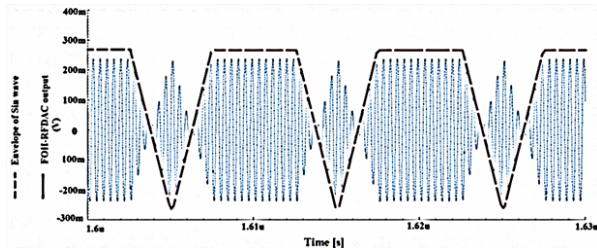
شکل ۱۶. الف) مقایسه طیف خروجی برای دو مدولاتور معمولی و FOH-RFDAC پیشنهادی (ب) اثر تانک LC به عنوان بار میکسر در طیف خروجی

با استفاده از تانک LC که به عنوان بار میکسر به کار رفته است این فیلترینگ باریک‌تر شده است. در شکل ۱۶-ب خروجی FOH-RFDAC را برای دو حالتی که بار مقاومتی و بار سلفی در میکسر بکار رفته است مقایسه شده است. ضریب کیفیت تانک LC که به عنوان بار میکسر به کار رفته است به کمک رابطه (۹) قابل محاسبه است. از خازن پارازیتی خروجی میکسر در مقابل خازن بزرگ بار صرف نظر شده است.

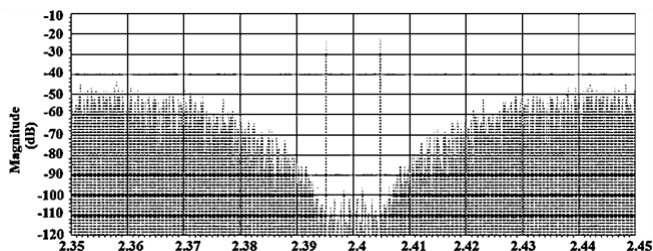
$$Q = R \sqrt{C/L} = 555\Omega * \sqrt{1pF / 3.8nH} = 9 \quad (9)$$

مطابق شکل ۱۷ جریان سینوسی که توسط طبقه LO ساخته می‌شود در شکل موج مثلی ضرب شده و بجای سینوسی مدوله شده با پالس، سینوسی مدوله شده با مثلی را نتیجه می‌دهد. فرکانس اسیلاتور ۲/۴GHz می‌باشد و فرکانس نوسان ساز ۶ برابر فرکانس پالس ساعت است بنابراین در هر مثلث ۶ سینوسی قرار گرفته شده است.

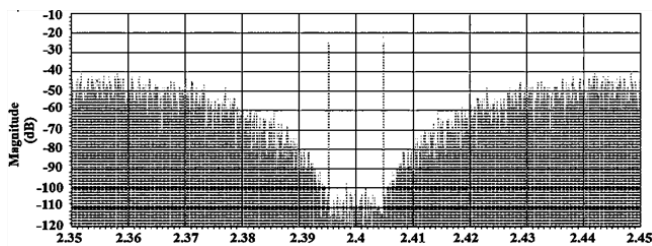
ترانزیستورهای ماسفت وابستگی دمایی از خود نشان می‌دهند. برای مثال افزایش در دما مدارها را کند ساخته و جریان زیر آستانه را افزایش می‌دهند. پارامترهایی چون قابلیت تحرک و ولتاژ آستانه به دما وابسته است؛ لذا نتایج شبیه سازی به ازای دمای های مختلف و در گوشه های مختلف نمایش داده شده است.



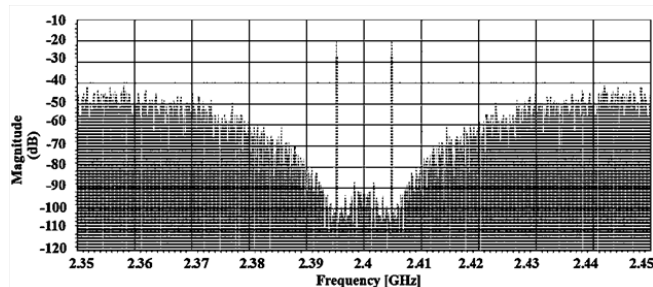
شکل ۱۷. نمایش شکل موج خروجی FOHRFDAC در حوزه زمان



الف



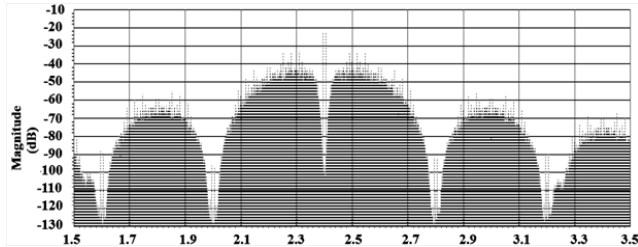
ب



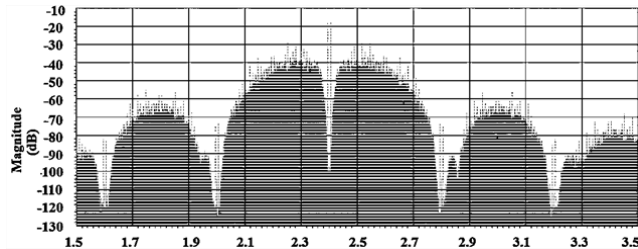
ج

شکل ۱۸. مقایسه طیف داخل باند خروجی مبدل برای گوشه های پروسه و دمای کاری (الف معمولی ۲۷ درجه ب) سریع ۴۰- درجه ج) کند ۱۲۰ درجه

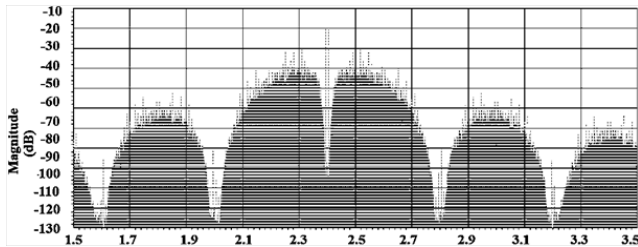
در این شبیه سازی به ازای ترانزیستور نوع سریع، عملکرد مدار در باند مطلوب نسبت به حالت معمولی بهبود یافته ولی در حالت کند مدار دچار افت کیفیت در باند سیگنال است (شکل ۱۸). با توجه به شکل ۱۹ می توان نتیجه گرفت که قدرت فیلترینگ که هدف اصلی این ساختار است تغییری نکرده و تضعیف در باند کناری ۱۳dB باقی مانده است.



الف



ب



ج

شکل ۱۹. مقایسه طیف خروجی مبدل برای گوشه های پروسه و دمای کاری (الف) معمولی (۲۷ درجه ب) سریع (۴۰- درجه ج) کند (۱۲۰ درجه)

## نتیجه گیری

یک مبدل با ساختار دیجیتال به RF بر اساس پیش فیلترینگ نگه دار مرتبه اول ارائه شده است. استفاده از نگه دار مرتبه اول بجای نگه دار مرتبه صفر، ضمن فیلتر کردن و بهبود طیف خروجی مبدل با تابع  $\text{Sinc}^2$  به جای  $\text{Sinc}$ ، به دلیل استفاده از موج مثلثی و صفر شدن دامنه مثلث در لبه کلاک، اثر جیترا نیز کاهش داده است. از شکل موج مثلثی که از شکل موج های شناخته شده برای کاهش جیتراست به نحوی استفاده شده است که موجب تضعیف نویز خارج باند شود و از شکل موج سینوسی همزمان برای کاهش بیشتر حساسیت

به جیتر و انتقال سیگنال به فرکانس‌های رادیویی استفاده می‌شود. در این ساختار به کمک میکسر با بار سلفی توانسته ایم نویز خارج باند را بیشتر تضعیف کنیم. با توجه به مصالحه‌ی قدرت فیلترینگ (Q) و OSR می‌توان به کمک این تکنیک به نسبت سیگنال به نویز بالاتری دست یافت و همچنین از پیچیدگی طراحی فیلتر میان‌گذر در حوزه‌ی RF کاست.

## مراجع

- [1] J. Wikner and N. Tan, "Modeling of CMOS digital-to-analog converters for telecommunication," IEEE Transactions on Circuits and Systems, vol. 46, no. 5, May 1999.
- [2] R. Adams, K. Nguyen and K. Sweetland "A 113 dB SNR oversampling DAC with segmented noise-shaped scrambling," IEEE ISSCC Dig. Tech.pp. 62–63, Feb. 1998.
- [3] A. Van den Bosch, A. F. Borremans, S. J. Steyaert and W. Sansen "A 10-bit 1-G sample/s nyquist current-steering CMOS D/A converter" IEEE J. Solid-State Circuits, vol. 36, no. 3, pp. 315–324, Mar. 2001.
- [4] D. Mercer, "A 16-b D/A converter with increased spurious free dynamic range" IEEE J. Solid State Circuits, vol. 29, pp. 1180–1185, Oct. 1994.
- [5] M. Ortmann and F. Gefers "Continuous-Time Sigma-Delta A/D Conversion—Fundamentals, Performance Limits and Robust Implementations" Springer, 2005, pp. 100106-.
- [6] M. Ortmann, F. Gerfers, and Y. Manoli, "A continuous-time modulator with switched capacitor controlled current mode feedback" Proc. Eur. Solid-State Circuits Conf., 2003.
- [7] A.V. Bosch, A. F. Borremans and W. Sansen "A 20-MHz Bandwidth Continuous-Time Sigma-Delta Modulator With Jitter Immunity Improved FullClock Period SCR (FSCR) DAC and High-Speed DWA," IEEE J. Solid-State Circuits, vol. 46, pp. 2469 - 2477, Nov. 2011.
- [8] B. Zhang, "Delta-sigma modulators employing continuous-time circuits and mismatch-shaped DACs," Ph.D. thesis, Oregon State Univ., Corvallis, OR, 1996.
- [9] S. Luschas, R. Schreier, and H. Seung Lee, "Radio frequency digital-to-analog converter," IEEE J. Solid-State Circuits, vol. 39, pp. 1462–1467, Sep. 2004.

- [10] N. Sun, "High order mismatch-shaping in multibit DAC," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 58, pp. 346350-, June 2011.
- [11] J. Hyde, T. Humes, C. Diorio, M. Thomas, and M. Figueroa, "A 300-Ms/s 14-bit digital-to-analog converter in logic CMOS," IEEE J.Solid-State Circuits, vol. 38, no. 5, pp. 734–740, May 2003.
- [12] A. Jerng and C. G. Sodini, "A wideband digital-RF modulator for high data rate transmitters," IEEE J. Solid-State Circuits, vol. 42, no. 8, pp. 1710–1722, Aug. 2007.
- [13] S. Taleie, T. Copani, B. Bakaloglu and S. Kiaei, "A Linear delta sigma Digital IF to RF DAC Transmitter With Embedded Mixer," IEEE J. Solid-State Circuits, vol. 42, no. 8, pp. 1710–1722, Aug. 2007.
- [14] R. Schreier and G. C. Temes, "Understanding Delta-Sigma Data Converters" Piscataway, NJ: IEEE Press/Wiley, 2005.
- [15] R. Schreier,  $\Delta$ Toolbox. [Online]. Available: <http://www.math-works.com/matlabcentral/fileexchange/loadFile.do?objectId=19&objec Type=file>.

