

## طراحی و پیاده سازی مدولاتور تست زنجیره دریافت ایستگاه زمینی ماهواره

مهرداد نادری<sup>۱</sup>

مهدی قویدل<sup>۲</sup>، محمد محمد جعفری<sup>۳</sup>

### چکیده

این مقاله نتیجه یک کار پژوهشی است که به طراحی و ساخت یک مدولاتور QPSK با نرخ بیت متغیر جهت تست زنجیره دریافت ایستگاه زمینی ماهواره های سنجش از دور می پردازد. طراحی مدولاتور بگونه ای انجام شده است که کاربر توانایی فعال یا غیر فعال کردن کدینگ گری و دیفرانسیل را داشته باشد، از سوی دیگر بتواند نرخ بیت ارسالی را تغییر دهد و همچنین شیفتر داپلر و سطح توان را به میزان دلخواه به سیگنال خروجی اعمال نماید. و در ادامه فیلترمنطبق را مطابق با نیاز از دو نوع فیلتر موجود انتخاب کند.

طراحی برای نرخ بیت تا ۱۰۵Mbps و فرکانس IF به مقدار ۷۲۰MHz انجام گرفته است، نتایج حاصل از شبیه سازی نرم افزاری، شبیه سازی و سنتز سخت افزاری و پیاده سازی جهت مقایسه آورده شده است.

### کلید واژه

مدولاسیون با نرخ بیت بالا، نرخ بیت متغیر، فیلتر شکل دهی پالس صعودی کسینوسی، فرکانس داپلر

۱. دانشگاه صنعتی مالک اشتر mehrdad.naderi@gmail.com

۲. کارشناس ارشد برق، دانشگاه گیلان

۳. دانشگاه صنعتی مالک اشتر

تاریخ پذیرش: ۳ اسفند ۱۳۹۰

تاریخ دریافت: ۱۶ مهر ۱۳۹۰

## مقدمه

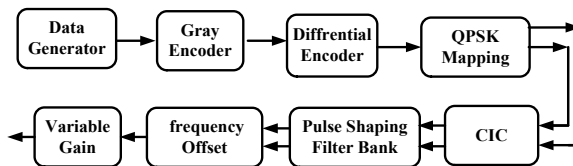
ماهواره‌های سنجش از دور به طور معمول برای ارسال داده تصویر به ایستگاه زمینی از مدولاسیون QPSK استفاده می‌کنند که بسته به میزان رزولوشن تصویر، نرخ بیت ارسالی متفاوت اما بالایی دارند. یکی از گلوگاه‌های ایستگاه زمینی سنجش از دور، تست زیرسیستم‌های دریافت می‌باشد تا بتوان در زمان گذر وظایف محوله خود را بدرستی انجام دهد.

به همین منظور در این مقاله یک مدولاتور QPSK با ابزارهای اضافی جهت تست زیر سیستم های دیجیتال بخش دریافت ایستگاه زمینی طراحی و پیاده سازی می‌گردد. در این سیستم برای تست و ارزیابی عملکرد گیرنده های مختلف ماهواره علاوه بر تولید دیتای منطبق با استاندارد CCSDS و مدولاسیون دیجیتال دو نوع رایج فیلتر شکل پالس صعودی کسینوسی و مستطیلی و ساختارهایی نظیر شبیه ساز داپلر و تغییر سطح توان در گیرنده نیز اعمال می‌گردد.

برای پیاده سازی ابتدا در محیط سیمولینک مطلب بلوک‌های مختلف بخش دیجیتال، طراحی شده و برای مقایسه بیشتر کارایی مورد نظر (احتمال خطای مطلوب) هر دو مدل طلایی و ممیز ثابت آن همزمان شبیه‌سازی می‌شوند. در ادامه زیر بلوک های شبیه سازی شده برای پیاده سازی بر روی FPGA، یک به یک بصورت VHDL نوشته شده و در ادامه خروجی زیر بلوک ها و کل سیستم در محیط Active VHDL با خروجی های شبیه سازی شده در محیط سیمولینک مطلب مقایسه شده و در صورت صحت موضوع بعد از سنتز کد VHDL طرح بر روی سخت افزار مربوطه پیاده سازی می‌گردد.

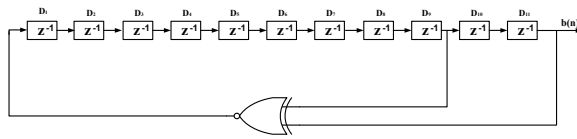
## طراحی جزئی و شبیه‌سازی نرم‌افزاری در محیط سیمولینک

در این بخش بلوک‌های مختلف بخش دیجیتال مدولاتور، طراحی شده و برای مقایسه بیشتر کارایی مورد نظر (احتمال خطای مطلوب) هر دو مدل طلایی و ممیز ثابت آن همزمان در محیط سیمولینک مطلب شبیه‌سازی خواهند شد می‌بایست توجه داشت با توجه به ساختار مختلف گیرنده ها امکان حذف بلوک (در کدگذارها) و انتخاب (نوع نگاشت مدولاسیون، انتخاب فیلتر و میزان افزایش نرخ) وجود خواهد داشت.



شکل ۱. مدولاتور QPSK

مطابق با شکل ۱ اولین بلوک طراحی شده ایجاد داده با دنباله تصادفی در این بلوک با مشخص نمودن چند جمله‌ای مولد، یک دنباله ماکزیمال  $G = x^{11} + x^9 + 1$  می‌باشد، همانگونه که مشاهده می‌شود، چندجمله‌ای فوق از درجه ۱۱ است، لذا پریرود دنباله تولید آن  $2^{11} - 1 = 2047$  می‌باشد. شکل ۲ تحقق مداری آن را نشان می‌دهد.

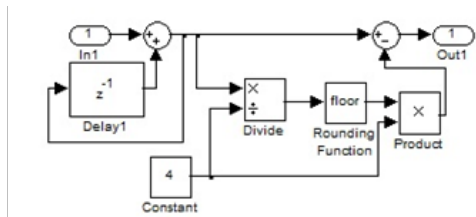


شکل ۲. بلوک دیاگرام مولد ۱۱-PRBS

اختلاف فاز (یا فرکانس) بین حامل گیرنده و حامل فرستنده، باعث چرخش نمودار فلکی خواهد شد. این چرخش باعث بروز خطا می شود، لذا می بایست توسط بخش آشکار سازی فاز و فرکانس تصحیح شده و سپس بیت ها آشکار شوند. به همین منظور راهکار استفاده از کدگذار تفاضلی باعث حل این مشکل می گردد. از سوی دیگر برای اینکه هم نگاشت بر اساس کدگذار تفاضلی انجام شود و هم فاصله همینگ حداکثر ۱ بیت (برای کاهش خطا) رعایت شود، لازم است قبل از کدگذار تفاضلی، کدگذار گری انجام شود.

با الهام از رابطه ۱ بلوک دیاگرام کدگذار دیفرانسیلی همانند شکل ۳ قابل پیاده سازی می باشد.

$$e_k = b_k \oplus e_{k-1} \pmod{4} \quad (1-1)$$



شکل ۳. بلوک دیاگرام کدگذار دیفرانسیلی

در این بلوک دیاگرام ورودی با تاخیر یافته خود جمع می گردد و در ادامه ساختار جمع ماجول ۴ پیاده سازی می گردد. برای کاهش خطا، در مدولاسیون QPSK نگاشت بصورتی انجام خواهد شد که بیشترین فاصله در نگاشت را داشته باشیم. برای این کار در این مرحله بیت "۰" به ۱ و بیت "۱" به ۱- تبدیل می شود.

با توجه به اینکه نرخ بیت داده ها می تواند متغیر باشد، به کمک فیلتر افزایش نرخ می توان با تغییر ضریب افزایش نرخ به نرخ بیت مطلوب رسید.

با توجه به مشخصات فنی گیرنده های ماهواره های سنجشی فیلتر شکل دهی در دو مدل مستطیلی و صعودی کوسینوسی انتخاب می گردد. پاسخ فرکانسی یک فیلتر صعودی کوسینوسی بر حسب پارامتر  $\beta$  بصورت رابطه (۲) می باشد.

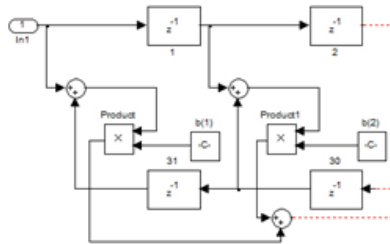
$$H_{RC}(f) = \begin{cases} T_s & |f| \leq r_s/2 - \beta \\ T_s \cos^2 \frac{\pi}{4\beta} (|f| - \frac{r_s}{2} + \beta) & \frac{r_s}{2} - \beta \leq |f| \leq \frac{r_s}{2} + \beta \\ 0 & |f| \geq r_s/2 + \beta \end{cases} \quad (2)$$

پاسخ ضربه فیلتر فوق نیز طبق رابطه (۳) است.

$$h_{RC}(t) = \frac{\cos 2\pi\beta t}{1 - (4\beta t)^2} \left( \frac{\sin \pi r_s t}{\pi r_s t} \right) \quad (3)$$

در روابط (۲) و (۳) نرخ سیمبل  $T_s = 1/T_s$  پریود زمانی هر سیمبل و  $\beta$  فاکتور roll-off می‌باشد ( $0 \leq \beta \leq 1/2$ )، و معمولاً در مراجع مختلف مقدار آن بین صفر تا ۱ بیان می‌گردد می‌بایست توجه داشت که مقدار  $\beta$  به  $T_s/2$  نرمالیزه شده است.

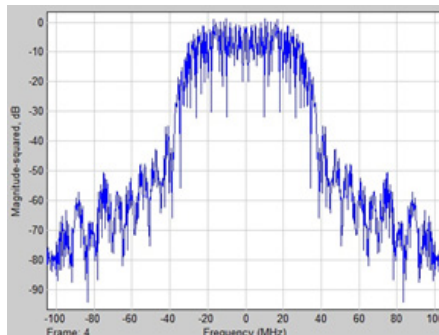
پاسخ ضربه فیلتر نقش اساسی در تعیین مقاومت سیستم نسبت به ISI دارد. برای پاسخ ضربه با شیب کم، نمونه‌های مجاور در کانال همدیگر را بیشتر تحت تاثیر قرار می‌دهند. و لذا ISI بالایی ایجاد می‌کنند. بنابراین در محیط‌های با ISI بالا می‌بایست  $\beta$  بزرگ در نظر گرفته شود. از سوی دیگر مقدار  $\beta$  بزرگ پهنای باند را افزایش داده که مطلوب نمی‌باشد. بنابراین در تعیین مقدار  $\beta$  مصالحه ای باید صورت بگیرد.



شکل ۴. فیلتر کسینوسی صعودی پیاده سازی شده

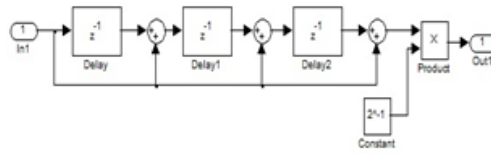
شکل ۴ نمایش دو بخش از ۱۵ بخش فیلتر صعودی کسینوسی قابل پیاده سازی را نشان می‌دهد. درجه فیلتر را ۳۰ در نظر گرفته ایم با توجه به اینکه فیلتر از نوع FIR متقارن می‌باشد، ۱۵ تا از ضرایب از دو طرف یکسان خواهند بود.

در مدل ممیز ثابت سیمولینک برای جمع کننده‌های بالا،  $\text{fixdt}(1,3,0)$  ضرایب  $\text{fixdt}(1,12,11)$  ضرب کننده‌ها  $\text{fixdt}(1,15,11)$  و جمع کننده پایین  $\text{fixdt}(1,15,12)$  را در نظر می‌گیریم، و برای ساده سازی بهتر و با تقریب مناسب آخرین جمع کننده قبل از خروجی را  $\text{fixdt}(1,12,11)$  در نظر گرفتیم. طیف سیگنال پس از عبور از فیلتر، در محیط سیمولینک رسم شده. که در شکل ۵ نمایش داده شده است.



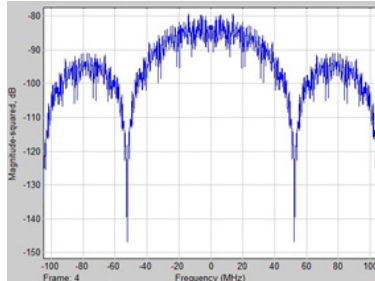
شکل ۵. خروجی طیف سیگنال پس از فیلتر شکل دهی صعودی کسینوسی

فیلتر قابل انتخاب بعدی فیلتر مستطیلی است که می‌توان توسط بلوک دیاگرام شکل ۶ پیاده سازی می‌گردد.



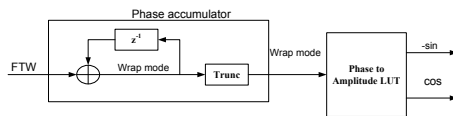
شکل ۶. فیلتر مستطیلی پیاده سازی شده

در این ساختار برای مدل ممیز ثابت جمع کننده ها را  $\text{fixdt}(1,3,0)$  ضرب کننده را  $\text{fixdt}(1,5,1)$  در نظر می گیریم. طیف سیگنال پس از عبور از فیلتر شکل دهی مستطیلی در شکل ۷ نشان داده شده است.



جدول ۷. خروجی طیف سیگنال پس از فیلتر شکل دهی مستطیلی

به منظور ایجاد آفست فرکانسی، از یک ضرب کننده دیجیتالی مختلط و یک NCO که شامل خروجی مختلط (یعنی سیگنال های سینوسی و کسینوسی) می باشد، استفاده می شود. پارامتر تعیین کننده در این بلوک تعداد بیت های ضرب کننده ها و جمع کننده ها می باشد. همانطور که در شکل ۸ می بینیم پارامتر ورودی که می بایست توسط کاربر تعیین شود FTW نام دارد که بیانگر کلمه تنظیم فرکانس می باشد، و برای تنظیم میزان آفست اعمالی به سیگنال به کار می رود. کلمه تنظیم فرکانس به کمک اکومولاتور فاز به یک سیگنال Ramp تبدیل می شود. پس از کاهش تعداد بیت های سیگنال Ramp حاصله، از آن به عنوان ورودی برای یک جدول جستجو، که فاز را به دامنه سینوسی/کسینوسی تبدیل می کند، استفاده می شود. از سیگنال Ramp در واقع به عنوان آدرس محتویات حافظه LUT استفاده می شود و لذا در خروجی، سیگنال سینوسی با فرکانس و فاز مورد نظر را خواهیم داشت. سیگنال کسینوسی هم به همین طریق با شیفت مناسب در آدرس های ورودی حاصل می شود. فرکانس سیگنال های سینوسی/کسینوسی از رابطه ۴ حاصل می شود:

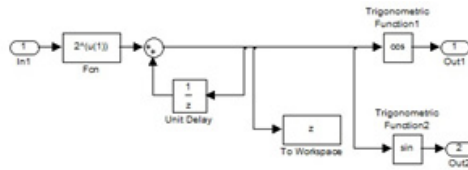


جدول ۸. ساختار داخلی NCO

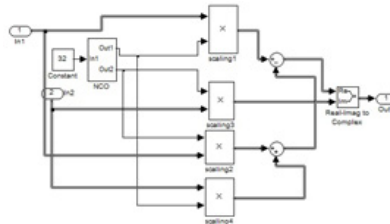
$$F_{out} = \frac{FTW \cdot F_{CLK}}{2^N} \quad (4)$$

در این رابطه  $F_{CLK}$  فرکانس کلاک داخلی NCO و  $N$  تعداد بیت های کلمه تنظیم فرکانس و به عبارت دیگر تعداد بیت های اکومولاتور فاز را نشان می دهد. بلوک Truncation نیز در واقع برای کاهش بیت در مراحل مختلف مورد استفاده قرار می گیرد. هر چه تعداد بیت های آدرس های ورودی به LUT کمتر باشد

مسئلاً حجم حافظه مورد نیاز برای آن کمتر خواهد بود. اما کاهش این تعداد بیت‌ها منجر به افزایش میزان Spurious و در نتیجه کاهش کیفیت سیگنال سینوسی خروجی خواهد شد (هر چه بیت‌های بیشتری دور ریخته شود سطح spur ها در خروجی NCO افزایش می‌یابد). پارامتر مهم دیگر در طراحی NCO تعداد بیت‌های مورد نیاز برای دامنه سیگنال‌های سینوسی/اکسینوسی می‌باشد. با انتخاب کلمه تنظیم فرکانس ۳۲ بیتی می‌توان بلوک NCO را بصورت شکل ۹ طراحی نمود. برای ایجاد آفست فرکانس با استفاده از NCO ساختار شکل ۱۰ طراحی شده است.



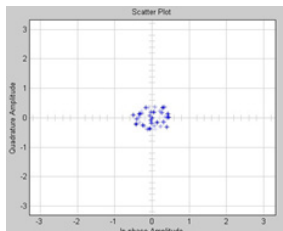
شکل ۹. بلوک دیگرام NCO طراحی شده



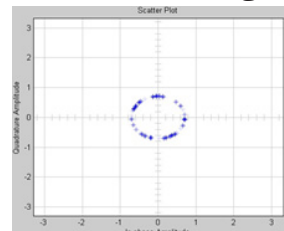
شکل ۱۰. ساختار مورد نیاز برای ایجاد آفست فرکانسی

در مدل ممیز ثابت در بلوک NCO تعداد بیت خروجی از بخش اکومولاتور فاز را کاهش داده که در نهایت مقدار بیت خروجی برای تعیین مقدار سینوس و کسینوس (fixdt(1,12,11) خواهد بود، با توجه به خروجی فیلتر صعودی کسینوسی با تعداد بیت (fixdt(1,12,11) تعداد بیت خروجی حاصل از آفست فرکانسی را با توجه به سطح سیگنال خروجی بلوک را می‌توان (fixdt(11,1,12) در نظر گرفت. طیف سیگنال شبیه سازی شده بعد از اعمال آفست در شکل های ۱۱ و ۱۲ نشان داده شده است.

سطح توان سیگنال دریافتی از ماهواره‌های سنجش از دور، از لحظه طلوع تا لحظه غروب ماهواره، برای گیرنده مرتباً تغییر خواهد کرد. از طرفی سیگنال ورودی در گیرنده می‌بایست دارای سطح توان تقریباً ثابتی باشد تا بتواند عملکرد مورد انتظار را داشته باشد. لذا ضروری است برای شبیه سازی همچنین حالتی می‌بایست بهره خروجی را تغییر داد، به گونه ای تاثیر تغییر بهره خروجی در خروجی های I و Q و ورودی های گیرنده قابل مشاهده می‌باشد.



شکل ۱۲. آفست یافته طیف سیگنال مدولاتور QPSK عبوری از فیلتر کسینوسی صعودی



شکل ۱۰. آفست یافته طیف سیگنال مدولاتور QPSK عبوری از فیلتر مستطیلی

## طراحی، سنتز و پیاده سازی طرح در FPGA

پس از صحنه گذاری کد VHDL مدولاتور در سطح رفتاری، نوبت به سنتز و PP&R می باشد. در مرحله سنتز و PP&R با آنالیز زمانی طرح، بررسی می شود که آیا طراحی انجام شده سرعت های مورد نظر را ارائه می دهد یا خیر. در صورت عدم حصول نتیجه قابل قبول، مجدداً کد VHDL باید مورد ارزیابی قرار گیرد و احتمالاً با تغییراتی از قبیل افزایش سطوح Pipelining و یا در مرحله های ساده تر، تغییر تنظیمات نرم افزار سنتز به سرعت مورد نظر دست یافت. در مرحله طراحی کد HDL فرض بر این است که الگوریتم ممیز ثابت ارائه شده از نظر الگوریتم و عملکردی هیچ مشکلی ندارد. لذا در طراحی نتایج هر مرحله از شبیه سازی را با نتایج شبیه سازی ممیز ثابت در Simulink تست، ارزیابی و صحت سنجی خواهد کرد.

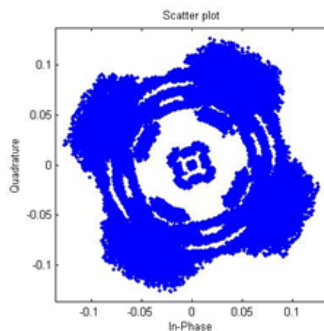
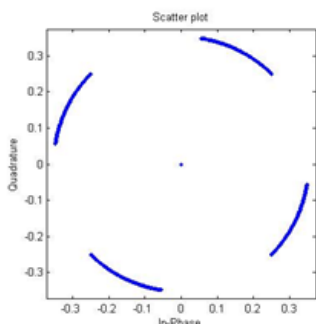
برای پیاده سازی از کارت PCI Express مخصوص ۱۶۵۰-ICS استفاده شده است، FPGA به کار گرفته شده در این کارت Xilinx Virtex ۵ می باشد، حجم سخت افزار (تعداد گیت ها) مورد استفاده بعد از پیاده سازی VHDL و تست سنتز صورت می پذیرد، تمام امکانات قابل تغییر مدولاتور در غالب بستر نرم افزاری کارت PCI Express تحت محیط ویندوز صورت می پذیرد.

برای سنتز و P&R به ترتیب از نرم افزارهای ۹.۶.۱ Synplify Pro از شرکت Synplcity و Xilinx و XST از شرکت Xilinx استفاده شده است. این نرم افزارها در نرم افزار Xilinx ISE بصورت مجتمع مورد استفاده قرار می گیرند و لذا ارتباط کاربری و تنظیمات مربوط به نرم افزارها از طریق Xilinx ISE انجام می شود. هرچند نرم افزار Xilinx ISE دارای ابزار سنتز مجتمع شده داخلی می باشد، اما به دلیل برخی برتری های نرم افزار Synplify Pro در سنتز کدهای HDL، جایگزین ابزار سنتز داخلی ISE شده است. شکل ۱۳ خلاصه منابع استفاده شده از FPGA برای پیاده سازی مدولاتور QPSK را نشان می دهد. همانطور که از میزان درصد استفاده منابع دیده می شود، قطعه XC3S2000 برای پیاده سازی مدولاتور QPSK به لحاظ میزان منابعی که در اختیار قرار می دهد کاملاً مناسب می باشد.

Device Utilization Summary				1
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	1,403	40,960	3%	
Number of 4 input LUTs	765	40,960	1%	
Number of occupied Slices	843	20,480	4%	
Number of Slices containing only related logic	843	843	100%	
Number of Slices containing unrelated logic	0	843	0%	
<b>Total Number of 4 input LUTs</b>	<b>1,094</b>	<b>40,960</b>	<b>2%</b>	
Number used as logic	764			
Number used as a route-thru	331			
Number used as Shift registers	1			
Number of bonded IOBs	90	409	18%	
Number of RAMB16s	1	40	2%	
Number of MULT18X18s	4	40	10%	
Number of BUF6MUXs	1	8	12%	
Average Fanout of Non-Clock Net	2.91			

شکل ۱۳. گزارش نرم افزار ISE در رابطه با میزان منابع استفاده شده جهت پیاده سازی مدولاتور QPSK

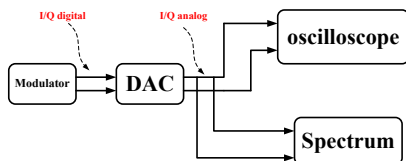
پس از تحلیل نتایج سنتز و P&R طرح، شبیه‌سازی PP&R انجام شد و خروجی تک تک بخش‌ها و همچنین خروجی مدولاتور با نتایج حاصل از سیولینک و شبیه‌سازی سطح رفتاری مقایسه و صحت‌گذاری انجام گرفت. نهایتاً فایل Bit خروجی جهت دانلود در FPGA تولید گردید. این خروجی‌ها را به کمک یک برنامه واسط در نرم افزار مطلب ترسیم نموده که شکل‌های زیر بدست آمد. شکل ۱۴ نتایج حاصله از خروجی حاصل از فیلتر کسینوسی صعودی و تغییر یافته فازی آن می باشد. و شکل‌های ۱۵ خروجی حاصل از فیلتر مستطیلی می باشد.



شکل ۱۴. خروجی تغییر فاز یافته از فیلتر صعودی کسینوسی      شکل ۱۵. خروجی تغییر فاز یافته از فیلتر مستطیلی

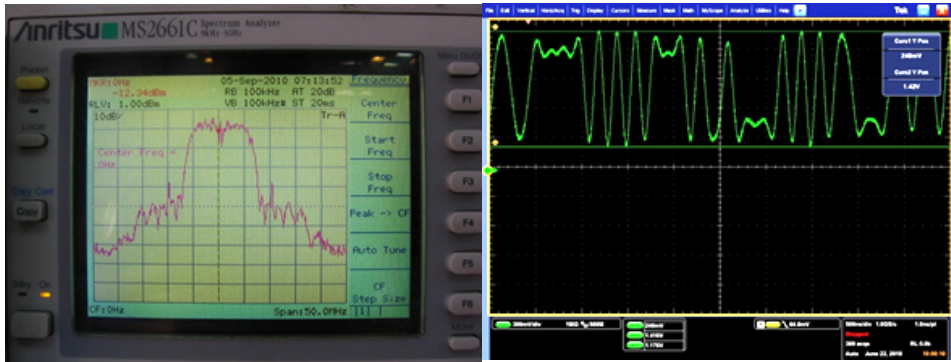
### تست باند پایه مدولاتور

برای تست مدار پیاده‌سازی شده مدولاتور در باند پایه سناریوی تست همانند شکل ۱۶ پیاده سازی گردید. ابتدا مدولاتور به مبدل دیجیتال به آنالوگ متصل و راه اندازی گردید. در این حالت شکل موج خروجی مدولاتور بر روی اسکوپ و طیف سیگنال بر روی اسپکتروم مشاهده گردید که در شکل‌های ۱۷ و ۱۸ نشان داده شده است. شکل ۱۷ دقیقاً نشان دهنده خروجی یک فیلتر شکل دهی از نوع صعودی کسینوسی می باشد. همچنین طیف آن در شکل ۱۸ گویای این مطلب می باشد، میزان فاکتور rolloff انتخابی برابر ۰/۴ می باشد.



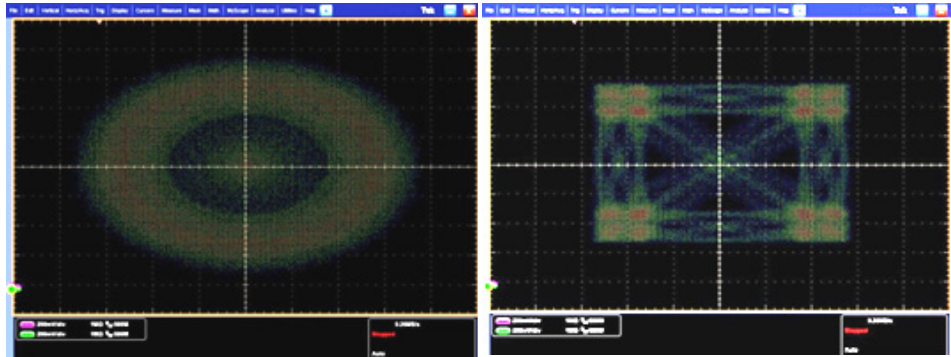
شکل ۱۶. Setup تست مدولاتور

فرورفتگی که در وسط طیف دیده می شود، مربوط به استفاده از المان حذف DC در هنگام اتصال به دستگاه اسپکتروم می باشد. استفاده از این المان جهت جلوگیری از ورود آسیب به دستگاه است.



شکل ۱۷. خروجی شاخه I مدولاتور پس از عبور از DAC  
 شکل ۱۸. طیف فرکانسی خروجی شاخه I مدولاتور پس از عبور از DAC

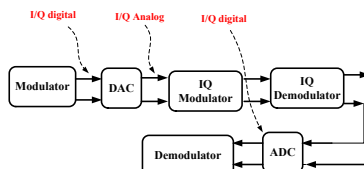
نمودار فلکی در خروجی مدولاتور در دو حالت بدون افسست فرکانس و با افسست فرکانس نیز در شکل های ۱۹ و ۲۰ نشان داده شده است. چرخش نمودار فلکی در شکل ۲۰ نشان دهنده افسست فرکانس اعمالی می باشد.



شکل ۱۹. نمودار فلکی در خروجی مدولاتور ، بدون افسست فرکانس  
 شکل ۲۰. نمودار فلکی در خروجی مدولاتور ، با افسست ۵۰ MHz

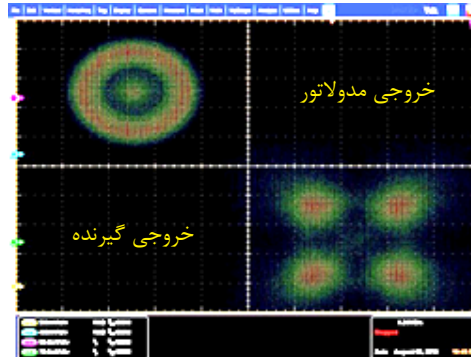
### تست بخشی دیجیتال گیرنده

برای تست گیرنده در باند پایه، می توان سناریوی تست همانند شکل ۲۱ در آزمایشگاه پیاده سازی نمود، در این سناریو بعد از ارسال داده توسط مدولاتور و اعمال آفسست فرکانسی و تضعیف دامنه قابل انتخاب، داده های دیجیتال به بخش مبدل دیجیتال به آنالوگ و مدولاتور آنالوگ IQ ارسال شده و در ادامه در گیرنده بعد از بلوک دمدولاتور آنالوگ IQ و مبدل آنالوگ به دیجیتال به قسمت دیجیتال باند پایه گیرنده منتقل می گردد.

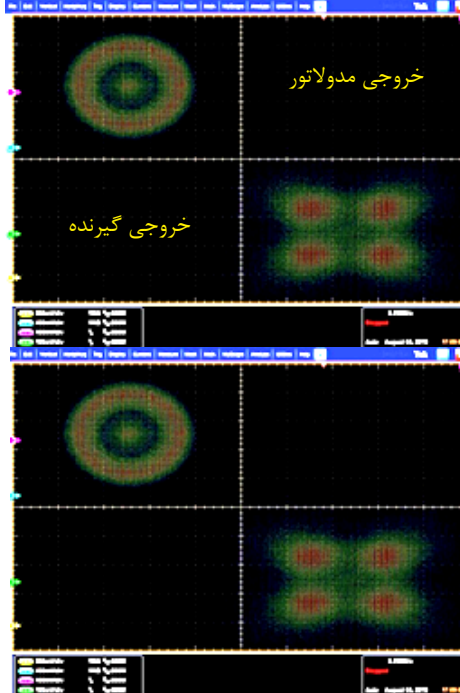


شکل ۲۱. Setup تست باند پایه جهت تست عملکرد گیرنده

با این سناریوی تست می توان با مقایسه بیت های ارسالی و دریافتی عملکرد بخش دیجیتال گیرنده را مورد بررسی قرار داد. نمودار فلکی فرستنده و گیرنده در حالت های مختلف، منجمله اضافه کردن نویز، اضافه کردن شیفت فرکانس توسط اسکوپ مشاهده گردید که چندین حالت از آنها در شکل های ۲۲ و ۲۳ نشان داده شده است.



شکل ۲۲. نمودار فلکی مدولاتور و دمدولاتور با  $E_b/N_0=8,13$  dB و افسست فرکانس برابر  $f_o=-50$  KHz



شکل ۲۳. نمودار فلکی مدولاتور و دمدولاتور با  $E_b/N_0=5,5$  dB و افسست فرکانس برابر  $f_o=+-75$  KHz

در شکل ۲۲ با ایجاد یک افسست فرکانسی  $50$  KHz در فرستنده صحت عملکرد گیرنده را نسبت به پدیده داپلر تست شده است و در ادامه در شکل ۲۳ با افزایش نویز ورودی به سیستم همین وضعیت دوباره تست می گردد.

## جمع بندی

با طراحی و پیاده سازی مدوولتور QPSK مورد اشاره در این مقاله می توان صحت عملکرد زنجیره دریافت ماهواره های سنجنش از دور رایج در کشور را تست نمود. طراحی بگونه ای انجام شده که می توان با توجه به مدل بخش گیرنده ایستگاه زمینی این مدل ماهواره ها امکانات انتخابی مدوولتور (کدگذارها، نوع نگاشت مدولاسیون، نرخ بیت، فیلتر رایج) را فعال یا انتخاب نمود. در ادامه برای شبیه سازی کانال دریافتی، نویز، آفست فرکانسی و تغییر در سطح سیگنال را اعمال نمود.

## مراجع

- [1] Consultative Committee for Space Data System, "Packet Telemetry", tech. rep., CCSDS 102.0-B-5, Blue Book, November 2006
- [2] [http://www.xilinx.com/products/silicon\\_solutions/fpgas/](http://www.xilinx.com/products/silicon_solutions/fpgas/)
- [3] <http://www.altera.com/products/devices/dev-index.jsp>
- [4] T. Pratt, Ch.W. Bostian, J.E. Allnutt , Satellite communications, Third Edition, Wiley 2002
- [5] ALCATEL, "High Rate Multimission modulator- User & Service Manual"
- [6] K.Sam Shanmugam "Digital and Analog Communication Systems" Wiley 1979
- [7] Heinrich Meyr, Marc Moeneclaey, Stefan A. Fechtel, "Digital Communication Receivers - Heinrich Meyr", John Wiley & Sons Inc. 1998
- [8] L. Hanzo, S.X.Ng, T. Keller, W. Webb, "Quadrature amplitude modulation", 2nd edition, John Wiley & Sons Ltd. 2004

