ارائه معماری تلفیقی لایه‌های ۳ و ۴ شبکه بر روی هسته کنترل کننده اترنت و پیاده‌سازی آن بر روی FPGA

امین نادری[۱]*، یوسف درمانی[۲]، علی ناصری[۳]

[۱]کارشناسی الکترونیک دانشگاه صنعتی خواجه‌نصیرالدین طوسی، amin.naderi@kntu.ac.ir

[۲]استادیار دانشکده برق و کامپیوتر، دانشگاه خواجه‌نصیرالدین طوسی

[۳]دانشیار دانشکده برق، دانشگاه جامع امام حسین(ع)

چکیده

در خیلی از کاربردها ازجمله اینترنت اشیاء و همچنین بخش‌های مختلف شبکه‌های فرماندهی و کنترل ضرورت دارد که اطلاعات در بستر شبکه منتقل گردد. در کاربردهایی که FPGA نقش پردازنده دارد، به دلیل محدودیت‌های هزینه و حجم لازم است تا لایه‌های شبکه نیز بر روی FPGA پیاده شوند. همچنین چون تمامی لایه‌ها درون FPGA پیاده می‌شوند امکان رمزگذاری و ... در لایه‌های مختلف شبکه وجود خواهد داشت. هدف از این مقاله طراحی یک گره در شبکه بر اساس استاندارد IEEE802.3 است به صورتی که قابلیت پیاده‌سازی بر روی FPGA داشته باشد. در این طراحی، معماری تلفیقی از سه لایه پیوند داده، شبکه و انتقال مدنظر است. به‌منظور افزایش سرعت و کاهش حجم مورد استفاده از LUT، طراحی به‌صورت خط لوله انجام گرفته است. پروتکل‌های انتخابی در طراحی انجام شده، پروتکل IEEE802.3 برای لایه پیوند داده، پروتکل IPv4 برای لایه شبکه و پروتکل UDP برای لایه انتقال می‌باشد. معماری مذکور بر روی تراشه XC6slx9-2 پیاده‌سازی گردید. طبق نتایج به‌عمل‌آمده در عمل و سنتز نرم‌افزار حدود ۲۵ درصد از حجم سلول‌های منطقی FPGA مصرف شده و سرعت کلاک برنامه ۱۴۰ مگاهرتز به‌دست‌آمده است. نرخ ارسال و دریافت سیستم در حالت پایدار برای اترنت ۱۰۰، حدود ۸۰ مگابیت بر ثانیه و برای اترنت ۱۰ برابر ۱۰ مگابیت بر ثانیه به‌دست آمده است.

کلیدواژه

شبکه، تراشه‌های برنامه پذیر، اترنت، اینترنت، FPGA، Ethernet، IEEE802

مقدمه

توسعه روزافزون زیرساخت‌های ارتباطی و اطلاعاتی بهره‌گیری از قابلیت‌های آن‌ها در کلیه ابعاد زندگی فردی و اجتماعی به دنبال داشته است به صورتی که امروزه در کنار فضای سایبری، فضای ترکیبی فیزیکی – سایبری (CPS)را پدید آورده است. ازجمله فناوری‌های CPS می‌توان به اینترنت اشیاء (IOT) و همچنین بازی‌های حرکتی-مجازی اشاره نمود. یکی از دغدغه‌های

تاریخ دریافت: ۱۳۹۶/۰۹/۲۸ تاریخ پذیرش: ۱۳۹۷/۱۱/۲۳

محققین بهره‌گیری از قابلیت‌ها و سرویس‌های شبکه در تجهیزات عمومی و تخصصی مورد استفاده آحاد مردم است. در این راستا می‌بایست متناسب با پیشرفت شبکه، این تجهیزات قابلیت اتصال به شبکه و تعامل با آن را داشته باشند، به صورتی که این تجهیزات با هزینه کم، راندمان بالا، قابلیت اطمینان بالا و پایداری مناسب به شبکه متصل و با بخش‌های مختلف آن تبادل داده داشته باشند. برای تعامل این تجهیزات در هر سطحی اعم از تجهیزات خانگی یا تجهیزات خاص دفاعی، تجهیزات مرتبط با صنایع مختلف و غیره ضرورت دارد پروتکل استک TCP/IP بر روی برد پردازش با راندمان بالا و حجم کم پیاده‌سازی گردد. پیاده‌سازی تمامی لایه‌ها در FPGA باعث عدم نیاز به مینی کامپیوترها و ... در کاربردهای شبکه می‌شود. استفاده از تراشه‌هایی که تمام لایه‌های شبکه را داخل خود پیاده کرده‌اند نیز یک راه دیگر می‌باشد ولی تراشه‌های موجود توانایی استفاده از حداکثر پهنای باند را ندارند و در کاربردهای با سرعت بالا دچار اختلال خواهند شد. همچنین به دلیل آن که تمامی لایه‌ها توسط کاربر قابل‌کنترل خواهند بود توانایی رمزگذاری، تغییر و یا ذخیره داده در هرکدام از لایه‌ها به‌صورت جدا وجود خواهد داشت. اکنون به بررسی مقاله‌های مرتبط با کاربرد مدنظر می‌پردازیم.

در مرجع [۴] یک هسته UDP/IP طراحی شده است که تنها برای ارتباط مستقیم بین FPGA و کامپیوتر مورد استفاده قرار می‌گیرد. البته در این طراحی در لایه پیوند داده از هسته آماده اترنت ۱۰/۱۰۰/۱۰۰۰ استفاده شده است.

در مرجع [۵] یک هسته UDP/IP به همراه یک هسته کنترل کننده اترنت ۱۰/۱۰۰ پیاده شده است. هسته UDP/IP پیاده شده دارای سه سطح انعطاف‌پذیری کم، متوسط و زیاد می‌باشد؛ که سطح با انعطاف‌پذیری کم تنها برای ارتباط مستقیم بین FPGA و کامپیوتر کاربرد دارد، هم‌چنین سطح با انعطاف‌پذیری زیاد از پروتکل‌هایی نظیر RARP و "TCP Channel" استفاده می‌کند که در این مقاله مدنظر نیستند. سطح متوسط این هسته شباهت زیادی به هسته طراحی‌شده در این مقاله دارد و در بخش ارزیابی، این دو هسته باهم مقایسه خواهند شد.

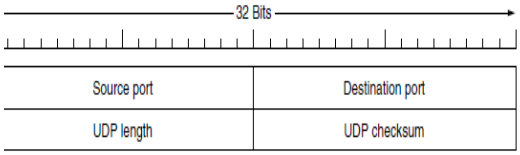
در ادامه، به بررسی ادبیات موضوع مقاله و همچنین معماری پیشنهادی، پیاده‌سازی و ارزیابی عملکرد سیستم پرداخته می‌شود و نتایج کار در بخش نتیجه‌گیری اعلام خواهد شد.

ادبیات موضوع

در این بخش به بررسی لایه شبکه مورد استفاده در معماری مدنظر مقاله و همچنین بررسی FPGA موردنظر پرداخته می‌شود.

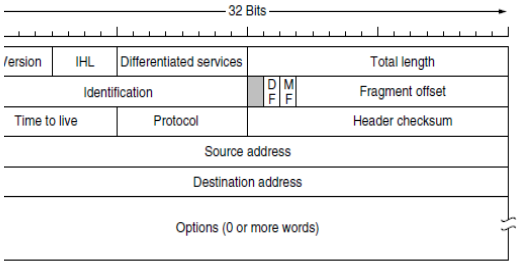
لایه‌ها و پروتکل‌های شبکه

در ابتدا به بررسی لایه انتقال می‌پردازیم. این لایه مسئول تعیین شماره پورتِ بسته‌های لایه کاربرد را دارا می‌باشد. مهم‌ترین پروتکل‌های این لایه، UDP و TCP می‌باشند. پروتکل TCP مبتنی بر برقراری مدار (connection oriented) و پروتکل UDP مبتنی بر دیتا گرام (connection less) است. در شکل سرآیند[1]های پروتکل UDP نشان داده شده است. UDP برخلاف پروتکل TCP، هیچ کنترل جریان، کنترل ازدحام و ارسال مجددی انجام نمی‌دهد. همان‌طور که در شکل ۱ نشان داده شده است سرآیند پروتکل UDP، ۸ بایت است که پس‌ازآن داده‌ها لایه کاربرد قرار می‌گیرند.



شکل ۱. سرآیند پروتکل دیتاگرام کاربر[1]

پس از لایه انتقال، لایه شبکه قرار دارد. مهم‌ترین وظیفه لایه شبکه اختصاص آدرس آی‌پی و مسیریابی بسته‌ها در شبکه می‌باشد. روترها در شبکه مطابق سیاست حاکم بر این لایه اقدام به انتخاب پورت‌های خروجی خود و انتقال بسته‌ها می‌نمایند. آدرس‌دهی در این لایه دارای دو نسخه IPv4 و IPv6 است. شکل ۲ سرآیند لایه مذکور در نسخه IPv4 نشان داده شده است. همان‌طور که در شکل نشان داده شده سرآیند لایه شبکه، بدون استفاده از گزینه‌های اضافی، ۲۰ بایت است.



شکل ۲. سرآیند پروتکل آی پی نسل4 [۱]

سرانجام پس‌ازاین لایه نیز لایه پیوند داده وجود دارد که وظیفه فریم[2] بندی و انتقال بسته روی لایه فیزیکی را برعهده دارد. مهم‌ترین پروتکل‌های این لایه می‌توان به پروتکل اترنت IEEE802.3 اشاره نمود که برای ارسال داده بر روی مدیوم سیمی استفاده می‌گردد[۳]. شکل ۳ سرآیند این پروتکل را نشان می‌دهد. در این پروتکل، علاوه بر استفاده از سرآیند، از پی آی نیز استفاده می‌گردد.

[1] Header

[2] ame

Preamble	SOF	Destination address	Source address	Length	Data	Pad	Check-sum

شکل۳. سرآیند و پی آیند پروتکل IEEE802.3 [۱]

آرایه گیت‌های قابل برنامه ریزی

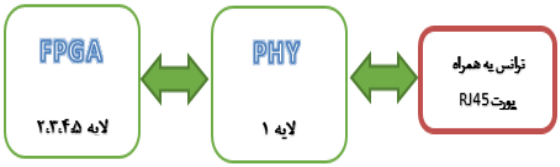
آرایه گیت‌های قابل برنامه ریزی یا به اختصار FPGA ها، آی سی هایی هستند که می‌توانند مدارات دیجیتال را پیاده سازی کنند[۸]. این ویژگی FPGA ها را به انتخاب خوبی برای کاربردهای مبتنی بر پردازش موازی، مصرف توان پایین و سرعت بالا تبدیل کرده است[۱۰]. دو کمپانی معروف تولید کننده FPGA در ایران کمپانی Xilinx و Altera می‌باشند که Xilinx در ایران از محبوبیت بیشتری برخوردار است. FPGA انتخاب شده در این مقاله Xc6slx9-2TQG144C از سری اسپارتان شرکت Xilinx می‌باشد.

ویژگی‌های مهم این قطعه عبارت‌اند از:

۱. دارای ۹۱۵۲ سلول منطقی
۲. دارای ۹۰ کیلوبایت حافظه رم توزیع‌شده
۳. دارای ۳۲×۱۸ کیلوبایت حافظه رم متمرکز
۴. پشتیبانی از هسته حافظه رم دوطرفه

معماری پیشنهادی

بلوک دیاگرام کلی برای تبادل اطلاعات بر روی شبکه با استفاده از FPGA به صورت شکل ۴ است.

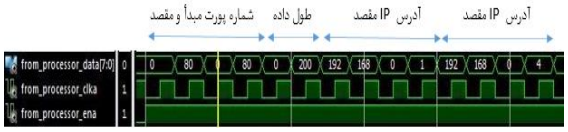


شکل ۴. بلوک دیاگرام کلی برای تبادل اطلاعات در بستر شبکه با FPGA

همان‌طور که در شکل ۴ مشاهده می‌شود، لایه‌های ۲،۳و۴ در داخل FPGA به صورت دیجیتال پیاده می‌شوند. در لایه فیزیکی چون تمامی سیگنال‌ها به صورت آنالوگ منتقل می‌شوند، باید قطعه‌ای استفاده شود که بتواند سیگنال‌های دیجیتال لایه ۲ را به سیگنال‌های آنالوگ لایه فیزیکی تبدیل کند که این کار توسط تراشه‌ای به نام PHY انجام می‌شود. تراشه PHY مد نظر این مقاله تراشه DP838PW محصول شرکت Texas-Instrument انتخاب گردید. برای ارتباط لایه ۲ با لایه فیزیکی پروتکل‌های مختلفی وجود دارد که در این پروژه از پروتکل MII برای برقراری این ارتباط استفاده شده است. پس از آن این سیگنال‌ها توسط یک ترانس به سطح ولتاژ استاندارد تبدیل شده و توسط پورت RJ45 به شبکه متصل می‌گردد. بنابراین کاربر می‌تواند وابسته به کاربرد، لایه ۵ را در FPGA پیاده کرده و در شبکه به تبادل داده بپردازد.

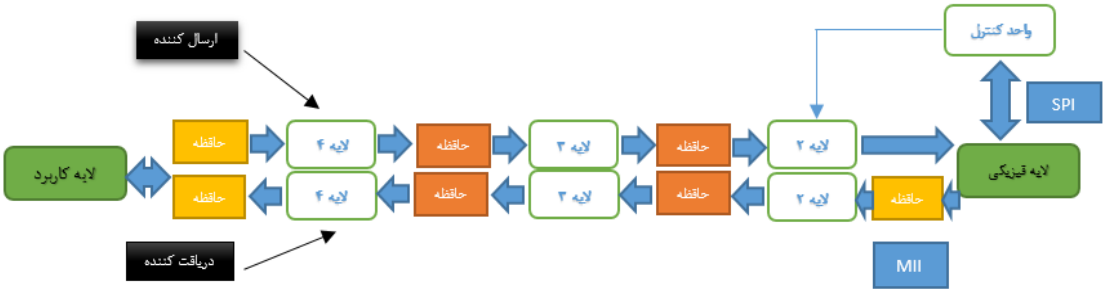
شکل ۵ معماری پیشنهادی برای پیاده‌سازی لایه‌های شبکه را داخل FPGA نشان می‌دهد.

همان‌طور که در شکل ۵ دیده می‌شود معماری دارای دو ماژول فرستنده و گیرنده می‌باشد که قادرند کاملاً جدا از هم و یا وابسته به یکدیگر کار کنند. هنگام وصل کردن پورت RJ45 ابتدا باید خط آنالیز شود تا بتوان سرعت مناسب برای ارسال (۱۰ یا ۱۰۰ مگابیت بر ثانیه)، نیمه دو طرفه یا تمام دو طرفه بودن خط و ... را وابسته به گره ای که در طرف دیگر خط است به دست آورد که این کار توسط PHY انجام می‌شود. واحد کنترل این اطلاعات را از PHY استخراج کرده و خودش را با نوع خط تطبیق می‌دهد. لایه ۵ هنگامی‌که می‌خواهد داده‌ای را ارسال کند باید آدرس IP مبدأ و مقصد، شماره پورت مبدأ و مقصد و تعداد بایت داده را نیز همراه داده ارسال کند؛ که این اطلاعات برای تکمیل سرآیند لایه ۴ مورد استفاده قرار خواهد گرفت. داده‌های ارسالی در بافر حلقوی ورودی ذخیره می‌شوند تا لایه ۴ بتواند این داده‌ها را استخراج کرده و شروع به ارسال آن کند. شکل ۶ نمونه‌ای از یک بسته دریافتی از لایه کاربرد با ۲۰۰ بایت داده را نشان می‌دهد.



شکل۶. بسته ارسالی از لایه کاربرد با ۲۰۰ بایت داده

همان‌طور که در شکل ۶ مشاهده می‌شود لایه کاربرد ابتدا شماره پورت مبدأ و مقصد، طول داده و آدرس IP ها را می‌فرستد و در ادامه داده را ارسال می‌نماید.



لایه ۴ پس از دریافت این بسته و با استفاده از آن سرآیند مربوط به خود را شامل شماره پورت مبدأ و مقصد، طول بسته به همراه سرآیند و کد تشخیص خطا را به بسته اضافه تکمیل کرده و بسته را تحویل لایه پایین‌تر می‌دهد. به این صورت که داده را در حافظه واسط بین خود و لایه پایین‌تر می‌ریزد تا لایه پایینی بتواند بسته را خوانده و سرآیند مربوط به خود را اضافه کند. پس از اینکه بسته به سلامت به لایه پایین‌تر تحویل داده شد، لایه ۴ شروع به پردازش بسته جدید می‌کند. این پروسه برای بقیه لایه‌ها نیز بر قرار است. یعنی هر لایه پس از دریافت بسته سرآیند خود را محاسبه می‌کند و آن را تحویل لایه پایینی می‌دهد و سرانجام پس از آماده شدن بسته در لایه پیوند داده، بسته در ارتباط تمام دو طرفه سریعاً ارسال می‌شود ولی در ارتباط نیمه دو طرفه در صورتی که بسته‌ای در حال دریافت باشد، لایه پیوند داده ابتدا مطمئن می‌شود که دریافت بسته به اتمام رسیده باشد و سپس شروع به ارسال بسته می‌کند. حافظه‌های انتخابی برای معماری پیشنهادی، تماماً از جنس Dual Port RAM می‌باشند تا لایه‌های بالا و پایین آن‌ها بتوانند به‌راحتی به آن‌ها دسترسی داشته باشند. حافظه‌های زرد رنگ از جنس بافر حلقوی می‌باشند و حجم آن‌ها وابسته به نوع FPGA انتخابی می‌تواند در حد چندین بسته اطلاعات انتخاب شود. درحالی‌که لایه‌های نارنجی از جنس حافظه معمولی می‌باشند و حجم آن‌ها تنها به اندازه بیشترین حجم یک بسته(۱۵۰۰ بایت به همراه سرآیند هر لایه) هست. استفاده از بافر حلقوی به منظور پوشش اختلاف سرعت بین لایه فیزیکی و لایه ۲ در سمت دریافت کننده و هم‌چنین بین لایه کاربرد و لایه ۴ در هر دو سمت بکار رفته است. لازم به ذکر است که حافظه‌های میانی نیز می‌توانند از جنس بافر حلقوی باشند ولی به دلیل سرعت بالای سیستم این کار تغییر چندانی در کارکرد ایجاد نخواهد کرد.

در حالت دریافت نیز نظیر حالت ارسال تمام این مراحل به صورت وارونه انجام خواهد شد. به این صورت که هر لایه سرآیند مربوط به خود بررسی می‌کند و در صورت درست بودن سرآیند، آن را به لایه بالاتر تحویل می‌دهد تا نهایتاً بسته به لایه کاربرد تحویل داده شود. از مهم‌ترین ویژگی‌های این معماری می‌توان به موارد زیر اشاره کرد:

لایه پیوند داده دارای یک ARP Table[3] می‌باشد که آدرس‌های IP به همراه آدرس‌های MAC متناظر آن‌ها در آن ذخیره می‌شود. هنگامی که بسته‌ای تحویل این لایه داده می‌شود ابتدا آدرس IP بسته استخراج می‌شود، سپس این لایه به دنبال آدرس MAC بسته مورد نظر در ARP Table می‌گردد، در صورتی که آدرس MAC پیدا شد جایگاه مخصوص آن در سرآیند پر می‌شود و ارسال بسته شروع می‌شود ولی در صورتی که آدرس MAC متناظر با IP پیدا نشد، یک پیغام ARP Request برای به دست آوردن آدرس MAC مورد نظر ارسال می‌شود. این کار به تعداد قابل تنظیم و با بازه‌های زمانی قابل تنظیم از چند میلی ثانیه تا چند صد میلی ثانیه تکرار می‌شود. در صورت اینکه پیغام ARP Responseدر سمت گیرنده دریافت شود، ARP Table آپدیت می‌شود و فرستنده بسته را ارسال می‌کند ولی اگر این پیغام دریافت نشود فرستنده بسته را Drop می‌کند.

طراحی به صورت خط لوله انجام گرفته است به این صورت که هر لایه دارای یک پرچم[4] Busy می‌باشد که نشان می‌دهد که آیا لایه مورد نظر در حال پردازش اطلاعات می‌باشد. به عنوان مثال هنگامی که داده لایه Network آماده تحویل به حافظه میانی باشد، این لایه ابتدا بررسی می‌کند که آیا لایه Data Link مشغول است یا خیر. در صورتی که لایه بعدی مشغول باشد یعنی اینکه هنوز پردازش بسته قبلی انجام نشده است، پس بنابراین لایه Network صبر می‌کند تا پرچم Busy لایه Data Link غیرفعال شود و سپس داده را به منظور تحویل به لایه پایین‌تر در حافظه میانی قرار می‌دهد.

در طول تبادل بسته در ارتباط نیمه دو طرفه، لایه پیوند داده همیشه چک می‌کند که تبادل بسته با تداخل[5] روبه‌رو نشود. در صورت مشاهده تداخل اگر بسته در حال دریافت باشد، بسته دریافتی Drop می‌شود اگر در حال ارسال باشد، ارسال بسته متوقف می‌گردد. لازم به ذکر است امروزه تقریباً تمامی دستگاه‌ها از ارتباط تمام دو طرفه استفاده می‌کنند و ارتباط نیمه دو طرفه به دلیل راندمان پایین تقریباً کاربرد خود را از دست داده است. طراحی هر لایه به‌صورت جدا، این امکان را به طراح می‌دهد که در هر لایه بتواند به راحتی هر تغییراتی را که بخواهد اعمال کند. عرض باس انتقال داده بین لایه‌ها به‌صورت ۸ بیتی پیاده شده است.

پیاده‌سازی و ارزیابی

طراحی معماری پیشنهادی بخش قبل با نرم‌افزار ISE 14.7، محصول شرکت Xilinx انجام شد. جدول ۱ نتایج گزارش سنتز کد روی تراشه Xc6slx9-2tqg144c را نشان می‌دهد.

جدول۱. نتایج سنتز روی تراشه Spartan 6

حجم استفاده شده از Slice	٪۲۵
حجم استفاده شده از Register	٪۷
ماکزیمم فرکانس کار	۱۴۰MHz
تعداد حافظه‌های استفاده شده	۵

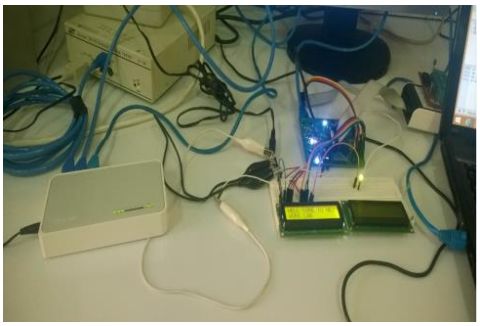
3 Address Resolution Protocol Table
4 Flag
5 Collision

No.	Time	Source	Destination	Protocol	Length	Info
1	0.000000	Xircom_7b:ea:80	Broadcast	ARP	60	Who has 192.168.0.4? Tell 192.168.0.1
2	0.000034	QuantaCo_a9:a1:9f	Xircom_7b:ea:80	ARP	42	192.168.0.4 is at 04:7d:7b:a9:a1:9f
3	0.335485	192.168.0.1	192.168.0.4	QUIC	73	Payload (Encrypted), CID: 18446744073709551615, Seq: 35482021872416
4	2.237768	192.168.0.4	192.168.0.255	NBNS	92	Name query NB ISATAP<00>
5	2.238091	fe80::1d1:65bf:245d…	ff02::1:3	LLMNR	86	Standard query 0x97bd A isatap

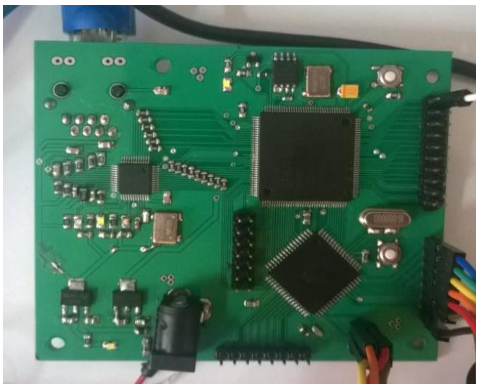
شکل ۹. نمایش بسته‌های ارسالی از FPGA به لپ‌تاپ توسط نرم‌افزار Wireshark

همان‌طور که در جدول ۱ آمده است معماری طراحی شده حدود ۲۵ درصد از حجم FPGA را اشغال کرده است. بقیه حجم FPGA می‌تواند برای کاربردهای دیگر نظیر طراحی لایه کاربرد و ... مورد استفاده قرار بگیرد. برای ارزیابی عملکرد شرایط تست عملی به این صورت تعیین شد که برد FPGA به همراه یک مودم آزمایشگاهی ITS1000 و یک کامپیوتر به سوییچ شبکه متصل شده و به تبادل داده می‌پردازند. بسته‌های ارسالی از FPGA توسط مودم آزمایشگاهی یا توسط نرم‌افزار Wireshark در کامپیوتر قابل مشاهده‌اند. شکل ۷ تجهیزات تست و شکل ۸ نمایی از برد طراحی شده را نشان می‌دهد.

نتایج ارزیابی معماری پیشنهادی بر روی تراشه فوق‌الذکر، نشان می‌دهد که حداکثر نرخ تبادل داده در سیستم (در حالت پایدار) در اترنت ۱۰۰ برابر ۸۰ مگابیت بر ثانیه و در اترنت ۱۰ برابر ۱۰ مگابیت بر ثانیه است.



شکل۷. شرایط تست عملی



شکل ۸. نمایی از برد طراحی شده

برای ارسال بسته از آدرس ۱۹۲,۱۶۸,۰,۱(آدرس IP برد که به صورت دستی تنظیم شده است) به آدرس IP لپ‌تاپ که به صورت دستی روی ۱۹۲,۱۶۸,۰,۴ تنظیم شده است همانطور که در شکل ۹ مشاهده می‌شود FPGA ابتدا یک پیغام ARP Request ارسال می‌کند و پس از دریافت پیغام ARP Response از سوی لپ‌تاپ ارسال داده شروع می‌شود.

همان‌طور که در مقدمه بیان شد، طراحی پیشنهادی شباهت زیادی به معماری مرجع [۵] با انعطاف‌پذیری متوسط دارد. به‌منظور مقایسه عملکرد معماری پیشنهادی با نتایج مقاله مرجع [۵]، نتایج سنتز برنامه بر روی تراشه Xc3s200-4tqg به همراه ویژگی‌های هر معماری در جدول ۲ آمده است. همچنین به‌منظور ارزیابی جامع‌تر، نتایج با مقاله مرجع [۴] نیز مقایسه گشته است. لازم به ذکر است که در [۴] لایه پیوند داده به‌صورت هسته آماده پیاده‌سازی شده است و در نتایج جدول ۲ این امر لحاظ نشده است.

همان‌طور که در جدول ۲ مشاهده می‌شود حجم معماری تقریباً دو برابر حجم هسته [۵]دارد درحالی‌که سرعت سیستم تقریباً ۲/۳ برابر شده است. حجم جدول ARP هر چه بیشتر باشد، سیستم آدرس مکِ IP های بیشتری را ذخیره خواهد کرد. حجم این جدول در هسته [۵]برابر ۴ می‌باشد درحالی‌که در معماری پیشنهادی این مقدار برابر ۸ تعبیه شده است و به‌راحتی قابل افزایش یا کاهش است. در کاربردهایی که تعداد زیادی گره باهم در ارتباط هستند می‌توان حجم این جدول را افزایش داد و درحالی‌که تعداد گره‌ها کم می‌باشند، می‌توان این جدول را کوچک‌تر کرد. [۵] از پروتکل ICMP نیز در لایه شبکه خود استفاده می‌کند. درحالی‌که این پروتکل در معماری پیشنهادی تعبیه نشده است در عوض مشاهده می‌شود که بیشترین طول بسته‌ای که [۵]می‌تواند ارسال یا دریافت کند برابر ۲۵۶ بایت است و هم‌چنین این هسته تنها از حالت تمام دوطرفه پشتیبانی می‌کند درحالی‌که طراحی پیشنهادی محدودیتی روی طول بسته ارسالی و دریافتی ندارد و هم‌چنین از حالت نیمه دوطرفه نیز پشتیبانی می‌کند.

برای مقایسه هسته طراحی شده با [۴] باید گفت که هسته طراحی شده فقط در لایه شبکه کار می‌کند و برای پیاده‌سازی لایه پیوند داده از هسته آماده استفاده شده است. بنابراین اگر ملاحظه می‌شود که حجم هسته فلان خیلی کمتر از هسته طراحی‌شده می‌باشد به این دلیل است که لایه پیوند داده در نظر گرفته نشده است.

نتیجه‌گیری

در این مقاله معماری مبتنی بر عملکرد پایپ لاین لایه‌های شبکه برای پیاده‌سازی روی FPGA ارائه شد و سپس با نرم‌افزار ISE14.7 طراحی و سنتز شد نتایج بررسی عملکرد معماری مذکور در مقایسه با نتایج مقاله [۵] حاکی از آن است که معماری پیشنهادی با حجم مصرفی دو برابر، سرعت دو برابر را به دست آورده است. درحالی‌که در طول بسته‌های دریافتی و جدول ARP از انعطاف‌پذیری بیش‌تری برخوردار است. همچنین با تست عملی معماری بر روی تراشه Xc6slx9-2tqg144c ماکزیمم سرعت پایدار برای تبادل داده برای اترنت ۱۰۰ برابر ۸۰ مگابیت

جدول۲. مقایسه و ارزیابی هسته طراحی شده با نتایج [۴] و [۵]

توضیحات	معماری پیشنهادی	معماری[۴]	معماری[۵]	
هرچه حجم Slice استفاده شده کمتر باشد بهتر است.	۲۰۷۶	۵۸۲	۱۰۲۲	حجم slice استفاده شده
هرچه تعداد حافظه استفاده شده کمتر باشد بهتر است.	۵	۰	۳	تعداد حافظه استفاده شده
هرچه فرکانس کاری هسته بیشتر باشد بهتر است.	۱۴۰MHz	۱۲۸MHz	۶۰MHz	ماکسیمم فرکانس کار
یک هسته کامل باید بتواند هر دو مد Full و Half را پشتیبانی کند.	Full\Half	Full\Half پیاده‌سازی سخت‌افزاری	Full	حالت خط[۶]
بیشترین طول بسته داده ۱۵۱۸ می‌باشد که هرچه طول بسته مورد پشتیبانی بیشتر باشد بهتر است.	۱۵۱۸	۱۵۱۸	۲۵۶	طول بسته(بایت)
یک هسته کامل باید بتواند هر دو سرعت ۱۰ و ۱۰۰ را پشتیبانی کند.	۱۰/۱۰۰	۱۰/۱۰۰ پیاده‌سازی سخت‌افزاری	۱۰/۱۰۰	سرعت
هرچه حجم این حافظه بیشتر باشد تعداد پیام‌های ARP فرستاده‌شده برای ارتباط با سایر گره‌های شبکه کمتر می‌باشد.	۸ گره	۱ گره	۴ گره	حجم جدول ARP
در صورت پشتیبانی هسته از این پروتکل، کاربری هسته آسان تر خواهد شد.	ندارد	ندارد	دارد	پشتیبانی از ICMP

بر ثانیه و برای اترنت ۱۰ برابر ۱۰ مگابیت بر ثانیه حاصل گردید. با توجه به حجم استفاده شده از FPGA می‌توان در کاربردهایی که لازم است تا FPGA به شبکه متصل شود، به‌جای استفاده از ماژول شبکه، لایه‌ها را به‌راحتی داخل FPGA پیاده کرده تا علاوه بر کاهش هزینه و حجم، امکان رمزگذاری و تغییر هر لایه به‌صورت دلخواه به وجود آید. این کار مصارف زیادی در زمینه‌های IOT، ساخت سوییچ شبکه با مصارف خاص خواهد داشت.

6

مراجع

[1] Andrew S. Tanenbaum and David J. Wetherall “Computer Networks”, *Boston,* Fifth Edition, pp. 283 439, 542, 557.

[2] James F.Kuorse and Keith W.Ross, “Computer Networking A top down approach” Sixth Edition pp. 230-234

[3] Gary A. Donahue, “Network Warrior” June 2007, O'Reill, pp 5

Ethernet connectivity” in Proceeding of the 23rd IEEE NORCHIP Conference , November 2008, pp. 2,3,7

[6] C.Borrelli, “IEEE 802.3 Cyclic Redundancy Check” Virtex Series and Virtex-II Families Application Note, March 2001, pp 3-8.

[7] Smith, Lucie; Lipner, Ian, “Free Pool of IPv4 address Space Deplated” Number resource organization, February 2011, pp.232

[8] Pong p.Chu, “FPGA PROTOTYPING BY