

## ارائه XORهای جدید در پیاده‌سازی کمپرسور ۴ به ۲ با تکنولوژی نانولوله‌های کربنی

المیرا توکلی<sup>۱</sup>، مهدی امینیان<sup>۲</sup>

<sup>۱</sup> کارشناسی ارشد معماری سیستم‌های کامپیوتری، دانشگاه گیلان، Elmira.tavakkoli@yahoo.com

<sup>۲</sup> استادیار گروه مهندسی کامپیوتر، دانشکده فنی، دانشگاه گیلان

### چکیده

در حوزه‌ی الکترونیک دیجیتال، دستیابی به مدارهایی با سرعت بیشتر و توان مصرفی کمتر، بسیار حائز اهمیت است. از این رو، بهبود پیاده‌سازی مدارهای محاسباتی مانند ضرب‌کننده که به طور گسترده در ریزپردازنده‌ها، پردازش سیگنال و بسیاری از الگوریتم‌های رمزنگاری مورد استفاده قرار می‌گیرد، مورد توجه است. علاوه بر این، کمپرسورها مهم‌ترین واحد پیاده‌سازی در ضرب‌کننده‌ها هستند که در بین کمپرسورهای مختلف، کمپرسور ۴ به ۲ یکی از پرکاربردترین روش‌ها برای پیاده‌سازی است. از طرفی، پیاده‌سازی این کمپرسور کاملاً به گیت‌های XOR بستگی دارد. لذا، وجود یک طراحی مناسب برای XOR در بهبود عملکرد کمپرسور ۴ به ۲ موثر است و می‌تواند کارآیی کل سیستم ضرب‌کننده را بهبود بخشد. در این مقاله، طراحی کمپرسور ۴ به ۲ براساس گیت XOR پیشنهادی با ترانزیستورهای نانولوله کربنی ارائه شده است که نتایج آن در تکنولوژی ۳۲ نانومتر CNTFET شبیه‌سازی شده است. مقایسه نتایج حاصل از پیاده‌سازی با بهترین طرح‌های موجود نشان می‌دهد طراحی کمپرسور ارائه شده ضمن کاهش تعداد ترانزیستورهای مدار، ۴/۳۱ درصد تاخیر، ۴۵/۹۹ درصد توان مصرفی و ۴۷/۷۲ درصد حاصل ضرب توان در تاخیر را نسبت به کمپرسورهای موجود بهبود می‌دهد.

### کلیدواژه

نانولوله کربنی، گیت XOR، کمپرسور ۴ به ۲، ضرب‌کننده، نانوفناوری.

### مقدمه

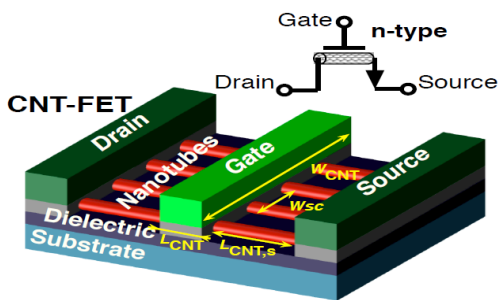
از طرفی، در بین روش‌های مختلف برای انجام عمل ضرب، استفاده از کمپرسور<sup>۳</sup> به منظور کاهش تاخیر، توان و مساحت، از همه متداول‌تر است. اما آنچه که حائز اهمیت است وجود گیت-های XOR-XNOR در طراحی کمپرسور است. لذا، طراحی XORهایی با سرعت بالا و توان پایین، باعث بهبود کارآیی مدارهای کمپرسور می‌شود؛ در نتیجه، افزایش سرعت کمپرسور و کاهش توان مصرفی آنها، به تولید ضرب‌کننده‌هایی با کارآیی بالاتر می‌انجامد [۲]. علاوه بر این، استفاده از تکنولوژی مناسب برای طراحی گیت XOR و به دنبال آن طراحی کمپرسور، باعث بهبود قابل توجهی در کارآیی مدارهای ضرب‌کننده در مقیاس بزرگ می‌شود. لذا، با

ضرب‌کننده‌ها، عناصر اساسی در مدارهای مختلف، به ویژه در واحد محاسبات ریزپردازنده‌ها و پیاده‌سازی الگوریتم‌های پردازش تصویر (DSP) هستند. از این رو، سرعت ضرب‌کننده‌ها یک عامل بسیار مهم در تعیین کارآیی ریزپردازنده‌ها است [۱]. هر ضرب‌کننده شامل سه بخش اساسی است: بخش تولید رقم نقلی<sup>۱</sup> (PPG)، بخش کاهش رقم نقلی<sup>۲</sup> (PPR) و بخش جمع‌کننده‌ی نهایی<sup>۳</sup> (CPA)؛ که در این بین، بخش کاهش رقم نقلی بیشترین مساحت اشغالی و بیشترین توان مصرفی را دارد [۲].

<sup>۳</sup> Final carry propagating addition  
<sup>۴</sup> Compressor

<sup>۱</sup> Partial product generator  
<sup>۲</sup> Partial product reduction

عنوان کانال ترانزیستور استفاده می‌کند، ترانزیستورهای تک الکترونی (SET)، Fin-FET ها که توسط اینتل بیان شده است، تکنولوژی‌های چند بعدی مثل ترانزیستورهای مبتنی بر گرافن و یا MOS<sub>2</sub>، Spin-FET ها و ترانزیستورهای نانو لوله‌های کربنی (CNTFET) که توسط IBM معرفی شده است، اشاره کرد [۶،۵]. در این بین، CNTFET به دلیل ویژگی‌های ذاتی عالی مانند تحرک پذیری خوب حامل‌های بار، انتقال جریان به صورت شبه بالستیک، هدایت گرمایی خوب و از همه مهم‌تر، داشتن ساختاری مشابه با فناوری CMOS، یک تکنولوژی امیدبخش به عنوان جایگزینی مناسب برای ماسفت‌های سیلیکونی هم در بخش آکادمیک و هم در بخش صنعت است [۸،۷]. ترانزیستورهای مبتنی بر نانولوله، با قرار دادن نانولوله به عنوان کانال در ترانزیستورهای ماسفت، به وجود می‌آید که در شکل ۱ نشان داده شده است [۹].



شکل ۱. نمایی از ساختار CNTFET [۹]

هر ترانزیستور مبتنی بر نانولوله، می‌تواند از یک یا بیشتر نانولوله تشکیل شود که از غلتاندن ورقه‌ی گرافنی حول بردار کایرال  $Ch=ma1+na2$  بدست می‌آید که  $(m,n)$  اعداد صحیح و  $(a1,a2)$  بردارهای پایه می‌باشند؛ به طوریکه اگر  $n$  برابر با صفر،  $m$  یک عدد صحیح و زاویه‌ی بین دو بردار  $(a1,a2)$  برابر با صفر باشد، آنگاه نانولوله خاصیت نیمه هادی خواهد داشت و می‌توان از آن در ساخت ترانزیستور استفاده کرد [۹].

از ویژگی‌های مهم دیگر CNTFET، تغییر راحت ولتاژ آستانه  $(V_{th})$  است که با تغییر قطر نانولوله امکان‌پذیر است و باعث انعطاف‌پذیری CNTFET در طراحی مدارهای دیجیتال پرسرعت می‌شود. قطر یک نانولوله از رابطه (۱) بدست می‌آید:

$$D_{CNT} = \frac{a}{\pi} \sqrt{m^2 + n^2 + mn} \quad (1)$$

توجه به محدودیت‌های ماسفت<sup>۵</sup>، استفاده از تکنولوژی‌های نوظهور مانند نانولوله‌های کربنی (CNT)، می‌تواند نقش مؤثری در زمینه‌ی طراحی مدار داشته باشد [۳]. بنابراین، در این پژوهش، با توجه به ویژگی‌های فوق‌العاده در نانولوله‌های کربنی که در ادامه بیان می‌شود، طراحی گیت‌های XOR و مدارهای کمپرسور پیشنهادی در سطح ترانزیستور و براساس تکنولوژی ترانزیستورهای اثر میدان نانولوله‌ی کربنی (CNTFET) انجام شده است.

در ادامه، بخش ۲ به معرفی نمایی کلی از CNTFET می‌پردازد. بهترین طراحی‌های موجود از XOR های دو ورودی و همچنین، XOR پیشنهادی در بخش ۳ نشان داده شده است. کمپرسور پیشنهادی در بخش ۴ با کمپرسورهای موجود مقایسه می‌شود. همچنین در بخش ۵، شبیه‌سازی‌های انجام شده و نتایج آن نشان داده می‌شود و در نهایت در بخش ۶، نتیجه‌گیری حاصل از مقاله بیان می‌شود.

## ترانزیستورهای نانولوله کربنی

کاهش اندازه‌ی ترانزیستورهای ساخته شده بر روی مدارهای مجتمع در تکنولوژی CMOS و افزایش تعداد آنها روی تراشه، حدود چهار دهه است که طبق قانون مور همچنان برقرار است. در سال ۱۹۶۵، گوردون مور پیش‌بینی کرد که تعداد ترانزیستورهای روی سطح یک تراشه در هر دو سال، دو برابر خواهد شد. از این رو، تولیدکنندگان تراشه برای رسیدن به سرعت بیشتر، اندازه‌ی تراشه‌ها را به طور مداوم کاهش دادند. این کاهش اندازه که هم در جهت طولی (کاهش فاصله‌ی بین سورس و درین) و هم در جهت ضخامت (کاهش لایه‌ی اکسید گیت) انجام می‌شود، باعث بروز مشکلاتی در طراحی مدارهای پایدار<sup>۷</sup> مانند افزایش جریان‌های نشتی به طور نمایی، افزایش توان مصرفی، افزایش هزینه‌های ساخت و خنک سازی تراشه در تکنولوژی CMOS شده است. بنابراین، طبق پیش‌بینی ITRS، ساخت مدارهای سیلیکونی در سال ۲۰۲۰ به محدودیت می‌رسد که صنعت نیمه‌هادی‌ها را ناگزیر به انتخاب جایگزینی برای CMOS می‌کند [۴،۳].

محدودیت‌های پیش‌بینی شده برای فرآیند کوچک‌سازی<sup>۸</sup> ترانزیستور در صنعت میکروالکترونیک، منجر به ظهور زمینه‌ی تحقیقاتی جدید زیر ۱۰ نانومتر و در حوزه‌ی فناوری نانو شده است که از آن جمله می‌توان به تکنولوژی آتاماتای سلولی کوانتومی (QCA)، ترانزیستورهای اثر میدان که از نانو وایر<sup>۹</sup> به

<sup>۸</sup> Scaling  
<sup>۹</sup> Nano-wire

<sup>۵</sup> MOSFET  
<sup>۶</sup> Carbon Nano-tube  
<sup>۷</sup> Robust

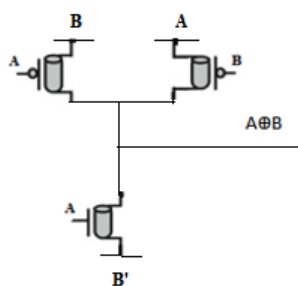
مختلف، پیاده‌سازی‌های متفاوتی از آن در مقالات مختلف بیان شده است [۱۰]. از این‌رو، تعدادی از پرتعدادترین گیت‌های XOR دو ورودی به عنوان بنچ‌مارک<sup>۱۲</sup> برای مقایسه با مدل‌های پیشنهادی در نظر گرفته شده است.

یکی از جدیدترین طراحی‌ها برای XOR، مدل شش ترانزیستوری است که در مرجع [۱۱] بیان شده است. گیت XOR ارائه شده در این مقاله، از دو گیت معکوس‌کننده<sup>۱۳</sup> و یک گیت انتقال، در تکنولوژی ترانزیستورهای اثر میدان نانولوله‌های کربنی تشکیل شده است. در مرجع [۱۲]، گیت XOR در تکنولوژی CMOS معرفی شده که به منظور مقایسه‌ی دقیق، طرح پیشنهادی در قالب CNTFET در این پژوهش ارائه شده است. این مدل مبتنی بر منطق دو ترانزیستور عبور (DPL) است که عیب عمده‌ی آن، اندازه‌ی بزرگ گیت است که از ۱۰ ترانزیستور تشکیل شده است.

مدل ارائه شده‌ی دیگر، مربوط به مرجع [۱۳] است که به منظور مقایسه‌ی دقیق، طرح پیشنهادی آن در قالب CNTFET در این پژوهش ارائه شده است. در [۱۳]، گیت XOR شامل شش ترانزیستور است که از سه معکوس‌کننده به صورت متوالی<sup>۱۴</sup> به وجود می‌آید. مشکل اصلی این مدار، وجود چند طبقه به صورت متصل به هم است که باعث افزایش تاخیر مدار و توان مصرفی، به ویژه در مدارهایی با سطح ولتاژ پایین می‌گردد.

### مدل XOR پیشنهادی

گیت‌های XOR پیشنهادی در این مقاله، در دو طرح مدل-۱ و مدل-۲ و در تکنولوژی ترانزیستورهای اثر میدان نانولوله‌های کربنی ارائه شده است که به ترتیب در شکل ۳(الف) و ۳(ب) آورده شده است.



(الف)

که (m,n) اعداد صحیح بردار کایرال و a فاصله‌ی بین دو اتم کربن است که حدود ۲/۴۹ آنگستروم می‌باشد. همچنین، ولتاژ آستانه در یک نانولوله بر اساس رابطه (۲) محاسبه می‌شود:

$$V_{th} \approx \sqrt{\frac{3}{e}} \frac{a V_{\pi}}{D_{CNT}} \approx \frac{0/43}{D_{CNT} (nm)} \quad (2)$$

که در رابطه (۲)،  $V_{\pi}$  انرژی یک پیوند کربن و e، بار یک الکترون است [۹،۸].

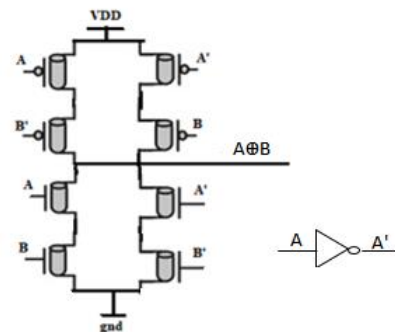
### XORهای دو ورودی

گیت‌های OR انحصاری (XOR) و NOR انحصاری (XNOR) از بخش‌های اساسی در بسیاری از سیستم‌های دیجیتال هستند که به‌طور گسترده در سیستم‌های بررسی بیت توازن<sup>۱۰</sup>، مقایسه-کننده‌ها<sup>۱۱</sup>، مدارهای محاسباتی، الگوریتم‌های رمزنگاری به ویژه الگوریتم AES، مدارات تشخیص و تصحیح خطا، FPGA و کمپرسورها استفاده می‌شوند [۱۰]. در بسیاری از این سیستم‌ها، گیت‌های XOR بخشی از مسیر بحرانی هستند که تاثیر مهمی در تاخیر کلی مدار دارند. بنابراین، بهبود کارایی گیت XOR منجر به بهبود عملکرد کل سیستم می‌شود [۱۰].

در ادامه، بررسی XORهای دو ورودی که به‌طور متداول در طراحی مدارات مختلف بکار می‌روند و مدل‌های پیشنهادی، نشان داده شده است.

### بررسی XORهای موجود

تابع پیاده‌سازی گیت XOR، به صورت  $A \oplus B = A'B + AB'$  می‌باشد. به‌طور کلی، یک XOR دو ورودی مرسوم (C-XOR) از دوازده ترانزیستور تشکیل شده است که در شکل ۲ نشان داده شده است.



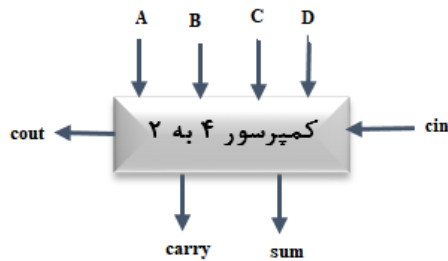
شکل ۲. XOR دو ورودی مرسوم (C-XOR)

از طرفی، استفاده از مدل (C-XOR) با این حجم از ترانزیستور در سیستم‌هایی با مقیاس وسیع، علاوه بر افزایش مساحت مدار، توان سیستم را نیز به شدت بالا می‌برد. لذا، به تناسب کاربردهای

<sup>۱۳</sup> Inverter  
<sup>۱۴</sup> Inverter\_based XOR

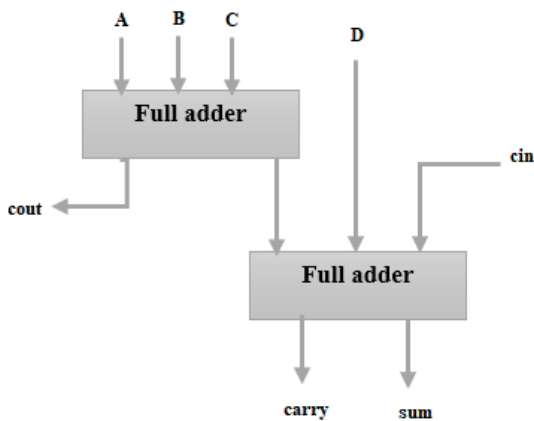
<sup>۱۰</sup> Parity checker  
<sup>۱۱</sup> Comparator  
<sup>۱۲</sup> Benchmark

خروجی sum، carry و cout دارد که در شکل ۴ نشان داده شده است [۱۷].



شکل ۴. دیاگرام کمپرسور ۴ به ۲

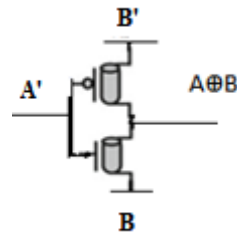
در کمپرسور ۴ به ۲، ورودی cin، یک خروجی از کمپرسور قبلی و خروجی cout، یک ورودی برای کمپرسور بعدی است. یک کمپرسور ۴ به ۲ در حالت معمول، به صورت دو جمع‌کننده<sup>۱۷</sup> سری مانند شکل ۵ پیاده‌سازی می‌شود که تابع ریاضی آن در رابطه (۳) نشان داده شده است [۱۸].



شکل ۵. کمپرسور ۴ به ۲ مرسوم

$$A + B + C + D + cin = sum + 2 \times (carry + cout) \quad (3)$$

این پیاده‌سازی از کمپرسور، بیشترین تاخیر را دارد که در سطح گیت، به صورت تاخیر دو جمع‌کننده (2ΔFA) و یا تاخیر چهار گیت XOR (4ΔXOR) در نظر گرفته می‌شود. لذا، با توجه به اینکه از کمپرسور در مدارهای بزرگتر مانند ضرب‌کننده‌ها استفاده می‌شود، این میزان از تاخیر بسیار قابل توجه است. بنابراین، با تجزیه‌ی شکل ۵ به ساختارهای مختلف، میزان تاخیر در یک کمپرسور ۴ به ۲، حداقل ۲۵ درصد کمتر از حالت معمولی می‌شود و به تاخیر 3ΔXOR کاهش می‌یابد [۱۸].



(ب)

شکل ۳. XOR های پیشنهادی (الف). مدل-۱ و (ب). مدل-۲.

گیت پیشنهادی مدل-۱ از پنج ترانزیستور تشکیل شده است که بخش بالابر<sup>۱۵</sup> آن یک Semi-XOR و بخش پایین‌بر<sup>۱۶</sup>، یک ترانزیستور عبور است. در این مدل، هنگامی که  $AB=01/10$  باشد، منطق "یک" و وقتی  $AB=11$  باشد، منطق "صفر" به خروجی می‌رود. تنها در حالت  $AB=00$ ، از بخش بالابر، صفر ضعیف عبور می‌کند که با تغییر قطر نانولوله و اندازه‌ی ولتاژ آستانه، براساس روابط (۱) و (۲)، این ضعف ولتاژ به حداقل مقدار خود می‌رسد. این مدل، علاوه بر اینکه نسبت به گیت XOR مرسوم، تعداد ترانزیستورها را به کمتر از نصف کاهش داده است، ضعف‌های موجود در مدل‌های پیشنهادی مراجع [۱۴] و [۱۵]، مانند وجود دو سطح منطق برای یک حالت و همچنین چند سطح منطق ضعیف را برطرف می‌کند.

طراحی مدل-۲ از دو گیت معکوس‌کننده ساخته شده است که شامل شش ترانزیستور است. این مدل به دلیل نحوه‌ی اتصال ترانزیستورها به همدیگر و ورودی معکوس شده، توان بیشتری نسبت به مدل-۱ مصرف می‌کند ولی در ولتاژهای بالاتر از ۰/۹ ولت، توان نشتی کمتری نسبت به آن دارد. همچنین، مدل-۲ به دلیل وجود ورودی معکوس، ضعف ولتاژ کمتری نسبت به مدل پیشنهادی مرجع [۱۶] دارد که می‌تواند در کاربردهایی که کاهش تضعیف سطح ولتاژ بسیار مهم است، عملکرد بهتری داشته باشد.

## کمپرسور ۴ به ۲

کمپرسور ۴ به ۲ یکی از پرکاربردترین عناصر فشرده‌سازی بیت برای کاربردهایی مانند سخت‌افزار ضرب‌کننده و جمع‌های چندعملوندی است که به منظور فشرده‌سازی چهار رقم نقلی به دو رقم نقلی استفاده می‌شود. این کمپرسور، پنج ورودی و سه

<sup>۱۷</sup> Full adder

<sup>۱۵</sup> Pull up

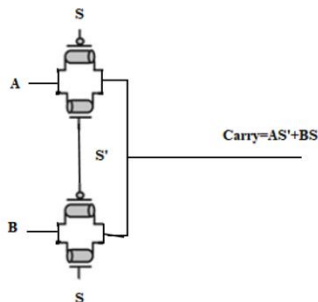
<sup>۱۶</sup> Pull down

سه خروجی موجود در کمپرسور ۴ به ۲ با استفاده از رابطه (۴) بدست می‌آید:

$$\begin{aligned} Cout &= (A \oplus B).C + A.B = (A \oplus B).C + \overline{(A \oplus B)}.A \\ Sum &= A \oplus B \oplus C \oplus D \oplus cin \\ Carry &= (A \oplus B \oplus C \oplus D).cin + \overline{(A \oplus B \oplus C \oplus D)}.D \end{aligned} \quad (4)$$

با وجود اینکه تاخیر مسیر بحرانی برای این طرح، به صورت تاخیر سه گیت XOR محاسبه می‌شود، ولی به دلیل استفاده از بهترین XOR پیشنهادی در این پژوهش (مدل-۱)، تاخیر و توان کمپرسور استفاده شده، در مقایسه با طرح‌های دیگر بسیار کاهش می‌یابد. از طرفی، XOR پیشنهادی در این مقاله از پنج ترانزیستور تشکیل شده است که تعداد ترانزیستورهای کل کمپرسور را به کمتر از نصف کاهش می‌دهد.

همچنین از میان طرح‌های موجود برای پیاده‌سازی مالتی پلکسر، طرح موجود در شکل ۷، برای استفاده در کمپرسور انتخاب شده است که معمولاً در کاربردهای کم‌مصرف استفاده می‌شود [۲۰].



شکل ۷. مالتی پلکسر استفاده شده در کمپرسور ۴ به ۲

### بررسی نتایج شبیه‌سازی

در این مقاله، تمامی طرح‌های پیشنهادی با شبیه‌ساز HSPICE و مبتنی بر تکنولوژی ۳۲ نانومتر MOSFET-LIKE-CNTFET مربوط به دانشگاه استنفورد<sup>۱۸</sup>، و در دمای اتاق انجام گرفته است [۲۷]. همچنین، به منظور انجام مقایسه‌ی بهتر بین طرح‌های پیشنهادی در مقاله با طراحی مقالات دیگر، علاوه بر مقایسه‌ی مدل‌های مختلف بر اساس پارامترهای تاخیر و توان مصرفی، از یک پارامتر دیگر به عنوان مصالحه‌ای عادلانه بین توان و تاخیر بنام حاصل ضرب توان در تاخیر<sup>۱۹</sup> (PDP) نیز، استفاده شده است. محیط شبیه‌سازی XOR های ارائه شده در این مقاله، بر اساس شکل ۸ می‌باشد که منظور نزدیکی به شرایط واقعی شبیه‌سازی، از یک خازن بار<sup>۲۰</sup> در خروجی مدار استفاده شده است.

<sup>۲۰</sup> Load capacitance

از این‌رو، طراحی‌های مختلفی برای کمپرسور ۴ به ۲ وجود دارد که در ادامه بیان شده است.

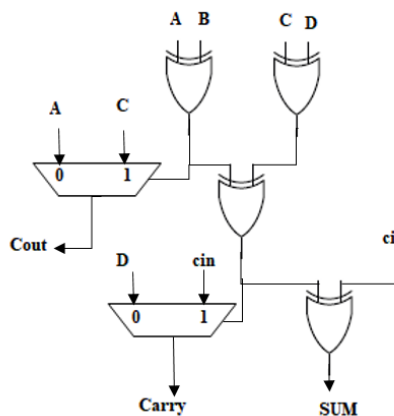
### بررسی کمپرسورهای ۴ به ۲ موجود

یکی از طرح‌های پیشنهادی برای کمپرسور ۴ به ۲ مربوط به مرجع [۱۹] است که تاخیر آن به صورت 3ΔXOR است و از XOR های پیشنهادی خود برای طراحی کمپرسور استفاده کرده‌اند. یکی دیگر از جدیدترین طراحی‌ها برای کمپرسور ۴ به ۲، مدل ارائه شده در مرجع [۱۷] می‌باشد که براساس XOR پیشنهادی هشت ترانزیستوری و مالتی پلکسر مرجع [۲۰] است که مساحت کلی کمپرسور را تقریباً به نصف حالت معمول کاهش می‌دهد.

ساختار دیگر مربوط به مرجع [۲۱] است که در آن از XOR های دو و سه ورودی استفاده شده است و تاخیر خروجی را به کمتر از 3ΔXOR کاهش داده است. طراحی دیگر مربوط به مرجع [۲۲] است که در آن، گیت‌های XOR و مالتی پلکسر در مسیر بحرانی را به گیت AND/NOR تجزیه کرده است تا تاخیر مدار را کاهش دهد، ولی به دلیل استفاده از ساختار گیت‌های منطقی در حالت مرسوم، مساحت و تاخیر مدار به شدت بالا می‌رود. مدل دیگر برای مقایسه، طراحی مرجع [۲۳] است که با بهینه‌سازی جدول درستی کمپرسور و استفاده از مالتی پلکسر شکل ۷، ساختار خود را بررسی کرده است.

### کمپرسور ۴ به ۲ پیشنهادی

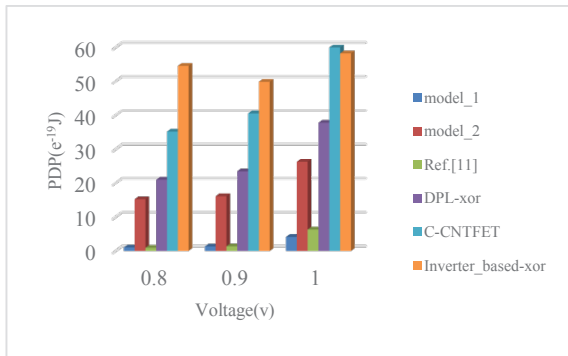
یکی از ساختارهای متداول برای تجزیه‌ی دو جمع‌کننده‌ی سری، مانند شکل ۶ است که در مرجع [۱۹] آمده است.



شکل ۶. مدار کمپرسور ۴ به ۲

<sup>۱۸</sup> Stanford

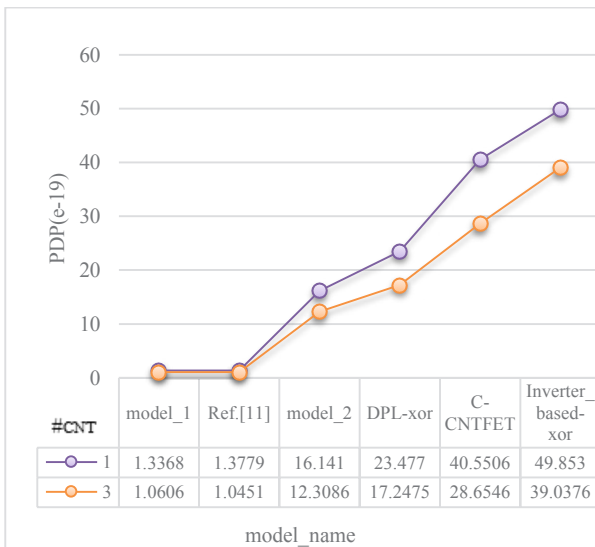
<sup>۱۹</sup> Power-delay product



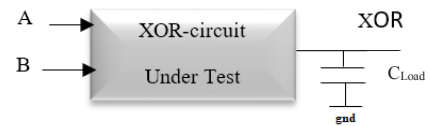
شکل ۱۲. نمودار تغییرات PDP در ولتاژهای مختلف

علاوه بر این، یکی از پارامترهای مهم در تکنولوژی CNTFET، وجود تعداد نانولوله‌ها در ساختار گیت است که در سرعت و توان مصرفی مدار، موثر است. به طور کلی، وجود تعداد نانولوله‌های مختلف در کانال ترانزیستور، منجر به بروز تغییر در تاخیر و توان ترانزیستور می‌شود که به منظور مقایسه‌ی عادلانه، از یک مصالحه بین تاخیر و توان به نام PDP استفاده شده که تاثیر تعداد تیوب‌ها بر حاصل ضرب توان در تاخیر (PDP) در نظر گرفته شده که در شکل ۱۳ و در ولتاژ کاری ۰/۹ ولت انجام شده است.

در این مقاله از مدل ۳۲ نانومتر استفورد استفاده شده که تعداد تیوب پیش فرض برای شبیه‌سازی را یک در نظر گرفته است که با تکیه بر آن، مقایسه برپایه‌ی استفاده از یک نانولوله انجام گرفته است [۲۷]. از طرفی، به منظور بررسی تاثیر افزایش نانولوله بر مدار، مدل‌های XOR با تعداد غیر پیش‌فرض که در اینجا برای نمونه از ۳ تیوب استفاده شده، در نظر گرفته شده است که با این تعداد هم شبیه‌سازی صورت گرفته است. البته، این مقایسه می‌تواند برای تعداد نانولوله‌های دیگری هم در نظر گرفته شود و لزوماً محدود به این تعداد نمی‌باشد.

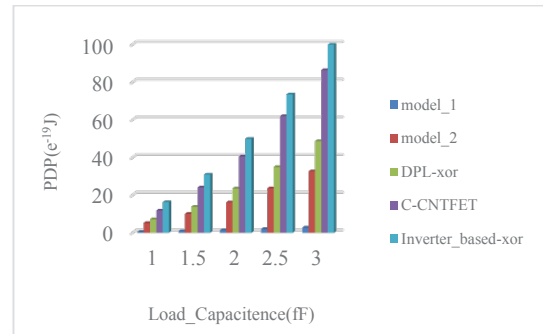


شکل ۱۳. نمودار تاثیر تعداد نانولوله در تغییرات PDP مدل‌های مختلف



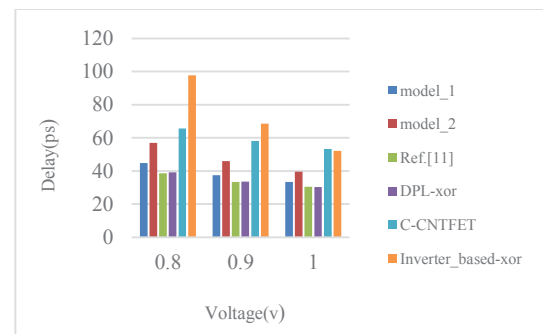
شکل ۸. محیط شبیه‌سازی XOR

اندازه‌ی این خازن بار بین یک تا سه فمتوفاراد می‌باشد که به‌ازای ولتاژ ۰/۹ ولت و برای مدل‌های مختلف در شکل ۹ نشان داده شده است.

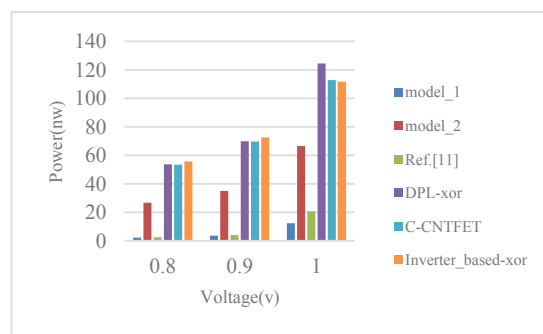


شکل ۹. مقایسه PDP مدل‌های مختلف در خازن‌های ۱ تا ۳ فمتوفاراد

همچنین مقایسه‌ی بین تاخیر، توان و PDP مدل‌های مختلف XOR، با خازن خروجی ۲ فمتوفاراد و در ولتاژهای ۰/۸، ۰/۹ و ۱ ولت به ترتیب در شکل‌های ۱۰، ۱۱ و ۱۲ آورده شده است.



شکل ۱۰. نمودار تغییرات تاخیر در ولتاژهای مختلف



شکل ۱۱. نمودار تغییرات توان در ولتاژهای مختلف

در مقایسه با سایر طراحی ها از تعداد ترانزیستور کمتری استفاده می کند.

جدول ۲. مقایسه‌ی مساحت و تاخیر مسیر بحرانی مدل های مختلف

مدل های کمپرسور	تاخیر مسیر بحرانی براساس گیت	تعداد ترانزیستورهای مورد استفاده در کمپرسور
Ref.[19]	$3\Delta_{XOR}$	52
Ref.[17]	$\Delta_{XOR}+2\Delta_{MUX}$	36
Ref.[21]	$\Delta_{XOR-3in}+2\Delta_{XOR}+\Delta_{MUX}$	50
Ref.[22]	$3\Delta_{AND}+3\Delta_{NOR}$	74
Ref.[23]	$\Delta_{XOR}+2\Delta_{MUX}$	58
Proposed	$3\Delta_{XOR}$	32

در ادامه، مقایسه‌ی بین توان، تاخیر و PDP در مدل های مختلف کمپرسور ۴ به ۲، به ترتیب در شکل های ۱۵، ۱۶ و ۱۷ نشان داده شده است. همان طور که در شکل نشان داده شده است، مقدار PDP برای مدل پیشنهادی از همه کمتر می باشد. لازم به ذکر است که برای دستیابی به شرایط محیط شبیه سازی واقعی، تاخیر بیان شده براساس تاخیر بدترین حالت<sup>۲۱</sup> است.



شکل ۱۵. مقایسه‌ی توان در کمپرسورهای ۴ به ۲ مختلف



شکل ۱۶. مقایسه‌ی تاخیر در کمپرسورهای ۴ به ۲ مختلف

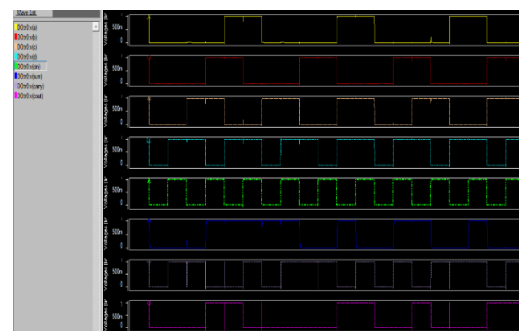
با توجه به نتایج بدست آمده از مقایسه‌ی XOR ها، مدل-۱ بهتر از سایر مدل ها می باشد، به طوری که در مقایسه با طراحی XOR مرسوم ۱۲ ترانزیستوری، ۹۶/۷ درصد بهبود در PDP و نسبت به جدیدترین مدل ۲۰۱۸ در مرجع [۱۱]، ۲/۹۸ درصد بهبود در PDP و ۱۳/۵۷ درصد بهبود در توان مصرفی وجود دارد.

بنابراین در طراحی کمپرسور ۴ به ۲، از این مدل استفاده شده است که نتایج شبیه سازی در جدول ۱، برای ولتاژهای ۰/۸ تا ۱/۱ ولت آورده شده است. البته محیط شبیه سازی کمپرسور ۴ به ۲ به گونه ای است که تمامی ورودی ها و خروجی ها از یک بافر استاندارد عبور می کنند و در خروجی مدار از یک خازن پنج فمتوفاراد استفاده شده است که شکل موج حاصل از کمپرسور پیشنهادی در شکل ۱۴، به ازای ولتاژ یک ولت، نشان داده شده است.

همچنین، طبق رابطه (۱) در مقاله، تغییرات بردار کایرال که با تغییر اعداد صحیح (m,n) حاصل می شود، باعث تغییر در قطر نانولوله می شود که در اینجا، از مقادیر استفاده شده در مدل استفورد و مقالات مورد بررسی استفاده شده است. در واقع، کایرالیته نانولوله های نوع n و p با هم یکسان و برابر با (۱۹۰) در نظر گرفته شده است.

جدول ۱. نتایج شبیه سازی کمپرسور پیشنهادی

پارامترهای مقایسه	ولتاژ منبع تغذیه بر حسب ولت			
	0/8	0/9	1	1/1
Worst-case Delay(ps)	111/80	94/137	85/505	79/229
Power(µw)	0/25694	0/37051	0/77076	7/8339
PDP(aJ)	28/7258	34/8786	65/9033	620/672



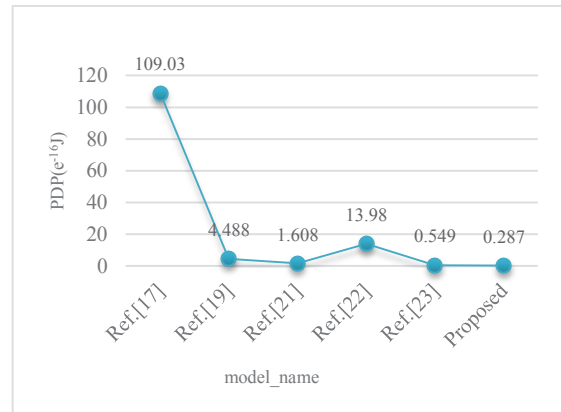
شکل ۱۴. شکل موج ورودی و خروجی های کمپرسور ۴ به ۲

همچنین، مقایسه ای بین تعداد ترانزیستورهای استفاده شده در طراحی های مختلف و تاخیر مسیر بحرانی مدار کمپرسور در سطح گیت در جدول ۲ نشان داده شده است. که نشان می دهد طرح کمپرسور پیشنهادی که از XOR مدل-۱ استفاده می کند

همچنین، کمپرسور ارائه شده در این پژوهش در مقایسه با سایر مدل‌ها، به لحاظ تاخیر ۴/۳۱ درصد، توان مصرفی ۴۵/۹۹ درصد و حاصل ضرب تاخیر در توان ۴۷/۷۲ درصد نتیجه‌ی بهتری حاصل شده است که استفاده از آن در سیستم‌های محاسباتی، به‌ویژه در مدارهای ضرب‌کننده، ضمن کاهش تعداد ترانزیستورهای استفاده شده و سربار مساحت، باعث بهبود کارایی کل سیستم می‌شود.

## مراجع

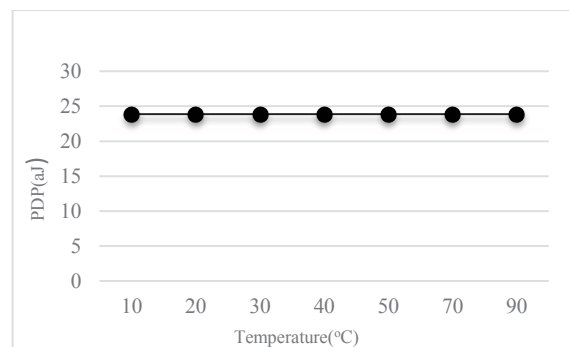
- [1] M. Rouholamini, O. Kavehie, and et al, "A New Design for 7:2 Compressors," IEEE/ACS International Conf. on Computer Systems and Applications, May 2007.
- [2] P. Aliparast, Z.D. Koozehkanani, and F. Nazari, "An ultra high speed digital 4-2 compressor in 65-nm CMOS," International J. of Computer theory and Engineering, Vol. 5, No. 4, pp. 593-597, August 2013.
- [3] T.N. Theis, and H-S.P. Wong, "The end of Moore's low: A new beginning for information technology," IEEE J. Computing in Science & Engineering, Vol. 19, pp. 41-50, March 2017.
- [4] G. Cho, Y. Kim, F. Lombardi, and M. Choi, "Performance evaluation of CNFET-based logic gates," International Conf. Instrumentation and Measurement technology, Singapore, May 2009.
- [5] H. Ghasemzadeh, "Robustness Analysis of Controllable-Polarity Silicon Nanowire Devices and Circuits," Phd thesis, EPFL University, 2016.
- [6] A. Raychowdhury, A. Keshavarzi, J. Kurtin, and et al, "Carbon nanotube field-effect transistors for high-performance digital circuits-DC analysis and modeling toward optimum transistor Structure," IEEE Trans. On Electron Devices, Vol. 53, No. 11, November 2006.
- [7] A. Bachtold, P. Hadley, T. Nakanishi, and C. Dekker, "Logic circuits with carbon nanotube transistors," Science J., Vol. 294, p. 1317, November 2001.
- [8] S. Mehrabi, R. Faghih, M. Moaiyeri, and et al, "CNFET-based design of energy-efficient symmetric three-input XOR and full adder circuits," Arabian J. for Science and Engineering, pp. 3367-3382, July 2013.
- [9] S. Rodriguez, A. Rusu, and J.M. Rosa, "Overview of carbon-based circuits and systems," IEEE International Symposium on Circuit and Systems, ISCAS, Portugal, May 2015.
- [10] M. Moaiyeri, R. Faghih, K. Navi, and et al, "Novel direct designs for 3-input XOR function for low-power and high-speed



شکل ۱۷. مقایسه‌ی PDP در کمپرسورهای ۴ به ۲ مختلف

یکی از پارامترهای مورد بررسی در طراحی‌ها، بررسی تغییرات دمایی بر روی مدار است تا عملکرد آن در بازه‌های دمایی مختلف سنجیده شود. از این رو، مدار کمپرسور پیشنهادی در بازه‌های دمایی ۱۰ تا ۹۰ درجه سانتی‌گراد تست شده است تا میزان مقاومت آن در برابر نویزهای دمایی بررسی شود.

نتایج شبیه‌سازی در شکل ۱۸ نشان می‌دهد که PDP تقریباً ثابت برای این مدار، حاصل از پایداری دمایی مدارهای نانولوله‌ی کربنی است که عملکردی قابل پذیرش در بازه‌های دمایی مختلف دارد [۸].



شکل ۱۸. تاثیر دما بر تاخیر کمپرسور پیشنهادی

## نتیجه گیری

در این مقاله، یک کمپرسور ۴ به ۲ براساس گیت XOR پیشنهادی و در تکنولوژی CNTFET ارائه شده است. باتوجه به نتایج بدست آمده در بخش شبیه‌سازی، گیت XOR پیشنهادی در مقایسه با بهترین مدل موجود در مرجع [۱۱]، ۲/۹۸ درصد بهبود در PDP و ۱۳/۵۷ درصد در توان مصرفی بهبود داشته است.

- [20] K. Nehru, T. Nagarjuna, and G. Vijay, "Comparative analysis of CNTFET and CMOS logic based arithmetic logic unit," *J. of Nano-and Electronic Physics*, Vol. 9, No. 4, pp.4, 2017.
- [21] M. Dadashi, K. Manochehri, and S. Pourmozafari, "Low power CNTFET based 4-2 and 5-2 compressor," *International Conf. on Computer Engineering and Signal Processing*, November 2016.
- [22] A. Pishvaie, G. Jaberipur, and A. Jahanian, "Redesigned CMOS (4;2) compressor for fast inary multipliers," *Can J. Elect. Comput. Eng.*, Vol. 36, No. 3, summer 2013.
- [23] A. Rahnamaei, Gh. Zare Fatin, and A. Eskandarian, "Design of a low power high speed 4-2 compressor using CNTFET 32nm technology for parallel multipliers," *Int. J. Nano Dimens*, 10(1):114-124, winter 2019.
- [24] A. Bhansali, A. Asati, "Optimizing the ratio of number of tubes in PCNTFET to NCNTFET for digital circuits," *Journal of Microelectronics and Solid State Devices*, India, Vol. 5, 2018.
- [25] R. Seti, G. Soni, "Comparative analysis of Si-MOSFET and CNTFET-based 28T full adder," *Fifth International Conference on Soft computing for problem solving*, 2016.
- [26] Y. Kim, "Integrated circuit design based on carbon nanotube field effect transistor," *Transactions on electrical and electronic materials*, Vol. 12, No. 5, pp. 175-188, October 25, 2011.
- [27] <http://nano.stanford.edu/models.php>.
- applications," *International J. of Electronics*, Vol. 97, No. 6, pp. 647-662, June 2010.
- [11] K. Saraswat, and A. Sharma, "An optimized XOR circuit using CNTFET technology," *International J. of Advanced Research in Computer and Communication Engineering*, IJARCCCE, Vol. 7, pp. 216-220, May 2018.
- [12] S. Shankar, A. Kumar, R.K. and Nagaria, "A comparative performance analysis of various CMOS design techniques for XOR and XNOR circuits," *International J. on Emerging Technologies*, 2010.
- [13] H. Lee, and G.E. Sobelman, "New low-voltage circuits for XOR and XNOR," *Proc.IEEE Southeastcon*, pp. 225-229, April 1997.
- [14] T. Sharma, K.G. Sharma, B.P. Singh, and N. Arora, "New efficient design for XOR function on the transistor level," *International Conf. on Methods and Models in Science and Technology*, India, pp.346-348, 2010.
- [15] S. Singh, T. Sharma, K.G. Sharma, and B.P. Singh, "New design of low power 3T XOR cell," *International J. of Computer Engineering & Technology*, Vol. 3, pp. 76-80, June 2012.
- [16] S.S. Hatefinasab, "CNTFET-based design of a high-efficient full adder using XOR logic," *Vol. 8, No. 4(2)*, pp. 6, 2016.
- [17] M. Kumar, and J. Nath, "Design of an Energy efficient 4-2 compressor," *IOP. Conf. Materials Science and Engineering* 225, 2017.
- [18] I. Koren, "Computer arithmetic algorithms," *Second Edition*, A k Peters, Ltd, Canada, 2002.
- [19] C. Chang, J. Gu, and M. Zhang, "Ultra low-voltage low-power CMOS 4-2 and 5-2 compressors for fast arithmetic circuits," *IEEE Trans. On Circuits and Systems*, Vol. 51, No. 10, October 2004.

