طراحی تقویت‌کننده کم‌نویز با توان‌مصرفی کم و قابلیت‌های حذف خارج از باند، بهبود نویز و خطینگی در سیستم فرا پهن باند

مریم باباصفری[۱]، مصطفی یارقلی[۲]* و محمد مصطفوی[۳]

[۱] دانشجوی دکترا، گروه برق، دانشکده فنی مهندسی، دانشگاه زنجان و مدرس دانشگاه علمی کاربردی واحدهای شهرداری و قندکرج

[۲] دانشیار، گروه برق، دانشکده فنی مهندسی، دانشگاه زنجان ، yargholi@znu.ac.ir

[۳] استادیار، گروه برق، دانشکده فنی مهندسی، دانشگاه زنجان

چکیده

عددنویز تقویت‌کننده‌های کم‌نویز بطور مستقیم به عددنویز سیستم افزوده می‌شود؛ بنابراین عملکرد تقویت‌کننده‌های کم‌نویز کارایی سیستم را از نظر نویز مشخص می‌کنند. در این مقاله تقویت‌کننده کم‌نویز در سیستم فراپهن باند، یکی با قابلیت حذف خارج از باند فرکانسی و دیگری با قابلیت بهبود نویز و خطینگی مدار توسط تکنولوژی CMOS تحلیل و طراحی شده‌اند. در طراحی تقویت‌کننده‌ی کم‌نویز، تکنیک بایاس زیرآستانه برای طراحی کم توان، از فیلتر چپیشف برای تطبیق امپدانس ورودی و تکنیک کاسکود برای افزایش ایزولاسیون معکوس و افزایش بهره استفاده شده است. در طراحی تقویت‌کننده‌ی کم‌نویز با استفاده از فیلتر تله‌ای دوگان که با سلف فعال توان پایین پیاده‌سازی شده است، حذف خارج از باند در فرکانس ۲/۴ GHz به میزان ۴۲dB و در فرکانس ۵/۲ GHz به میزان ۳۶ dB بهبود داده شده است، همچنین با استفاده از تکنیک‌های بهبود نویز و خطینگی، مقدار نویز ۲/۳dB کاهش یافته و مقدار خطینگی مدار ۹dB بهبود یافته است. تقویت‌کننده‌های کم‌نویز طراحی شده با پهنای‌باند ۳ تا ۵ گیگاهرتز با استفاده از تکنولوژی ۰/۱۸μm CMOS، توان‌های ۲/۸ میلی‌وات و ۱/۹ میلی‌وات را به ترتیب از منبع تغذیه ۱/۸ ولت مصرف می‌کنند.

کلیدواژه

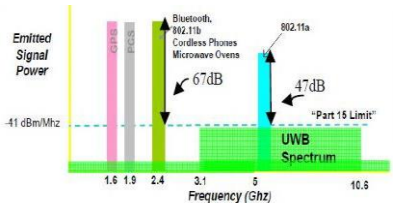
بایاس زیرآستانه، تقویت‌کننده کم‌نویز، تکنیک حذف نویز، حذف خارج از باند

مقدمه

در دو دهه‌ی گذشته رشد صنعت الکترونیک و مخابرات یکی از مؤثرترین عوامل در رشد اقتصادی کشورهای جهان بود. با توجه به عوامل این توسعه، نقش تکنولوژی‌های پیشرفته بی‌سیم در آن قابل ملاحظه می‌باشد. هر چه سرعت انتقال اطلاعات بالاتر رود، محدودیت بیشتری در سطح نویز قابل تحمل مدار ایجاد می‌شود. به همین دلیل برای تحقق مدارهای مخابرات بی‌سیم با سرعت بالا، مقدار نویز مدارهای مخابراتی متناظر، کاهش یافته و نباید از سطح معینی تجاوز کند. بخش آنالوگ سیستم-های مخابراتی و به ویژه تقویت‌کننده آنالوگ مورد استفاده، بیش از دیگر بخش‌ها با مسئله نویز درگیر می‌باشد. در دهه‌ی اخیر سیستم‌های الکترونیکی و مخابراتی مخصوصا در فرکانس-های بالا و باند فرکانسی پهن پیشرفت‌های چشمگیری داشته است و به مدارهایی نیاز است تا بتوانند اطلاعات را با سرعت بالا و با کمترین نویز انتقال دهند. با توجه به توان کم سیگنال در خروجی آنتن و نیز افت ناشی از مدارهای غیرفعّال در ورودی گیرنده، لازم است بلافاصله سیگنال دریافتی تقویت شود که این کار وظیفه‌ی تقویت‌کننده کم‌نویز[۱] می‌باشد[۱]. این تقویت‌کننده باید بگونه‌ای طراحی شود که حداقل نویز را به سیگنال اصلی اضافه کند. شکل۱ طیف سیستم فوق پهن باند را نشان می‌دهد. همان‌طور که در شکل ۱ نشان داده شده است توان سیگنال دریافتی در سیستم‌های بلوتوث، مایکروویو و IEEE802.11b/g که در باندفرکانسی ۲/۴ تا ۲/۵ گیگاهرتز قرار دارند، حدود ۶۷dB و در IEEE802.11a که در باندفرکانسی ۵/۲ تا۵/۴ گیگاهرتز قرار دارد، ۴۷dB و تلفن‌های سلولی که در فرکانس ۱/۸گیگاهرتز قرار دارند، ۳۵dB بالاتر از توان دریافتی در فوق‌پهن‌باند می‌باشند. اینها اثری سوء بر سیگنال‌های فوق-پهن‌باند دریافت شده دارند که می‌توانند موجب فشردگی بهره[۲] و همچنین تداخل اثرات اینترمدولاسیون[۳] آن‌ها در باند موردنظر شوند[۲].

[۱] Low Noise Amplifier
[۲] Gain Compression
[۳] Inter Modulation (IM)

تاریخ دریافت: ۱۳۹۷/۱۲/۱۳ تاریخ پذیرش: ۱۳۹۸/۰۴/۱۴



شکل۱. طیف سیستم فوق پهن باند به همراه تداخلات

از ویژگی‌های مهم ساختار کاسکود، امپدانس خروجی بالای آن است که افزایش بهره را به دنبال خواهد داشت. امپدانس خروجی بالا ناشی از این حقیقت است که اگر ولتاژ گره خروجی به اندازه‌ی ΔV تغییر کند، تغییرات ناشی از آن در سورس یک ترانزیستور کاسکود خیلی کمتر است، یعنی ترانزیستور کاسکود ترانزیستور ورودی را از تغییرات ولتاژ در خروجی محافظت می‌کند [۲و۳] اما، نویز طبقه‌ی کاسکود در فرکانس بالا به علت وجود خازن‌های پارازیتی افزایش یافته و موجب افزایش چشمگیری در عدد نویز خروجی خواهد شد. بنابراین برای کاهش نویز از تکنیک حذف نویز[۴] استفاده می‌شود [۴]. در این مقاله از مدار تقویت‌کننده کم‌نویز با ساختار کاسکود استفاده شده و مقاله به شرح زیر سازماندهی شده است: در بخش ۲ به تحلیل روش طراحی کم توان در ناحیه بایاس زیرآستانه[۵] می‌پردازیم، بخش ۳ تحلیل فیلتر تله ای را به همراه تحلیل تکنیک‌های بهبود نویز و خطینگی مدار شرح خواهد داد. در بخش ۴ به بررسی تطبیق امپدانس ورودی و بهره‌ی تقویت کننده‌های کم‌نویز پرداخته شده است. نتایج شبیه‌سازی در بخش ۵ گنجانده شده است. نهایتا در بخش ۶ نتیجه‌گیری از طراحی تقویت‌کننده‌های کم‌نویز این مقاله و مقایسه با کارهای انجام شده پیشین، آورده شده است.

توپولوژی تقویت‌کننده‌های کم‌نویز طراحی شده

کاهش ولتاژ یک روش مؤثر در کاهش توان و انرژی مصرفی سیستم است به طوری که غالبا طراحی توان/ انرژی پایین را می‌توان مترادف با طراحی ولتاژ پایین در نظر گرفت. لذا استفاده از طراحی زیرآستانه مؤثرترین روش کاهش توان/ انرژی مصرفی خواهد بود. مدارهایی که در ناحیه‌ی آستانه کار می‌کنند با منبع تغذیه کوچکتر از ولتاژ آستانه ترانزیستور بایاس می‌شوند (در یک ترانزیستور NMOS با کار در ناحیه‌ی زیرآستانه، رابطه $V_{GS}<V_{th}$ برقرار می‌باشد که در آن رابطه V_{th}، ولتاژ آستانه ترانزیستور است) و بدین ترتیب کاهش چشمگیری در توان دینامیک و استاتیک آنها ایجاد خواهد شد[۵]. مؤلفه غالب جریان ترانزیستور NMOS در ولتاژهای پایین، جریان زیرآستانه است که به صورت رابطه (۱) تعریف می‌شود [۶]:

$$I \approx I_{ST} = I_0 \frac{W}{L} e^{\frac{(V_{GS}-V_{th})}{nv_t}} \left(1-e^{\frac{-V_{DS}}{v_t}}\right) \qquad (۱)$$

$$I_0 = \mu_{eff} C_{ox} (n-1) v_t^2$$

که در آن $v_t = \frac{KT}{q}$ ولتاژ حرارتی، $\frac{W}{L}$ نسبت ابعاد، μ_{eff} قابلیت تحرک مؤثر حامل‌ها و n ضریب زیرآستانه (شیب مشخصه در ناحیه‌ی زیرآستانه) است که مقدار آن را توپولوژی ذاتی ترانزیستور و ساختار آن تعیین می‌کند $(n \geq 1)$. با کاهش طول کانال در تکنولوژی‌های جدید، اثرات کانال کوتاه زیادی از قبیل اثر بدنه و اثرDIBL[۶] در عملکرد مدارهای CMOS وارد خواهند شد [۵]. بنابراین در حالت کلی ولتاژ آستانه ترانزیستور MOS را می‌توان به صورت رابطه (۲) نوشت [۶]:

$$V_{th} = V_{th0} - \lambda_{DS} V_{DS} - \lambda_{BS} V_{BS} \qquad (۲)$$

که در آن $\lambda_{DS} > 0$ ثابت DIBL و $\lambda_{BS} > 0$ ثابت اثر بدنه است. دو معادله (۱) و (۲) را می‌توان به فرم زیر نوشت:

$$I = \beta e^{\frac{V_{GS}}{nv_t}} \cdot \left[e^{\frac{\lambda_{DS} V_{DS}}{nv_t}} \left(1-e^{\frac{-V_{DS}}{v_t}}\right)\right] \qquad (۳)$$

$$\beta = I_0 \frac{W}{L} e^{-\frac{(V_{th0}-\lambda_{BS} V_{BS})}{nv_t}}$$

که در آن β تحت عنوان استحکام ترانزیستور شناخته می‌شود. مقدار جریان تحت این شرایط بسیار کوچک است؛ بنابراین برای طراحی کم‌توان، از روابط بایاس زیر آستانه استفاده می‌کنیم [۷]. رابطه (۴) نسبت رسانایی متقابل ترانزیستور به جریان درین سورس را در این ناحیه نشان می‌دهند:

$$g_m \approx \frac{I_{DS}}{nv_t} \rightarrow \frac{g_m}{I_{DS}} \approx \frac{1}{nv_t} \qquad (۴)$$

جریان در ناحیه بایاس زیرآستانه در حد میکروآمپر است؛ در نتیجه توان مصرفی کم می‌شود، ولی بهره نیز کاهش می‌یابد. با استفاده از یک طبقه گیت‌مشترک به صورت کاسکود، علاوه بر بهبود بهره، پهنای باند وسیع حاصل می‌شود؛ در نتیجه کاهش نشتی خروجی به ورودی تقویت‌کننده کم‌نویز و در نتیجه ایزولاسیون معکوس و پایداری بهتری حاصل خواهد شد. رابطه (۴) بیانگر این مطلب است که در ناحیه‌ی بایاس زیرآستانه g_m با جریان درین سورس رابطه مستقیم دارد، بنابراین نسبت رسانایی متقابل به جریان درین در ناحیه‌ی بایاس زیر آستانه نسبت به ناحیه‌ی اشباع که g_m با ریشه دوم جریان درین سورس متناسب است بهبود یافته و انعطاف در طراحی زیادتر می‌شود.

---

۴ Noise Cancelling Technique

۵ Subthreshold Design

۶ Drain Induced Barrier Lowering (DIBL) Effect

تحلیل تکنیک‌های فیلتر تله‌ای، بهبود نویز و خطینگی مدار

تحلیل فیلتر تله‌ای

با استفاده از فیلترتله‌ای دوگان[۷] که با سلف فعال توان پایین پیاده‌سازی شده است، می‌توان حذف خارج از باند[۸] را بهبود داد. فرکانس فیلتر تله‌ای برای کاهش بهره در فرکانس‌های ۲/۴ و۵/۲ گیگاهرتز تنظیم شده است. جدول۱ مشخصات فیلتر تله-ای در استانداردهای مختلف سیستم بی‌سیم برای رسیدن به عملکرد معقول را نشان می‌دهد.

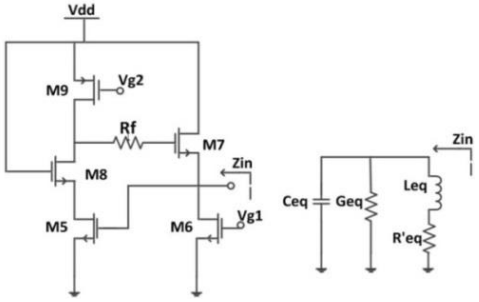
جدول۱. مشخصات فیلتر تله‌ای

Standard	Notch center freq.(GHz)	10 dB attenuation bandwidth (GHz)	Peak attenuation (dB)
GSM-1800/1900	1.85	1.71~1.99	>20
802.11b/g	2.44	2.4~2.48	>20
802.11a	5.25	5.15~5.35	>20

در فیلترتله‌ای فرکانس مورد نظر برای تقلیل بهره از رابطه‌ی (۵) به دست می‌آید [۹-۷]:

$$f=\frac{1}{2\pi\sqrt{LC}} \qquad (۵)$$

این تقویت‌کننده با هدف بهبود توان مصرفی، درکنار افزایش بهره و بهبود حذف خارج از باند، طراحی شده است. شکل ۲ سلف فعال مورد نیاز برای طراحی فیلتر را نشان می‌دهد، که از ساختار کاسکود (شامل ترانزیستورهای M_5 و M_8) با مقاومت فیدبکی به منظور افزایش بهره استفاده شده است تا هم ضریب کیفیت بالا را فراهم کند و هم جریان مصرفی را کاهش دهد. امپدانس ورودی مدار شکل ۲ به صورت رابطه $Z_{in}=\left(\frac{1}{j\omega C_{eq}}\|\frac{1}{R'_{eq}+j\omega L_{eq}}\|G_{eq}\right)$ می‌باشد. در رابطه فوق پارامترهای C_{eq}، R'_{eq}، L_{eq} و G_{eq} به ترتیب خازن معادل، مقاومت معادل، سلف معادل و رسانایی الکتریکی متقابل مشخص شده از دو سر مدار سلف فعال در شکل ۲ می‌باشند [۹].



شکل۲. سلف فعال و مدار معادل آن [۹]

شکل۳ ساختار هسته‌ی تقویت‌کننده کم‌نویز موردنظر به همراه مدار معادل سلف فعال برای فیلتر تله‌ای را نشان می‌دهد.

تحلیل تکنیک‌های بهبود نویز و خطینگی مدار

با توجه به اهمیت عدد نویز گیرنده و با توجه به اینکه عدد نویز کلی سیستم عمدتا توسط طبقه اول تعیین می‌شود، کاهش عدد نویز تقویت‌کننده کم‌نویز از اولویت‌های مسلم طراحی می‌باشد. در تقویت‌کننده کم‌نویز شکل‌های ۳ و ۵ با ساختار کاسکود، فاکتور نویز به صورت رابطه (۶) می‌باشد:

$$F_{tot}=1+\frac{1}{\overline{V}^2_{n,out,R_s}}\left[\overline{V}^2_{n,out,M_1}+\overline{V}^2_{n,out,M_2}+\overline{V}^2_{n,out,R_D}\right] \qquad (۶)$$

$$F=1+\frac{R_1}{R_s}+\frac{R_g}{R_s}+\frac{\gamma}{\alpha}g_mR_s\left(\frac{\omega_0}{\omega_T}\right)^2 \qquad (۷)$$

و $NF=10Log_{10}F$ است. در رابطه (۶)، $\overline{V}^2_{n,out,M_1}$، $\overline{V}^2_{n,out,M_2}$ و $\overline{V}^2_{n,out,RD}$ به ترتیب متوسط مربع ولتاژ نویز خروجی برای ترانزیستورهای M_1، M_2 و مقاومت R_D می‌باشند. R_1 مقاومت سری با سلفها، R_s مقاومت سورس، R_g مقاومت گیت، γ ضریب نویز حرارتی و برابر با $\gamma\approx0.67-1.33$، $\alpha=\frac{g_m}{g_{d0}}$، g_m رسانایی متقابل ترانزیستور و برابر با $g_m=\frac{\partial I_D}{\partial V_{GS}}$، ω_0 فرکانس تشدید و $\omega_T=\frac{g_m}{C_{gs}}$ می‌باشند. نویز حرارتی مقاومت و ترانزیستور را می‌توان به صورت‌های زیر بیان نمود[۱۰]:

$$\overline{V}^2_{n,R_i}=4kTR_i$$
$$\overline{i}^2_{n,M_i}=4kT\frac{\gamma}{\alpha}g_{mi} \qquad (۸)$$

در رابطه (۸)، k ثابت بولتزمن و برابر با $k=1.38\times10^{-23}$ بر حسب j/k می‌باشد و T دمای مطلق و برابر با ۳۰۰k است. فرض بر این است که $R_sg_{m1}\prec\prec1$، $L_s\prec\prec L_g$، $\gamma=0$ و $\lambda=0$ می‌باشند. در فرکانسهای پایین، نویز کمکی ترانزیستور M_2 با وجود نادیده گرفتن مدولاسیون طول کانال، ناچیز است. اما در فرکانسهای بالا طبق رابطه (۹) با توجه به وجود خازنهای پارازیتی، نقش ترانزیستور M_2 در افزایش نویز خروجی پررنگ-تر می‌شود.

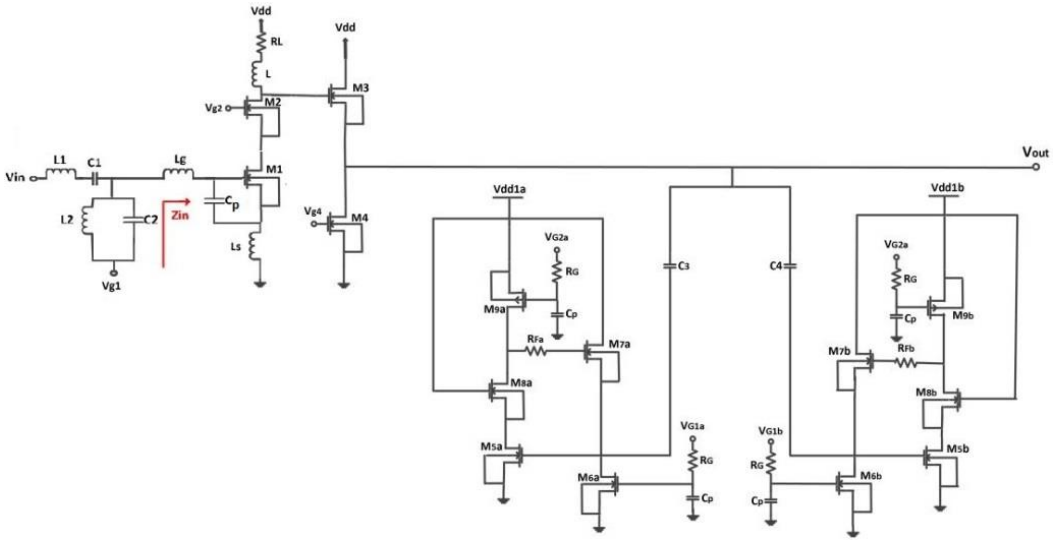
$$\frac{V_{n,out,M_2}}{V_{n,M_2}}=\frac{-R_L}{\frac{1}{g_{m2}}+\frac{1}{C_xS}} \qquad (۹)$$
$$C_x=C_{gs2}+C_{sb2}+C_{db1}$$

ولتاژ نویز ترانزیستور M_2 طبق مرجع [۱۱] به صورت رابطه (۱۰) به دست می‌آید:

$$F_{out,M_2}=\frac{\overline{V}^2_{n,out,M_2}}{\overline{V}^2_{n,out,R_s}}=\frac{(R_s+L_ss+Z_{in})^2}{(Z_{in}A_v)^2R_s}\cdot\left(\frac{\gamma}{\alpha}\cdot\frac{1}{g_{m2}}\right)\left(\frac{Z_D^2}{\frac{1}{g_{m2}}+\frac{1}{C_xs}}\right)^2 \qquad (۱۰)$$

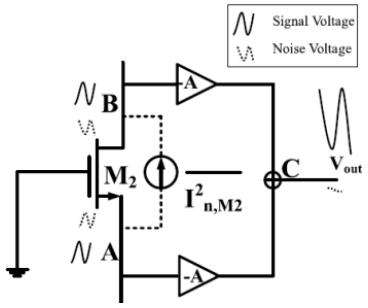
$$F_{tot}=F_1+F_{out,M_2}$$

۷ Dual band notch filter
۸ Out Band Rejection



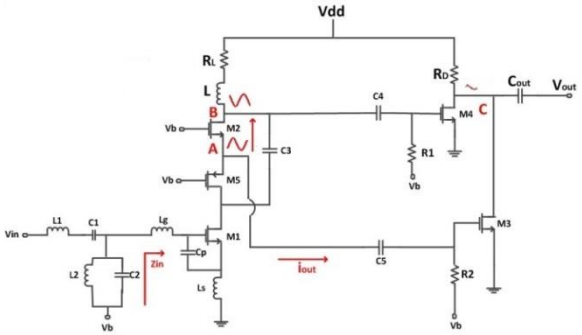
شکل۳. شماتیک کلی مدار تقویت‌کننده کم نویز طراحی شده با فیلتر تله ای دوگان و سلف فعال توان پایین

برای کاهش نویز از تکنیک بهبود نویز در مدارها استفاده می‌شود. همان‌طور که در شکل ۴ نشان داده شده است، جریان نویز حرارتی و فلیکر از مقاومت معادل در سورس و درین ترانزیستور M_2 عبور می‌کند و باعث به وجود آمدن ولتاژهای نویز هم بسته با دو فاز مخالف در نقاط A و B می‌شود؛ حال اگر ولتاژ این نقاط توسط تقویت‌کننده ولتاژ سورس مشترک دنبال شوند، چون دو ولتاژ دارای فاز مختلف با دامنه‌ی برابر هستند، می‌توان با انتخاب مناسب اندازه ترانزیستورهای کمکی، ولتاژ نویز مربوط به ترانزیستور کاسکود را در خروجی کاهش داد. با توجه به اینکه سیگنال ولتاژ در درین و سورس تقویت‌کننده‌ی گیت مشترک هم فاز می‌باشد، بنابراین؛ استفاده از دو تقویت‌کننده‌ی اضافی موجب تقویت بهره در خروجی نیز می‌شود [۳].



شکل۴. تکنیک بهبود نویز در ترانزیستور گیت مشترک

شکل۵ ساختار هسته‌ی تقویت‌کننده کم‌نویز موردنظر به همراه تکنیک‌های بهبود نویز و خطینگی را نشان می‌دهد.



شکل۵. شماتیک مدار تقویت‌کننده کم‌نویز پیشنهادی با اعمال تکنیک‌های بهبود نویز و خطینگی مدار

در طراحی ورودی مدار پیشنهادی، از فیلتر چپیشف که با کمترین تلفات و ریپل می‌باشد، جهت تطبیق امپدانس ورودی ۵۰ اهم استفاده شده است. اگر امپدانس منبع و باری که فیلتر می‌بینند، منطبق با ۵۰ اهم نباشد، آن‌گاه مشخصات باند عبور و باند توقف فیلتر ممکن است تلفات و ریپل زیادی داشته باشد. تکنیک سورس‌مشترک با دژنراسیون سلفی در این ساختار برای ایجاد امپدانس حقیقی در ورودی استفاده شده است [۱۲]. همچنین با استفاده از دو ترانزیستور M_3 و M_4 که نقش تقویت‌کننده ولتاژ را دارند، ولتاژ نویز ایجاد شده توسط جریان نویز حرارتی ترانزیستور M_2 را در درین و سورس تقویت کرده و در نقطه‌ی مشترک درین ترانزیستورها، برآیند نویز حاصله به کمترین مقدارش می‌رسد. همچنین مقاومت‌های R_1 و R_2 برای بایاس مدار استفاده شده‌اند. عدد نویز برای تقویت‌کننده کم‌نویز با اعمال تکنیک بهبود نویز به صورت رابطه (۱۱) است:

(۱۱)

$$F_{tot}=1+\frac{1}{\overline{V}^2_{n,out,R_s}}\left[\overline{V}^2_{n,out,M_1}+\overline{V}^2_{n,out,M_2}+\overline{V}^2_{n,out,R_D}+\overline{V}^2_{n,out,R_L}+\overline{V}^2_{n,out,M_3}+\overline{V}^2_{n,out,M4}\right]$$

در رابطه (۱۱)، $\overline{V}^2_{n,out,M_1}$، $\overline{V}^2_{n,out,M_2}$، $\overline{V}^2_{n,out,M3}$،

$\overline{V}^2_{n,out,M4}$، $\overline{V}^2_{n,out,RD}$ و $\overline{V}^2_{n,out,RL}$ به ترتیب مربع ولتاژ نویز خروجی برای ترانزیستورهای M_1، M_2، M_3، M_4، مقاومت R_D و R_L می‌باشند. با مقایسه دو رابطه (۶) و (۱۱) می‌توان مشاهده نمود که سه ترم به نویز کمکی از طرف تقویت‌کننده های افزوده شده و بار، به عدد نویز مدار اضافه شده است. مقادیر خیلی کوچک g_{m3} و g_{m4} باعث شده اثرشان قابل چشم‌پوشی باشند. آنها ضرایبی را در دیگر ترمها در رابطه (۱۱) پدیدار می‌سازند و عدد نویز ساختار جدید را کمتر از مقدار مرسومش می‌نمایند. در تحلیل نویز ترانزیستور کمکی PMOS (M_5) را در نظر نمی‌گیریم زیرا نقش آن در بهبود خطینگی مدار است. بهبود g_{m1} توسط افزایش سایز ترانزیستور یا جریان مصرفی امکان پذیر است هر چند که افزایش ظاهری نسبت ترانزیستور باعث می‌شوند خازنهای ورودی و خروجی بزرگ شوند، بنابراین عملکرد پهن باند محدود شود[۱۳]. در این طراحی، ورودی شامل RLC سری می‌باشد که باعث افزایش اثرات رسانایی متقابل می‌شوند [۱۴]. علاوه بر مواردی را که در رابطه با نویز طبقه‌ی کاسکود گفته شد، در توپولوژی گیت مشترک جریان نویز تولید شده در بار مستقیما به ورودی منتقل می‌شود و این مشکل به این دلیل رخ می‌دهد که چنین مدارهایی بهره‌ی جریان ندارند. ویژگی غیرخطی تقویت‌کننده‌ی کم‌نویز و نتیجه‌ی آن بر اعوجاج در ولتاژ خروجی، از غیرخطی بودن جریان درین ترانزیستور حاصل می‌گردد. این همان اثر غیرخطی بودن رسانایی متقابل ترانزیستور (g_m) می‌باشد که ولتاژ ورودی خطی را به جریان خروجی غیرخطی تبدیل می‌کند [۱۵]. یک ترانزیستور کمکی PMOS (M_5) را به همراه یک خازن کوپلینگ بزرگ (C_3)، با امپدانس قابل اغماض در سراسر پهنای باند سیگنال، با ترانزیستور اصلی (M_2) جهت بهبود خطینگی مدار به تقویت‌کننده‌ی کم‌نویز در شکل ۵ اعمال نمودیم. ترانزیستور کمکی PMOS (M_5) دارای g''_m مثبت است در حالی که ترانزیستور NMOS دارای g''_m منفی می‌باشد. خاصیت غیرخطی تقویت‌کننده کم‌نویز و در نتیجه اعوجاج در ولتاژ خروجی از جریان غیرخطی ترانزیستور سرچشمه گرفته است. این مورد هم از رسانایی متقابل غیرخطی (g_m) می‌آید[۱۵]. سیگنال ورودی ac، (V_a) برای ترانزیستورهای M_2 و M_5 خارج از فاز هستند، بنابراین جریان خروجی نشان داده شده در شکل ۵ به صورت رابطه (۱۲) قابل بیان است:

(۱۲)

$$i_{out} = i_{ds2} + i_{ds5} = \left(g_{m2} + \frac{g'_{m2}}{2}V_a^2 + \frac{g''_{m2}}{6}V_a^3\right) - \left(g_{m5}(-V_a) + \frac{g'_{m5}}{2}(-V_a)^2 + \frac{g''_{m5}}{6}(-V_a)^3\right)$$
$$= (g_{m2} + g_{m5})V_a + \left(\frac{g'_{m2} - g'_{m5}}{2}\right)V_a^2 + \left(\frac{g''_{m2} + g''_{m5}}{6}\right)V_a^3$$

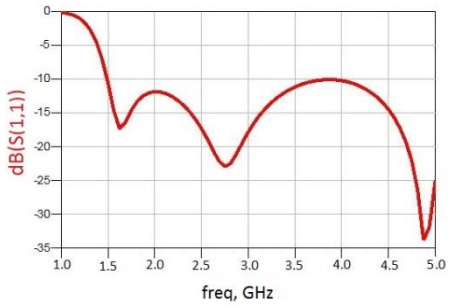
با استفاده از ساختار جفت تفاضلی مانند معکوس‌کننده (اینورتر) معمولی همانطور که در شکل۵ نشان داده شده است، تداخل اثرات اینترمدولاسیون مرتبه دوم[۹] کاهش می‌یابد، چون g'_{m2} و g'_{m5} هم علامت هستند و خنثی می‌گردند. جریان اعوجاجی ترانزیستور اصلی (M_2) در فرکانس‌های بالا، در حلقه‌ی شامل خازن C_3، ترانزیستورهای M_2 و M_5 جاری است، در نتیجه اعوجاج‌های مرتبه دوم در Z_D و R_L ایجاد نمی‌گردد. جریان غیرخطی مرتبه سوم (g''_m) از ترانزیستور را می‌توان با بایاس یک جفت ترانزیستور با g''_m مثبت در یک ناحیه و با g''_m منفی در ناحیه‌ای دیگر، خنثی نمود.

تطبیق امپدانس ورودی و بهره‌ی تقویت کننده‌ها

هدف از تطبیق امپدانس ورودی در کل باند فرکانسی موردنظر، داشتن امپدانس ثابت برای تقویت‌کننده می‌باشد. همچنین در طراحی تقویت‌کننده کم‌نویز هدف این است که سیگنال و اطلاعات ورودی با ضریب تقویت مشخص به طبقه‌ی بعد انتقال یافته و این تقویت‌کنندگی به صورت یکنواخت درکل باندفرکانسی موردنظر صورت گیرد. امپدانس ورودی مدار طراحی شده در شکل‌های ۳ و ۵ به صورت رابطه‌ی (۱۳) به دست می‌آید:

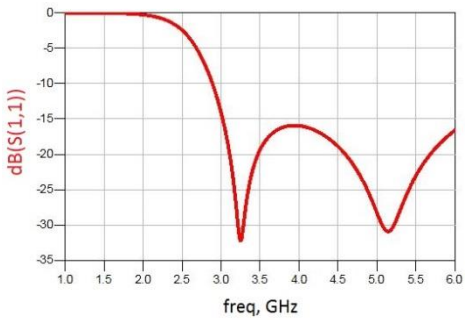
$$Z_{in}(s) = \frac{1}{s(C_{gs}+C_p)} + s(L_s+L_g) + \omega_T L_s = \frac{S^2(L_s+L_g)(C_{gs}+C_p) + S\omega_T L_s(C_{gs}+C_p) + 1}{S(C_{gs}+C_p)} \quad (۱۳)$$

در رابطه (۱۳)، ω_T فرکانس قطع ترانزیستور M_1 است و به صورت رابطه $\omega_T = \frac{g_m}{C_{gs}+C_p} = \frac{g_m}{C_t}$ می‌باشد. شکل۶ و شکل ۷ نمودار S_{11} را که با نرم‌افزار ADS شبیه‌سازی شده‌اند، بر حسب فرکانس نشان می‌دهند. مشاهده می‌شود که در بازه‌ی ۳ تا ۵ گیگاهرتز، مدارات طراحی شده S_{11} کمتر از ۱۰dB- و ۱۵dB- به ترتیب برای فیلتر تله‌ای و تکنیک‌های بهبود نویز و خطینگی دارد و این به معنای تطبیق ورودی مناسب می‌باشد.



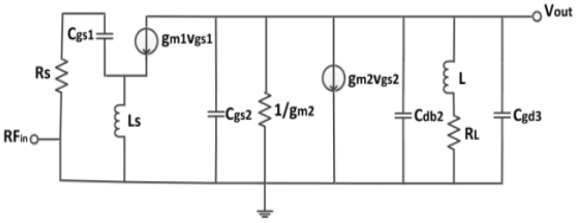
شکل۶. تغییرات ضریب انعکاس ورودی تقویت‌کننده کم نویز با فیلتر تله ای بر حسب دسی‌بل

[۹] Second Inter Modulation (IM_2)



شکل۷. تغییرات ضریب انعکاس ورودی تقویت‌کننده کم نویز بر حسب دسی‌بل با اعمال تکنیک‌های بهبود نویز و خطینگی مدار

در این طراحی با تکنیک اضافه کردن یک طبقه‌ی گیت مشترک به صورت کاسکود به دلیل افزایش مقاومت خروجی، بهره به صورت یکنواخت افزایش می‌یابد [۱۲و۷]. شکل ۸ مدل سیگنال کوچک مدار کاسکود تقویت‌کننده کم‌نویز با سلف در سورس را نشان می‌دهد.



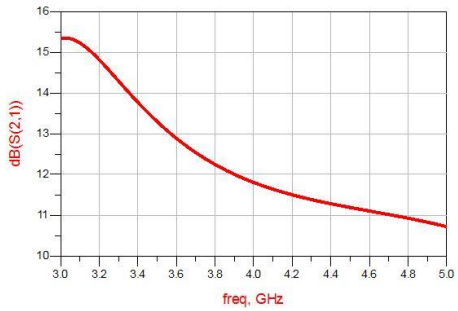
شکل۸. مدل سیگنال کوچک طبقه‌ی کاسکود

رابطه‌ی ولتاژ خروجی به ولتاژ ورودی (بهره) به صورت رابطه (۱۴) حاصل می‌شود:

$$\frac{V_{out}}{V_{in}} = -\frac{g_m W(s)}{SC_t R_s} \cdot \frac{R_L(1+\frac{SL_L}{R_L})}{1+SR_L C_{out}+S^2 L_L C_{out}} \qquad (۱۴)$$

که $Cout = C_{db2} + C_{gd3}$ است. C_{gd3} خازن پارازیتی طبقه بعد (ترانزیستور M_3)، C_{db2} خازن بالک با درین ترانزیستور M_2 یا همان خازن C_{ds2} ناشی از نفوذ بین درین و سورس ترانزیستور M_2 می‌باشند. R_L مقاومت بار طبقه‌ی دوم (ترانزیستورM_2) است. شکل‌های ۹ و ۱۰ نمودار تغییرات S_{21} بر حسب فرکانس، که با نرم‌افزار ADS شبیه‌سازی شده‌اند را نشان می‌دهند. توان سیگنال دریافتی در سیستم‌های فوق‌پهن‌باند پایین‌تر از توان سیگنال دریافتی باند باریک مجاور آن مثل باندهای فرکانسی ۲/۴ و۵/۲ گیگاهرتز می‌باشد. فیلتر تله‌ای دوگان طراحی شده بهره را در باندهای فرکانسی ذکر شده تقلیل می‌دهد تا اثرات تداخلی آن در باند کاری ۳ تا ۵ گیگاهرتز به حداقل برسد.

شکل۹. تغییرات بهره تقویت‌کننده کم نویز بر حسب دسی‌بل با اعمال فیلتر تله ای دوگان



شکل۱۰. تغییرات بهره تقویت‌کننده کم نویز بر حسب دسی‌بل بعد از اعمال تکنیک‌های بهبود نویز و خطینگی مدار

ماکزیمم بهره توان مدارات طراحی شده برای فیلتر تله‌ای و تکنیک‌های بهبود نویز و خطینگی به ترتیب برابر با ۱۵/۷dB و ۱۵/۳dB می‌باشند. یکی دیگر از پارامترهای مهم تقویت کننده کم نویز مقدار عدد نویز (NF) آن می‌باشد. عملکرد نویز در توپولوژی تقویت‌کننده کم‌نویز طراحی شده به وسیله‌ی دو قسمت اصلی تعیین می‌شود: یکی تلفات ناشی از شبکه‌ی ورودی و دیگری نویز ناشی از ترانزیستور M_1 [۱۲]. چگالی طیفی توان نویز گیت تحریک شده و جریان درین به صورت روابط (۱۵) و (۱۶) بیان می‌شوند:

$$S_{i_{ng}}(\omega) = 4kT\delta\frac{\omega^2 C_{gs}^2}{5g_{d0}} \qquad (۱۵)$$

$$S_{i_{nd}}(\omega) = 4kT\gamma g_{d0} \qquad (۱۶)$$

که در آن $\delta \approx 1.33-4$ و $\gamma \approx 0.67-1.33$، پارامترهای نویز اضافی [۱۶] و $g_{d0} = \frac{\partial I_D}{\partial V_{DS}}$، ضریب رسانایی کانال در $V_{DS}=0$ است. ولتاژ نویز e_n را می‌توان به صورت مجموع دو جزء بیان نمود: یکی e_{nc} یا همبستگی کامل نسبت به جریان نویز، و دیگری e_{nu} یا ناهمبستگی نسبت به جریان نویز، به صورت معادله زیر:

$$e_n = e_{nc} + e_{nu} \qquad (۱۷)$$

در طی محاسبات، امپدانس همبستگی Z_c به صورت معادله (۱۸) قابل بیان است:

$$Z_c = \frac{S_{e_n i_n}(\omega)}{S_{i_n}(\omega)} = R_C + jX_c = jX_c = \frac{1-\omega^2 L_s C_t . \frac{1+2|c|p\alpha\chi+p^2\alpha^2\chi^2}{1+|c|p\alpha\chi}}{j\omega C_t . \frac{1+2|c|p\alpha\chi+p^2\alpha^2\chi^2}{1+|c|p\alpha\chi}} \quad (۱۸)$$

که در آن $p=\frac{C_{gs}}{C_t}$ ، $\chi=\sqrt{\frac{\delta}{5\gamma}}$ و c ضریب همبستگی بین نویز گیت و نویز درین به صورت $c=\frac{S_{i_{ng}i_{nd}}(\omega)}{\sqrt{S_{i_{ng}}(\omega)S_{i_{nd}}(\omega)}}$ می‌باشد. برای قطعات MOS مقدار $c\approx j0.4$ می‌باشد [۱۶]. پارامتر $\alpha=\frac{g_m}{g_{d0}}$ از اثرات کانال کوتاه به شمار می‌آید. دو منبع نویز ناهمبسته e_{nu} و i_n توسط پارامترهای زیر به ترتیب بیان می‌گردند:

$$R_u = \frac{S_{e_{nu}}(\omega)}{4kT} = \frac{\gamma}{\alpha^2 g_{d0}} . \frac{p^2\alpha^2\chi^2\left(1-|c|^2\right)}{1+2|c|p\alpha\chi+p^2\alpha^2\chi^2} \quad (۱۹)$$

$$G_n = \frac{S_{i_n}(\omega)}{4kT} = \frac{\gamma}{\alpha^2 g_{d0}} . \omega^2 C_t^2 \left(1+2|c|p\alpha\chi+p^2\alpha^2\chi^2\right) \quad (۲۰)$$

با استفاده از پارامترهای معرفی شده در بالا، NF توسط معادله (۲۱) بیان می‌گردد:

$$F = 1 + \frac{R_u + |Z_c + Z_s|^2 G_n}{R_s} \quad (۲۱)$$

که در آن Z_s امپدانس سورس است ($Z_s = R_s + jX_s$). تئوری بهینه سازی نویز کلاسیک در مراجع [۸ و۱۷] نشان‌دهنده این مطلب هستند که کمترین مقدار عددنویز زمانی اتفاق میفتد که Z_s برابر با $Z_s = Z_{opt} = R_{opt} + jX_{opt}$ باشد. R_{opt} به صورت رابطه زیر به دست می‌آید:

$$R_{opt} = \sqrt{\frac{R_u}{G_n} + R_c^2} = \sqrt{\frac{R_u}{G_n}} = \frac{p\alpha\chi\sqrt{1-|c|^2}}{\omega C_t\left(1+2|c|p\alpha\chi+p^2\alpha^2\chi^2\right)} \quad (۲۲)$$

با وجود $R_c = 0$، خواهیم داشت:

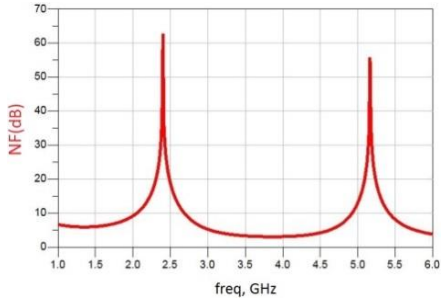
$$X_{opt} = -X_c \quad (۲۳)$$

روابط (۱۸) و (۲۳) بیانگر این مطلب هستند که مقدار مطلوب امپدانس سورس تقریبا یک است که ترکیب سری C_t و L_s را تشدید می‌کنند، در نتیجه، تقریبا کمترین مقدار NF در کل پهنای باند تقویت کننده توسط شبکه ورودی ارائه شده به دست آمده است و X_{opt} را در یک پهنای باند عریض ایجاد می‌کند. در نهایت، NF تقویت کننده کم نویز به صورت رابطه (۲۴) بیان می‌گردد:

$$F(\omega) \approx 1 + \frac{R_u}{R_s} + G_n R_s = 1 + \frac{P(\omega)}{g_m R_s} . \frac{\gamma}{\alpha} \quad (۲۴)$$

$$P(\omega) = \frac{p^2\alpha^2\chi^2\left(1-|c|^2\right)}{1+2|c|p\alpha\chi+p^2\alpha^2\chi^2} + \omega^2 C_t^2 R_s^2 \left(1+2|c|p\alpha\chi+p^2\alpha^2\chi^2\right) \quad (۲۵)$$

در معادلات (۲۴) و (۲۵)، $p\le 1$ ، $\alpha\le 1$ و $\chi\prec 1$ با استفاده از یک ترانزیستور کوچکتر برای داشتن g_m می‌باشند. علاوه بر این، معادلات نشان می‌دهند که افزایش رسانایی متقابل، عملکرد نویز را با همان مقادیر قبلی پارامترهای طراحی، بهبود می‌بخشد. شکل‌های ۱۱ و ۱۲ تغییرات عددنویز برحسب فرکانس را نشان می‌دهند. می‌توان نتیجه گرفت که با اعمال فیلتر تله‌ای دوگان، در فرکانس‌های ۲/۴ و۵/۲ گیگاهرتز به علت تقلیل بهره، عملکرد نویزی ضعیفی وجود دارد، اما کمترین مقدار نویز قبل و بعد از اعمال فیلترتله‌ای، تقریبا ثابت است. همچنین با اعمال تکنیک بهبود نویز و خطینگی مدار تنها ترارسانایی متقابل ترانزیستورهای M_3 و M_4 (g_{m3} و g_{m4}) به عنوان ضریب در ولتاژ نویز خروجی المان‌های مدار ظاهر می‌شوند که با توجه به کوچک بودن این مقادیر، فاکتور نویز کلی مدار کاهش می‌یابد. همانگونه که مشاهده می‌شود عدد نویز مدار اصلی از ۳/۶dB تا ۶dB در بازه فرکانسی ۳ تا ۵ گیگا هرتز می‌باشد. با اعمال تکنیک حذف نویز مقدار عدد نویز از۲/۹dB تا ۳/۵dB در بازه فرکانسی ۳ تا ۵ گیگا هرتز تغییر می‌کند، بنابراین کاهش عدد نویز در مدار پیشنهادی نسبت به مدار اصلی مشاهده می‌شود. در فرکانس‌های میانی ۱/۸dB و در فرکانس بالا ۲/۳dB بهبود نویز را داریم.



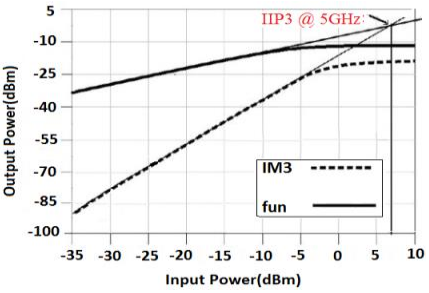
شکل۱۱. تغییرات عددنویز بر حسب فرکانس برای تقویت کننده کم نویز با اعمال فیلتر تله ای دوگان

شکل۱۲. تغییرات عددنویز بر حسب فرکانس تقویت‌کننده کم‌نویز با اعمال تکنیک‌های بهبود نویز و خطینگی مدار

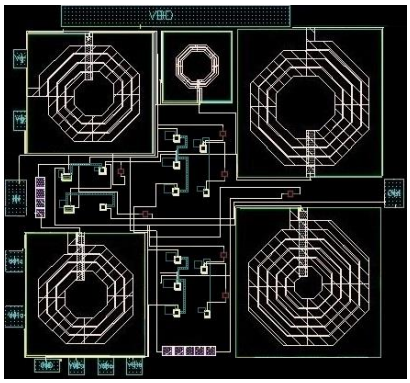
نتایج شبیه‌سازی

مدارات طراحی شده با نرم‌افزار ADS با استفاده از تکنولوژی *µmCMOS* ۰/۱۸ شبیه‌سازی شده‌اند. شکل‌های۶ و ۷ نمودار تغییرات ضریب انعکاس ورودی بر حسب فرکانس را نشان می‌دهند. مشاهده می‌شود که در بازه‌ی فرکانسی ۳-۵GHz، مدار طراحی شده با فیلتر تله ای دوگان S_{11} کمتر از ۱۰dB- و مدار طراحی شده با تکنیک‌های بهبود نویز و خطینگی S_{11} کمتر از ۱۵dB- دارند. شکل‌های ۹ و ۱۰ نمودار تغییرات بهره تقویت‌کننده‌های کم‌نویز را نشان می‌دهند. S_{21} مدار طراحی شده با فیلتر تله ای دوگان برابر با ۱۵/۷dB و S_{21} مدار طراحی شده با تکنیک‌های بهبود نویز و خطینگی برابر با ۱۵/۳dB می‌باشد. شکل۱۱ و شکل۱۲ تغییرات عددنویز برحسب فرکانس را نشان می‌دهند. همانگونه که مشاهده می‌شود با اعمال تکنیک حذف نویز مقدار عدد نویز از۲/۹dB تا ۳/۵dB در بازه فرکانسی ۳ تا ۵ گیگا هرتز تغییر می‌کند، بنابراین بهبود عدد نویز را در مدار پیشنهادی نسبت به مدار اصلی داریم. شکل۱۳ و شکل ۱۴، IIP3[10] تقویت‌کننده‌های کم‌نویز موردنظر را نشان می‌دهند، می‌توان نتیجه گرفت که IIP3 در فرکانس ۵ گیگاهرتز برای تقویت‌کننده کم نویز با فیلتر تله‌ای دوگان برابر با ۸dBm- و IP_{1-dB}[11] برابر با ۲۰dBm- می‌باشند. با توجه به شکل ۱۴، IIP3 تقویت‌کننده‌ی کم‌نویز با تکنیک بهبود نویز و خطینگی می‌توان نتیجه گرفت که IIP3 با اعمال ترانزیستور PMOS کمکی (M_5) در فرکانس ۵ گیگاهرتز برابر با ۷dBm و IP_{1-dB} برابر با ۵dBm- می‌باشد. IIP3 بدون اعمال ترانزیستور M_5، ۲dBm- بود ولی با اعمال ترانزیستور کمکی M_5 مقدار IIP3 به ۷dBm رسید، بنابراین با کمک ترانزیستور M_5 بهبود ۹dB+ در IIP3 مدار حاصل شد. جهت تایید عملکرد شماتیکی مدار پیشنهادی تقویت‌کننده کم‌نویز با اعمال تکنیک‌های بهبود نویز و خطینگی مدار و قابلیت آن برای پیاده‌سازی، لیوت کامل آنها در نظر گرفته شده است. شکل‌های ۱۵ و ۱۶ به ترتیب جانمایی تقویت‌کننده کم‌نویز با فیلتر تله ای دوگان با سلف فعال توان پایین و جانمایی تقویت‌کننده کم‌نویز با اعمال تکنیک‌های بهبود نویز و خطینگی مدار را نشان می‌دهند. سطح اشغالی سیلیکونی لیوت در شکل‌های ۱۵ و ۱۶ به ترتیب برابر با µm ۱۱۰۱/۲۵ ×۹۹۰/۴۵ µm و ۷۷۸/۶ µm ×۶۹۰/۴۶ µm می‌باشند. شکل‌های ۱۷ و ۱۸، جانمایی بهره‌های تقویت‌کننده کم‌نویز و شکل‌های ۱۹ و ۲۰، جانمایی عدد نویز تقویت‌کننده کم‌نویز را به ترتیب با اعمال تکنیک‌های فیلتر تله ای دوگان با سلف فعال توان پایین و بهبود نویز و خطینگی مدار را نشان می‌دهند. همان‌طور که نتایج شبیه‌سازی نشان می‌دهند، بهره و عددنویز در حالت جانمایی به دلیل در نظر گرفتن اثرات پارازیتی مدار، به ترتیب کاهش و افزایش می‌یابند.

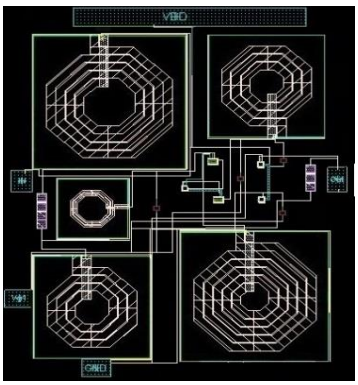
شکل۱۳. شبیه‌سازی IIP3 تقویت‌کننده کم‌نویز با فیلتر تله‌ای دوگان در فرکانس ۵ گیگاهرتز



شکل۱۴. شبیه‌سازی IIP3 تقویت‌کننده کم‌نویز در فرکانس ۵ گیگا هرتز با اعمال تکنیک‌های بهبود نویز و خطینگی مدار

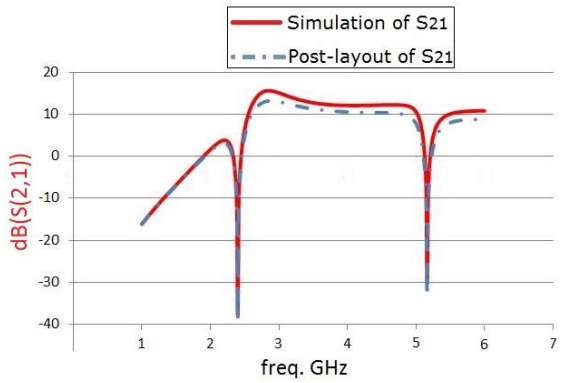


شکل۱۵. جانمایی تقویت‌کننده کم‌نویز با فیلتر تله ای دوگان با سلف فعال توان پایین

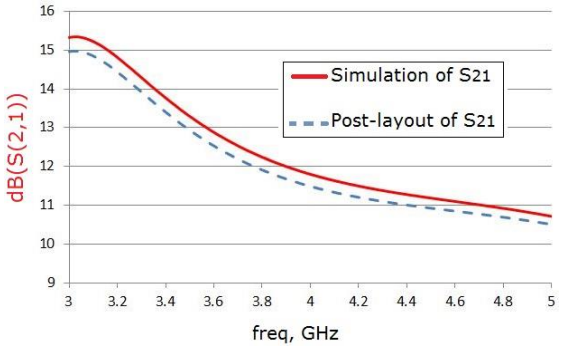


شکل۱۶. جانمایی تقویت‌کننده کم‌نویز با اعمال تکنیک‌های بهبود نویز و خطینگی مدار

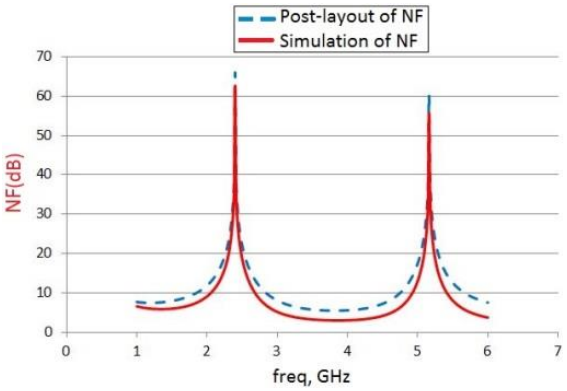
[10] Third Input Intercept Point
[11] Input 1-dB Compression Point



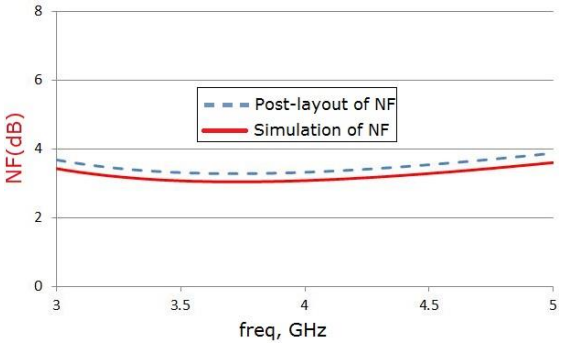
شکل۱۷. بهره تقویت‌کننده کم‌نویز با فیلتر تله ای دوگان با سلف فعال توان پایین



شکل۱۸. بهره تقویت‌کننده کم‌نویز با اعمال تکنیک‌های بهبود نویز و خطینگی مدار



شکل۱۹. عدد نویز تقویت‌کننده کم‌نویز با فیلتر تله ای دوگان با سلف فعال توان پایین



شکل۲۰. عدد نویز تقویت‌کننده کم‌نویز با اعمال تکنیک‌های بهبود نویز و خطینگی مدار

نتیجه گیری

در این مقاله دو تقویت‌کننده کم‌نویز درسیستم فراپهن‌باند با استفاده از تکنولوژی CMOS طراحی و تحلیل گردیدند. در طراحی این مدارات برای ترانزیستورها و المان‌های پسیو از مدل فرکانس بالای ارائه شده توسط شرکت TSMC [۱۲] مربوط به تکنولوژی $0.18\ \mu mCMOS$ استفاده شده است. استفاده از ساختار سلف فعال برای ایجاد فیلتر تله‌ای برای حذف سیگنال-های تداخلی خارج از باند، اعمال تکنیک حذف نویز برای کاهش مقدار نویز تقویت‌کننده کم‌نویز، اعمال ترانزیستور کمکی M_5 جهت بهبود خطینگی مدار و همچنین استفاده از تکنیک بایاس زیرآستانه در طراحی مدار LNA به منظور کاهش توان مصرفی از ویژگی‌های اصلی مدارات ارائه شده می-باشد. تقویت‌کننده‌های کم‌نویز طراحی شده با پهنای‌باند ۳ تا ۵ گیگاهرتز با فیلتر تله‌ای دوگان، توان ۲/۸ میلی‌وات و با اعمال تکنیک بهبود نویز و خطینگی، توان ۱/۹ میلی‌وات را از منبع تغذیه ۱/۸ ولت مصرف می‌کنند. همچنین در این مقاله با اعمال تکنیک حذف نویز مقدار عدد نویز از۲/۹dB تا ۳/۵dB در بازه فرکانسی ۳ تا ۵ گیگا هرتز تغییر می‌کند، بنابراین بهبود عدد نویز را در مدار پیشنهادی نسبت به مدار اصلی داریم. بعلاوه IIP3 در فرکانس ۵ گیگاهرتز برای تقویت‌کننده کم نویز با فیلتر تله‌ای دوگان برابر با ۸dBm- و $IP_{1\text{-}dB}$ [۱۳] برابر با ۲۰dBm- می‌باشند. می‌توان نتیجه گرفت که IIP3 تقویت-کننده‌ی کم‌نویز با تکنیک بهبود نویز و خطینگی با اعمال ترانزیستور PMOS کمکی (M_5) در فرکانس ۵ گیگاهرتز برابر با ۷dBm و $IP_{1\text{-}dB}$ برابر با ۵dBm- می‌باشد. IIP3 بدون اعمال ترانزیستور M_5، ۲dBm- بود ولی با اعمال ترانزیستور کمکی M_5 مقدار IIP3 به ۷dBm رسید، بنابراین با کمک ترانزیستور M_5 بهبود ۹dB+ در IIP3 مدار حاصل گردید.

در جداول ۲ و ۳ مقایسه‌ای بین مدارات طراحی شده و چند تقویت‌کننده کم‌نویز دیگرکه در سیستم فراپهن باند طراحی شده‌اند، انجام شده است.

[۱۲] Taiwan Semiconductor Manufacturing Company

[۱۳] Input 1-dB Compression Point

جدول ۲. مقایسه تقویت‌کننده کم‌نویز طراحی شده با اعمال فیلتر تله‌ای دوگان با کارهای انجام شده پیشین

مراجع	تکنولوژی	S_{11}(dB)	G_{max}(dB)	BW(GHz)	NF(dB)	P_{diss}(mW)	IIP3(dBm)	Out-band Rejection
[16]	0.18 µm CMOS	< -9	11.5	2.8-6.2	3.8	2.5	N/A	25dB@1.8GHz 32dB@8.5GHz
[17]	0.18 µm CMOS	< -7	16	3-4.8	2.7	11.9	N/A	15dB@2.4GHz 19dB@5.3GHz
[18]	0.18 µm CMOS	< -10	19.7	3-4.8	4.0	24	N/A	13dB@2.4GHz 20dB@5.8GHz
[19]	0.18 µm CMOS	< -9	9.8	2-4.6	2.3	16.2	N/A	-
[20]	0.18 µm CMOS	< -9	9.2	5.0	4.5	0.9	N/A	-
This Work	**0.18 µm CMOS**	**< -10**	**15.7**	**3-5**	**2.5-10.3**	**2.8**	**-8**	**42dB@2.4GHz 36dB@5.2GHz**

جدول ۳. مقایسه تقویت‌کننده کم‌نویز طراحی شده با اعمال تکنیک‌های بهبود نویز و خطینگی مدار با کارهای انجام شده پیشین

مراجع	تکنولوژی	S_{11}(dB)	G_{max}(dB)	Bw(GHz)	NF(dB)	P_{diss}(mW)	IIP_3(dBm)
[4]	0.13 µm CMOS	< -8.5	14.5	0.8-2.1	2.6	17.4	16
[21]	0.18 µm CMOS	< -10	16.9	1.05-3.05	2.6	11.9	-0.7
[22]	0.18 µm CMOS	< -10	12.1	0.0002-1.4	3	24	0
[23]	0.18 µm CMOS	< -9	11.5	3.3-11	N/A	9	N/A
[24]	0.18 µm CMOS	< -10	13	2-8.5	4.1	9.3	-13.5
This Work	**0.18 µm CMOS**	**< -15**	**15.3**	**3-5**	**2.9-3.5**	**1.9**	**7**

مراجع

[1] P. R. Gray, P. J. Hursts, S. H. Lewis, and R. G. Meyer, "Analysis and design of analog integrated Circuits," New York: Wiley. pp. 186 -191, 2001.

[2] M. Yargholi, and A. P. Tarighat, "Resistive Feedback LNA With Dual Band Notch Filter for Suppressing WLAN Signals in UWB Receivers, " IEEE National Conf. of Communication, NCC, 2012.

[3] B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw Hill, pp. 192 - 256, 2001.

[4] W. Chen, G. Liu, B. Zdravko, and A. M. Niknejad, "A Highly Linear Broadband CMOS Low-Noise Amplifier Employing Noise and Distortion Cancellation, " IEEE J Solid-State Circuits, vol. 43, no. 5, pp. 1164-1176, 2008.

[5] M. Alioto, "Ultra low power VLSI circuit design demystified and explained : A tutorial, " IEEE Trans. Circuits Syst. I, vol. 59, no. 1, pp. 3-29, 2012.

[6] M. Alioto, "Understanding DC behavior of subthreshold CMOS logic through closed-form analysis, " IEEE Trans. Circuits Syst. I, Reg. Pa-pers, , vol. 57, no. 7, pp.1597-1607, 2010.

[7] H. Lee, and S. Mohammadi, "A 3GHz Subthreshold CMOS Low Noise Amplifier, "School of Electrical and Computer Engineering, Purdue Uni., West Lafayette, IN,47907,U.S.A, 2006.

[8] A. Bevilacqua, and A. M. Niknejad, "An ultra-wideband CMOS LNA for 3.1 to 10.6 GHz wireless receiver," IEEE J. Solid-State Circuit vol. 39, no. 12, pp. 2259-2268, 2004.

[9] M. Babasafari, and M. Yargholi, "A 3.1-10GHz Low Power CMOS UWB LNA With Dual Band Notch Filter Using Forward Body Biasing, "IETE J. of research , 2018.

[10] A. P. Tarighat, and M. Yargholi, "A CMOS low noise amplifier with employing noise cancellation and modified derivative superposition technique, " Microelectronics Journal , no. 54, pp. 116-125, 2016.

[11] M. El-Nozahi, A. Helmy, E. Sanchez-Sinencio, and K. Entesari, "An Inductor- Less Noise-Cancelling Broadband LNA With Composite Transistor Pair In 90 nm CMOS Technology , " IEEE J. Solid State Circuits, vol. 46, no. 5 pp. 1111-1122, 2011.

[12] S. Joo, T. Choi, and B. Jung, "A 2.4-GHz Resistive Feedback LNA in 0.13 m CMOS, " IEEE J. Solid State Circuits, vol. 44, no. 11, pp.3019-3029, 2009.

[13] H. Zhang, and E. Sanchez-Sinencio, "Linearization Techniques for CMOS Low Noise Amplifier: A tutorial ," IEEE Trans.

Circuits Syst. I, Reg. Papers, vol. 58, no. 1, pp. 22-36, 2011.

[14] A. J. Scholten, L. F. Tiemeijer, R. van Langevelde, R.J. Havens, A.Zegers-van Duijnhoven, and V. C. Venezia, "Noise modeling for RF CMOS circuit simulation" IEEE Trans. Electron Devices, vol. 50, pp.618-632, 2003.

[15] D. M. Pozar, "Microwave Engineering," New York: Wiley,1998.

[16] Ch. Liang, P. Rao, T. Huang, and Sh. Chung, "Analysis and Design of Two Low-Power Ultra-Wideband CMOS Low-Noise Amplifiers With Out-Band Rejection, " IEEE Trans. Micro Wave Theory And Tech, vol. 58, no. 2, pp.277-286.

[17] S.-K. Tang, K.-P. Pun, C.-S. Choy, C.-F. Chan, and K. N. Leung, " A fully differential band-selective Low- Noise Amplifier for MB - OFDM UWB Receivers, " IEEE Trans . Circuits Syst., vol. 55, no. 7, pp. 653-657, 2008

[18] Y. Gao, Y. J. Zheng, and B. L. Ooi, "0.18µm CMOS dual- band UWB LNA with interference rejection, "Electron. Lett., vol. 43, no. 20, pp. 1096-1098, 2007.

[19] R. E. Amaya, N. G. Tarr, and C. Plett, "A 27 GHz fully integrated CMOS distributed amplifier using coplanar waveguides," Proc. IEEE RFIC Symp., pp. 193-196, 2004.

[20] H.H. Hsieh, et al., "A CMOS 5-GHz Micro Power LNA, " IEEE RFIC Symp. Dig., pp. 31-34, 2006.

[21] J. Kim, S. Hoyos, and J. Silva- Martinez, " Wideband Common Gate CMOS Low-Noise Amplifier Employing Dual Negative Feedback With Simultaneous Noise, Gain and Bandwidth Optimization, " IEEE Trans. Microwave Theory & Tech, vol. 58, no. 9, pp. 2340-2351, 2010.

[22] K. Wang, K. Seng Yeo, K. Mal, and Zh. Wang, "An Inductorless and Capacitorless LNA with Noise and Distortion Cancelation, " IEEE Computer Research and Development (ICCRD) Conf. vol. 3, pp. 270-274, 2011.

[23] Ro. Min WENG, Ron-Chi KUO, and Po-Cheng LIUN, "An Ultra-Wideband LNA with Notch Filter, " IEEE, 2007.

[24] T. K. K. Tsang, K.-Y.Lin, and M. N. El-Gamal, "Design techniques of CMOS UWB amplifier for multistandard communication, " IEEE Trans. Circuit Syst. II, vol.55, no. 3, pp. 214-218, 2008.