طراحی تقویت کننده زمان با بهره تبدیل، رزولوشن، محدوده پویایی بالا درفنّاوری CMOS برای مبدل زمان به دیجیتال

محسن تمدن خشکناب[۱]

عبدالرضا نبوی[۲]

چکیده

در این مقاله یکی از کلیدی‌ترین بلوکهای مربوط به پردازش در حوزه زمان، یعنی تقویت کننده زمان معرفی، طراحی و شبیه‌سازی شده است. پردازش در حوزه زمان یکی از پیشروترین گزینه‌های موجود برای جایگزین شدن با بلوکهای پردازش در حوزه دامنه و یا ولتاژ در فناوری های نانومتری می‌باشد. هسته اصلی یک بلوک پردازشگر در حوزه زمان، مدار مبدل زمان به دیجیتال می‌باشد. هر چقدر رزولوشن زمانی این مدار بیشتر باشد، عمل پردازش با کیفیت و دقت بهتری انجام می‌پذیرد. یکی از چالشهای بزرگ در این زمینه، پردازش سیگنال‌هایی با اختلاف زمانی و یا اختلاف فاز بسیار کوچک می‌باشد. فنهای بسیاری برای رفع این مشکل در سالیان اخیر ارائه شده است. یکی از این فنون تقویت مقادیر اختلاف زمانی بسیار کوچک قبل از وارد کردن آنها به مدارات پردازشگر حوزه زمان می‌باشد. با در نظر داشتن این چالش بزرگ، در این مقاله یک تقویت‌کننده زمان با بهره، رزولوشن و محدوده پویایی و خطسانی بالا طراحی گشته است. مدار پیش‌آشکارساز مورد نیاز برای این تقویت کننده، یک مبدل پالس به لبه دیجیتالی جدید می‌باشد که قابلیت کار در فرکانس‌های بالا را دارا می‌باشد. از این تقویت کننده در ساختار یک مبدل زمان به دیجیتال پیشنهادی استفاده شده است. مدار تقویت‌کننده زمان طراحی شده در تکنولوژی ۰,۱۸ um CMOS به کمک نرم‌افزار ADS و Cadence شبیه‌سازی شده است. کل توان مصرفی مدار برابر با ۱,۷ میلی‌وات، سطح اشغالی تراشه ۰,۳۵ میلی‌متر مربع، رزولوشن زمانی برابر با ۵پیکوثانیه، بهره تقریبی ۲۰۰ و محدوده پویایی بدون آثار غیرخطی‌نگی برابر با ۳۵۰پیکوثانیه می‌باشد.

کلید واژه

تقویت‌کننده زمان، مبدل پالس به لبه، مبدل زمان به دیجیتال

۱. دانشجوی کارشناسی ارشد دانشکده برق، دانشگاه تربیت مدرس، m.tamaddon@gmail.com

۲. دانشیار دانشکده برق، دانشگاه تربیت مدرس

تاریخ دریافت:۸۹/۱۰/۴ تاریخ پذیرش:۸۹/۱۱/۱۰

مقدمه

مبدل‌های زمان به دیجیتال یکی از بلوک‌های نوین در حوزه پردازش سیگنال میباشد. این مدار برخلاف مبدلهای آنالوگ به دیجیتال که یکی از اساسی ترین بلوک‌های موردنیاز برای پردازش سیگنال در حوزه دامنه می‌باشد، باب گرایش به سمت پردازش در حوزه زمان و یا فاز را برای طراحان بیش از پیش باز کرده است. مبدل زمان به دیجیتال یا TDC سامانه ای است که برای اندازه گیری بسیار دقیق زمان به کار برده می شود. این مدارات در حال حاضر به عنوان یک ابزار دقیق در سنجش زمان در بسیاری از کاربردها از قبیل رادارهای لیزری، بینایی روبات‌ها، پردازش سیگنال‌های ویدئویی، آزمایش‌های فیزیکی برای تعیین زمان رانش و یا شناسایی ذرات از روی جرم آنها، صنایع پزشکی، لیزرهای فاصله‌سنج، علوم هسته‌ای، دستگاه‌های اندازه‌گیری و غیره به طور گسترده به کارگرفته می-شود [۱]. البته در سالهای اخیر چندین کاربرد بسیار مهم نیز به این موارد اضافه شده است. استفاده‌از TDC برای طراحی یک مبدل آنالوگ به دیجیتال[۲] یا استفاده از TDC به عنوان آشکارساز فاز، در سینتی‌سایزرهای فرکانسی مبتنی بر حلقه‌های قفل فاز تمام دیجیتال در حال حاضر توجه چشم‌گیری را به خود جلب کرده است[۳]. با توجه به رشد روزافزون فناوری در حوزه‌های ذکر شده نیاز به یک مبدل که بتواند دقت بهتری را ارائه بدهد، بیش از پیش احساس می شود درسالهای اخیر، رویکرد گرایش به طراحی و ساخت مدارات سیگنال مختلط، نه تنها پاسخگوی بسیاری از مشکلات موجود در مدارات آنالوگ بوده‌است، بلکه حتی توانسته است نقش بسیار موثری را در مدارات فرکانس رادیویی نیز ایفا کند[۴]. پردازش در حوزه زمان میتواند مزایای بسیار زیادی با خود به همراه داشته باشد. انعطاف پذیری مدارات طراحی شده، سازگار بودن با کوچک شدن ادوات نیمه‌هادی، مقاوم بودن در مقابل تغییرات پروسه‌ولتاژ-دما، داشتن توان مصرفی پایین و مزایای بسیار دیگری را می‌توان برای مدارات مبتنی بر پردازش زمانی متصوّر شد. چرا که با پیشرفت تکنولوژی ادوات نیمه‌هادی بویژه ادوات CMOS به سمت ادوات نانومتری، مقادیر ولتاژهای تغذیه و در نتیجه مقادیر دامنه مربوط به سیگنالهای حاوی اطلاعات به شدت محدود می‌شوند. برای غلبه بر این محدودیت‌ها استفاده از روشهای جایگزین مثل پردازش در حوزه زمان و استفاده از زمان به جای دامنه، در حال حاضر یکی از بهترین پیشنهادها محسوب می‌شود.

افزایش رزولوشن یک مبدل زمان به دیجیتال، معمولاً نیاز به پرداخت بهای بیشتر و مصرف توان بیشتر دارد. در اکثر فن‌هایی که برای این هدف ارائه شده است، لزوم حلقه‌های قفل فاز و یا حلقه‌های قفل تاخیر برای مقاصد جبران‌سازی به شدت احساس می‌شود، که خود این بلوک‌ها باعث افزایش سطح اشغالی تراشه و مصرف‌توان آن می‌شود[۵].

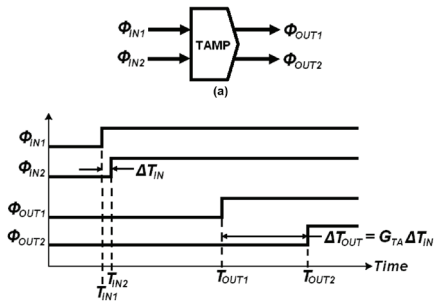
در این مقاله به این چالش از زاویه دید متفاوتی نگاه شده است. بدین معنی که مشکلات ناشی از

اندازه گیری اختلاف‌زمانی‌های کوچک تنها منحصر به طراحی خود مبدل زمان به دیجیتال نمی شود، بلکه به شرایط سیگنال‌های ورودی نیز بستگی دارد. به عبارت دیگر، سوال این است که چگونه می توان سیگنال ورودی یا اختلاف زمان ورودی را به نحوی مدوله کرد که بتوان آن را به صورتی درآورد که توسط یک مبدل زمان به دیجیتال با رزولوشن پائین نیز به‌راحتی قابل آشکارسازی و یا قابل اندازه‌گیری باشد. اولین ایده ای که به ذهن می‌رسد این است که به مانند یک تقویت‌کننده ولتاژ که ولتاژهای ورودی را تقویت می‌کند، توسط یک تقویت‌کننده زمان مقدار اختلاف فاز و یا اختلاف زمان مورد اندازه‌گیری را تقویت کنیم تا آشکار سازی آن ساده تر انجام شود.

در این مقاله ابتدا مروری خواهیم داشت بر تشریح مفهوم تقویت زمان، سپس مدار طراحی شده به عنوان تقویت زمان را معرفی خواهیم کرد. در بخش بعدی به معرفی بلوک مبدل پالس به لبه که قبل از بلوک تقویت‌کننده زمان قرار می‌گیرد، خواهیم پرداخت. در انتهای مقاله نیز نتیجه‌گیری نهائی ارائه خواهد شد.

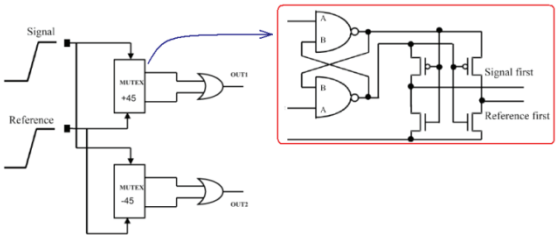
مفهوم تقویت کننده زمان

همانطور که در شکل ۱ نشان داده شده است، هدف از تقویت زمان در واقع گسترش اختلاف زمانی بین لبه های بالارونده و یا پائین رونده دو سیگنال ورودی با ضریب G_{TA} می باشد.



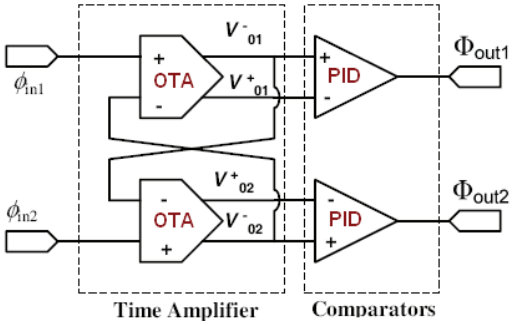
شکل۱: دیاگرام عملکردی یک تقویت‌کننده زمان

بدیهی است که اختلاف زمانی های با مقدار بیشتر، خیلی ساده تر از مقادیر زمانی کوچک به مقدار دیجیتال تبدیل می شوند، لذا با استفاده از این تقویت کننده و گسترده کردن بازه زمانی ورودی، می توان به کمک یک TDC با دقت حتی پایین‌تر، به رزولوشن بالایی دست یافت. در شکل ۲ ساختار اولین تقویت کننده زمان طراحی شده نشان داده شده است.



شکل۲: ساختار اولین تقویت‌کننده زمان ارائه شده[۶]

همان‌طور که ملاحظه می‌شود ساختار این مدار یک ساختار کاملاً دیجیتال میباشد. این تقویت کننده زمان دیجیتال بر اساس یک بلوک به نام MUTEX شکل می‌گیرد. وظیفه این بلوک این است که ابتدا تشخیص بدهد، کدام لبه از بین دو لبه مرجع و سیگنال وارد شده، زودتر از لبه دیگر به تقویت‌کننده می رسد. برای بهبود عملکرد تقویت کننده، از دو بلوک MUTEX به صورت MUTEX - 45psec و MUTEX +45psec استفاده شده است که اولی برای حالتی است که اختلاف فاز بین دولبه کوچکتر از ۴۵پیکوثانیه باشد و دومی برای حالتی است که اختلاف فاز دو لبه بیشتر از ۴۵پیکوثانیه باشد. ساختار فیدبکی ضربدری متشکل از گیتهای NAND درواقع یک مدار بای‌استابل میباشد، و ترانزیستورهای خروجی زمانی سوئیچ میشوند که تفاضل بین ولتاژهای خروجی گیتهای NAND به یک مقدار خاصی برسد. عمل تقویت زمان در شرایطی صورت می‌پذیرد که اختلاف زمان بین لبه های ورودی مدار تا حدی کوچک باشد که بتواند موجبات ناپایدار شدن ساختار را فراهم کند. بدیهی است که اگر این اختلاف بیشتر از یک حدّ خاصی باشد، مدار ناپایدار نخواهد شد و لذا عمل تقویت به صورت مطلوب انجام نخواهد گرفت. این الگوی از تقویت کننده های زمان به دلیل اینکه به صورت کاملاً دیجیتال پیاده سازی می شوند، سطح تراشه کوچکی را اشغال می‌کنند، ولی در عین حال این ساختار عیب های فراوانی نیز دارد. محدوده دینامیکی این ساختار بسیار کوچک است و محدود به چندپیکوثانیه میباشد. این ساختار بهره تبدیل بسیار کمی نیز دارد که معمولاً کوچکتر از ۱۰ می باشد. لذا برای غلبه بر این معایب و طرح کردن تقویت کننده ای با بهره نسبی و محدوده دینامیکی بالا، به ناچار باید سراغ مدارات آنالوگ برویم. این نوع ساختارها با صرف توان و سطح تراشه بیشتر، می توانند بهره و محدوده دینامیکی بیشتری را تامین کنند. اساس این ساختار یک مدار آنالوگی است که متشکل از دو تقویت کننده ترانس کندوکتانس عملیاتی (OTA) با ساختار ضربدری می باشد، که خروجی آنها به آشکارسازهای وارونگی قطب/فاز (PID) مطابق شکل ۳ متصل شده است.



شکل۳: الگوی ادراکی تقویت‌کننده زمان آنالوگ

وظیفه اصلی تقویت‌زمان در این تقویت‌کننده بر عهده همان ساختار ضربدری OTAها می‌باشد. اگر دو لبه ورودی را به ترتیب برابر با Φ_{in1} و Φ_{in2} فرض کنیم لذا می‌توان نوشت:

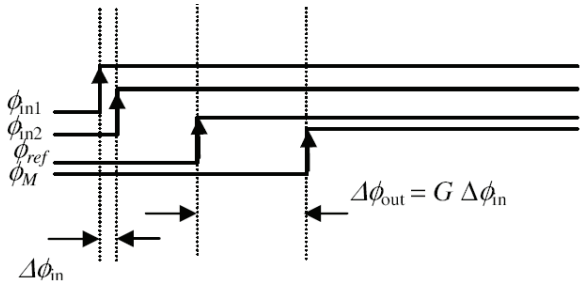
$$\Delta\phi_{in} = \phi_{in2} - \phi_{in1}$$
$$\Delta\phi_{out} = \phi_{out2} - \phi_{out1} \qquad (۱)$$

پاسخ زوج تفاضلی در واقع معادل بروز وارونگی فاز در خروجی آنها می‌باشد. چنین پاسخی هم به پاسخ طبیعی زوج تفاضلی و هم به مقدار سطح ولتاژ در ورودی منفی آن در لحظه تحریک شدن ورودی مثبت آن بستگی دارد. برای درک بهتر از نحوه عملکرد ساختار شکل ۳ و نحوه پاسخ‌دهی زوج‌های تفاضلی به ورودی‌ها، دو حالت زیر را در نظر می‌گیریم.

ابتدا، فرض می‌کنیم که اختلاف فاز دو سیگنال ورودی تقویت‌کننده ($\Delta\phi_{in}$) بزرگ باشد. به محض ورود لبه Φ_{in1} به مدار، زوج تفاضلی اول ولتاژ خروجی خود را یعنی V_{out1} را از سطح پائین به سطح بالا می‌رساند. این ولتاژ سطح بالا وارد مقایسه‌گر میشود واین مقایسه‌گر واورنگی فاز رخ داده شده را آشکار کرده و فاز Φ_{out1} را به عنوان فاز مرجع خروجی، تولید می‌کند. طبیعی است که ایجاد فاز مرجع خروجی تنها به لبه Φ_{in1} و پاسخ طبیعی OTA_1 بستگی دارد. فاز Φ_{out2} نیز به طور مشابه به عنوان فاز اندازه‌گیری، ایجاد می‌شود. از آنجایی که در این حالت فرض بر این است که ولتاژ V_{out1} قبل از رسیدن فاز Φ_{in2} به حالت پایدار خود رسیده است، لذا میتوان ادعا کرد که در ایجاد شدن فاز Φ_{out2} فقط لبه Φ_{in2} و OTA_2 ایفای نقش می‌کنند و تولید این فاز مستقل از لبه Φ_{in1} و رفتار OTA_1 است.در این شرایط فرضی، هیچگونه وابستگی‌های درونی در سیگنال‌های خروجی وجود ندارد و هردو فاز خروجی مستقل از همدیگر و بدون هیچ تعامل فی‌مابین، به وجود می‌آید. لذا می‌توان نشان

داد که در این شرایط به دلیل اشباع شدن تقویت‌کننده، هیچ‌گونه تقویت زمانی انجام نمی‌گیرد، چرا که می‌دانیم تقویت زمانی این تقویت‌کننده ناشی از تعاملات فی‌مابین فازهای ورودی و رفتارهای دو OTA می‌باشد.

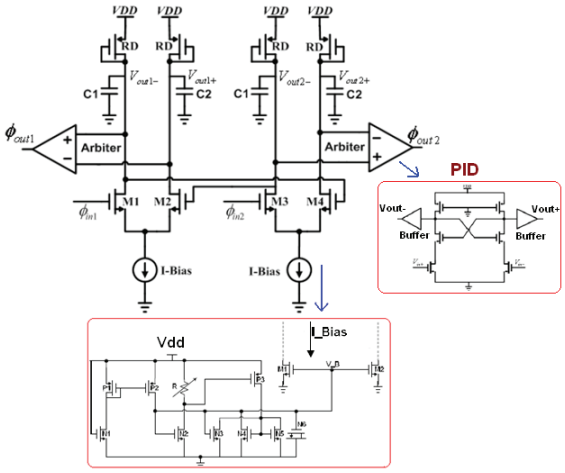
در شرایط اختلاف زمانی بسیار کوچک بین لبه‌ها، رفتار دینامیکی سامانه متفاوت خواهد بود. حالتی که در این شرایط بر مدار حاکم می‌شود، می‌توان اینگونه تفسیر کرد که در شرایط مفروضه، لبه Φ_{in2} زمانی وارد مدار می‌شود که هنوز پاسخ OTA_1 به ورودی Φ_{in1} به حالت پایدار خود نرسیده است و در نتیجه نوعی درگیری بین پاسخ‌های خروجی هر دو OTA به وجود خواهد آمد که آن حالت استقلال خروجی‌ها که مربوط به شرایط مفروض در حالت اول بود را نقض می‌کند. یعنی در این حالت، فاز Φ_{out1} نه تنها به Φ_{in1} و OTA_1 بستگی دارد، بلکه به رفتار OTA_2 و فاز Φ_{in2} نیز بستگی دارد و حالت مشابه را نیز می‌توان برای Φ_{in2} متصور شد. در این حالت وابستگی فازهای خروجی به یکدیگر به دلیل وجود ساختار ضربدری در زوج‌تفاضلی است. پس در این حالت میتوان گفت که اختلاف فاز خروجی یعنی $\Delta\Phi_{out}$ به صورت تابعی از هر دو فاز ورودی است. از آنجا که نرخ زمان پاسخ‌دهی OTAها با یکدیگر متفاوت است، لذا فارهای خروجی ایجاد شده تحت تاثیر تاخیرات متفاوتی قرار خواهند گرفت و درنتیجه می‌توان گفت که اختلاف فاز خروجی بزرگتر میشود، و عمل تقویت زمانی رخ خواهد داد. این حالت در شکل ۴ نشان داده شده است. که در آن G همان بهره تقویت‌کننده زمان می‌باشد.



شکل۴: دیاگرام زمانی تقویت‌کننده در حالت تقویت‌کنندگی

طراحی تقویت‌کننده زمان مبتنی بر OTA

برای پیاده‌سازی این تقویت‌کننده، از مدار زوج تفاضلی شکل ۵ استفاده می‌کنیم.



شکل۵: مدار تقویت کننده زمان طراحی شده

همانطور که مشاهده می‌شود، قلب مدار متشکل از دو ساختار OTA با بارهای خازنی- مقاومتی متشکل از $C_{1,2}$ و R_D می‌باشد. ساختار مذکور دارای یک توپولوژی متقارن است که می‌تواند آثار تخریبی ناشی از عدم تطبیق‌های ناخواسته را کاهش دهد. این مدار دارای دو فاز کاری می‌باشد. قبل از ورودی فازهای Φ_{in1} و Φ_{in2} ترانزیستورهای M_1 و M_3 خاموش می‌باشند چرا که گیت آنها بدون ولتاژ است($V_{G1}=V_{G2}=0$) و در نتیجه ولتاژ درین این دو ترانزیستور به مقدار V_{DD} می‌رسند، در حالیکه ترانزیستورهای ضربدری M_2 و M_4 تمام جریان منابع جریان I_{Bias} را به سمت خود می‌کشند و در نتیجه ولتاژ درین این دو ترانزیستور آنقدر افت می‌کند تا اینکه میتوان گفت که M_2 و M_4 به دلیل مواجه بودن با بارهای امپدانس بالا، در ناحیه تریود قرار دارند. لذا به طور خلاصه قبل از ورود فازهای Φ_{in1} و Φ_{in2} به مدار، ولتاژهای مذکور به شرح زیر خواهند بود:

$$V_{out1-} = V_{out2-} = V_D$$
$$V_{out1+} = V_{out2+} = V_D \quad - R_D.I_{Bias} \qquad (۲)$$

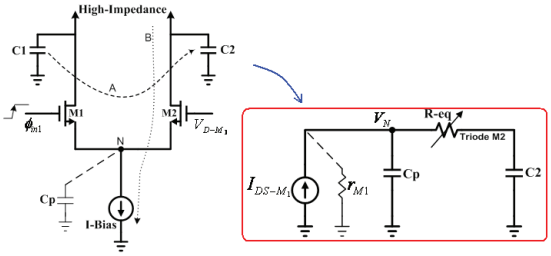
که درآن مقاومت R_D مقاومت ترانزیستورهای PMOS می‌باشد.

حال با شرط اولیه ذکر شده در بالا، با آمدن اولین لبه به نام Φ_{in1} مدار وارد فاز اول کار خود می‌شود. با آمدن Φ_{in1} ترانزیستورهای $M_{1,3}$ روشن میشوند و یک توزیع سریع بار در OTA_1 صورت می‌گیرد. وقتیکه M_1 روشن می‌شود، یک عمل تخلیه بار بسیار سریع از طریق مسیر M_1 و M_2 و از سمت خازن‌های از قبل شارژ شده C_1 به سمت خازن‌های خالی C_2 انجام می‌شود. قبل از اینکه این عمل انتقال بار به پایان برسد و حالت‌دائمی در آنها ایجاد شود،فاز یا لبه دوم یعنی Φ_{in2} وارد مدار می شود، و کار انتقال کامل بار را دچار خلل می‌کند و اساس کار تقویت کنندگی برمبنای همین خلل شکل می‌گیرد. با آمدن لبه دوم، ترانزیستور M_3 نیز روشن می‌شود و مسیر دشارژی برای تخلیه خازن C_1 بر روی C_2و اینبار در OTA_2، به وجود می‌آید. مشابه حالت قبلی، در این مرحله نیز ولتاژ گیت M_4 دچار کاهش می‌شود، چراکه این گیت به درین ترانزیستور M_1 وصل است عمل دشارژ M_1 از همان شروع کار مدار آغاز می شود. با توجه به اینکه M_4 در ناحیه تریود قرار داشت، لذا می‌توانیم رابطه‌ای مشابه رابطه (۳) برای مقاومت ترانزیستور، آن الگوی کنیم.

$$R_{eq} \cong \frac{1}{\mu_n . C_{ox} . \frac{W}{L}\left(V_{GS} - V_{th}\right)} \qquad (۳)$$

که در آن μ_n قابلیت تحرک الکترونها در ترانزیستور، C_{ox}خازن اکسید گیت، W/L نسبت طول به عرض ترانزیستور، V_{th} و V_{GS} به ترتیب ولتاژهای آستانه و گیت-سورس ترانزیستور است.

ملاحظه می‌شود که با کاهش ولتاژ گیت، مقاومت کانال افزایش می‌یابد. لذا می‌توان نتیجه گرفت که جریان دشارژینگ در ترانزیستور M_4 کمتر از جریان دشارژینگ مربوط به مرحله قبلی است. پس میتوان گفت که مقدار بار انتقالی در این مرحله که برای OTA_2 رخ می‌دهد کمتر از بار تخلیه شده در مرحله اول می‌باشد. زمانی که بار خازن C_1 موجود در OTA_2 در حال دشارژ شدن است، مقاومت کانال M_2 افزایش می‌یابد، و در نتیجه این حالت باعث ایجاد یک فیدبک مثبت در راستای افزایش پیوسته مقاومت‌های کانال M_2 و M_4 می شود. این حالت فیدبک مثبت، یعنی کاهش ولتاژهای گیت M_2 و M_4 و افزایش مقاومت کانال آنها، تا زمانی ادامه پیدا می کند که این دو ترانزیستور خاموش شوند. پس از این فاز که در آن انتقال و دریافت بار بین ترانزیستورها انجام شد، فاز دوم به وجود می آید. در فاز دوم ترانزیستورها پس از عبور از حالت گذرای قبلی به مقادیر دائمی خود میل می کنند. بدین صورت که ولتاژهای درین M_1 و M_3 به سمت سطح صفر و ولتاژهای درین M_2 و M_4 به سمت سطح نزدیک به ولتاژ تغذیه میل خواهند کرد. در شکل ۵ رفتار انتقال جریان یکی از سلول‌های مدار یعنی M_1 و M_2 نشان داده شده است.



شکل۶ : رفتار انتقال جریان یکی از سلول‌های مدار و مدار معادل آن

حال اگر قطعه کانال کوتاه باشد در نتیجه رابطه ساده شده جریان اشباع سرعت یعنی I_{DS-M1} برای ادوات کوتاه کانال به صورت زیر خواهد بود که در آن k یک پارامتر فناورانه است[۷]

$$I_{DS} = W.v_{sat}.C_{ox}(V_{GS} - V_{th}) = k(V_{DD} - V_N - V_{th}) \quad (۴)$$

رابطه جریان انتقالی به خازن C_2 را میتوان، به صورت ساده زیر بیان کرد[۷]

$$I_{C2} = k(V_{DD} - V_{th}).\frac{r_{M1}}{r_{M1} + R_{DS}}.e^{-\frac{t}{C_2(r_{M1}+R_{DS})}} \quad (۵)$$

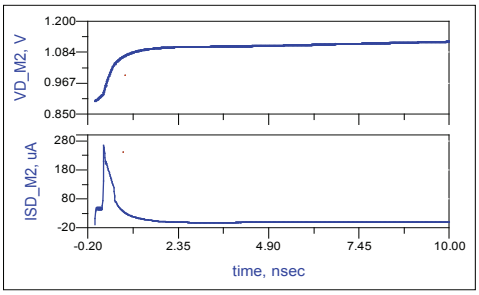
جریان سورس به درین ترانزیستور M_2 و همچنین ولتاژ درین آن در شکل ۷ و در شکل ۸ دیاگرام شارژ و دشارژ شدن خازن‌ها نشان داده شده است، این ولتاژها در واقع ولتاژ مربوط به درین ترانزیستورها می‌باشد ، که در آن اختلاف فاز خروجی در واقع برابر با فاصله بین دو تقاطع رسیدن منحنی شارژ و دشارژ ترانزیستورها می‌باشد.

رابطه بهره این تقویت‌کننده نیز به صورت زیر می‌باشد[۸]:

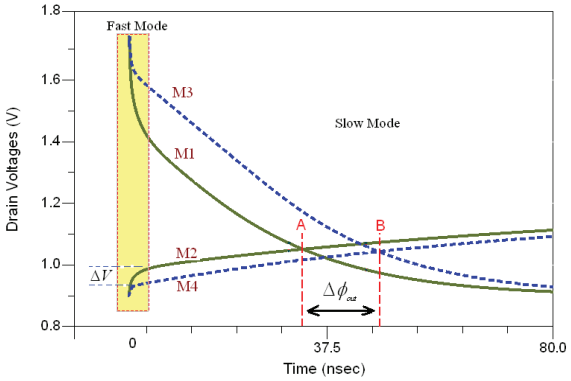
$$G = \frac{\Delta\phi_{out}}{\Delta\phi_{in}} = k_1 \frac{\tau.g.I_{DD}}{C_1.(V_{DD} - V_{th})}$$
$$g = F(W/L, C_2) \quad (۶)$$

در رابطه بالا، جریان I_{DD} جریان اشباع ترانزیستور به ازای $V_{GS}=V_{DD}$ و g پارامتری است که به صورت تابعی از سایز ترانزیستورها و مقدار بار خازنی C_2 تعریف می شود.

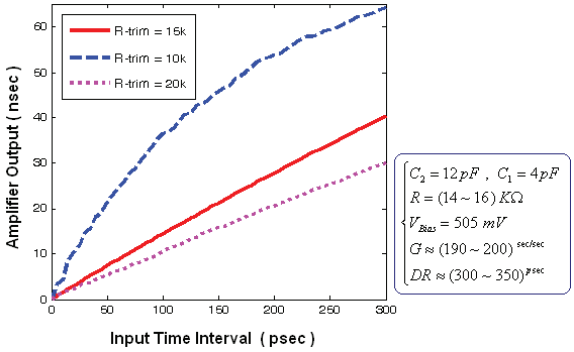
در شکل ۹ مشخصه خروجی به ورودی این تقویت‌کننده به ازای نسبت خازنی برابر با ۳ و با جاروب مقدار R مربوط به منبع بایاس، نشان داده شده است.



شکل۷: نحوه رفتار جریان سورس به درین و ولتاژ درین ترانزیستور M_2 در لحظه اعمال سیگنال پله سریع به گیت M_1



شکل۸: رفتار ولتاژ گره‌های خروجی در دو مُد سریع و آهسته

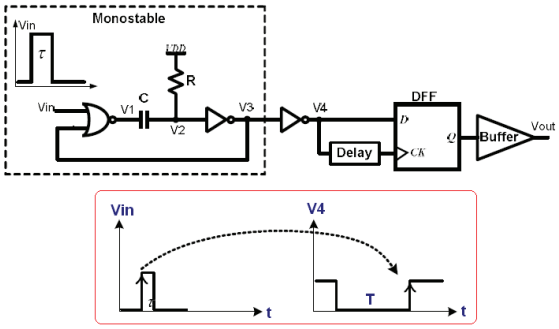


شکل۹: مشخصه انتقالی تقویت کننده طراحی شده به ازای تغییرات مقاومت تنظیم

در شکل ۸ مشخصه خروجی به ورودی این تقویت کننده به ازای نسبت خازنی برابر با ۳ و با جاروب مقدار R مربوط به منبع بایاس، نشان داده شده است. به ازای مقادیر مختلف خازن های C۱ و C۲ و مقدار جریان منبع بایاس، محدوده پویائی تقویت کننده با بهره به دست آمده در شکل موردنظر مشاهده می شود. ملاحظه می شود که بهترین مصالحه بین محدوده پویائی و بهره به ترتیب برابر با ۳۰۰پیکوثانیه و sec/sec ۲۰۰ می باشد. مقدار بهره ۲۰۰ یعنی خروجی تقویت کننده به ازای اختلاف زمانی ورودی برابر ۵ پیکوثانیه، برابر با ۱نانوثانیه می باشد. بدیهی است که به ازای مقادیر مختلف نسبت خازنی می توان به بهره های بالاتری نیز دست پیدا کرد ولی این خود به بهای کاهش خطینگی و در نتیجه کاهش محدوده پویائی به دست می آید که این حالت برای کاربردهای پردازش سیگنال در حوزه زمان زیاد منطقی و مطلوب به نظر نمی رسد.

طراحی مبدل پالس به لبه (PEC)

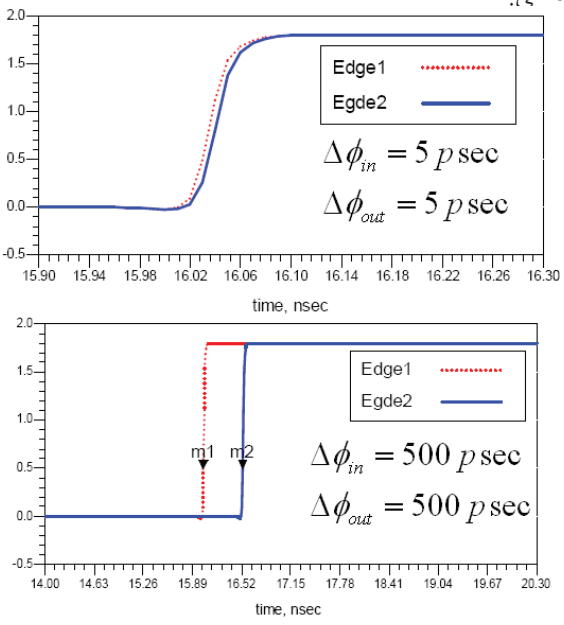
همانطور که از ساختار تقویت‌کننده زمان مشخص است، ورودی این تقویت‌کننده دو عدد پالس می‌باشد و نه دو سیگنال مربعی پریودیک، لذا اولین کاری که باید بر روی دو سیگنال پریودیک با اختلاف فاز معین انجام شود، این است که توسط مداری، دو لبه پله‌ای از آنها استخراج کنیم به‌طوری‌که اختلاف‌فاز بین این دو لبه پله‌ای برابر با همان اختلاف فاز قبلی باشد. این کار بر عهده بلوکی به نام مبدل پالس به لبه، می‌باشد. این بلوک را نیز می‌توان هم به صورت آنالوگ و هم به صورت دیجیتال پیاده‌سازی کرد. این بلوک درواقع آشکارساز ابتدائی ساختار است که یکی از چالش برانگیزترین بلوک‌های سامانه می‌باشد. به دلیل اینکه این مدار باید بتواند سریعترین پاسخ را برای اختلاف زمانی های خیلی کوچک از خود بروز بدهد و درعین حال کمترین مصرف‌توان را نیز داشته باشد. به دلیل مشکلاتی که ساختار آنالوگ با خود به همراه دارد[۹]، در این طرح از یک ساختار جدید دیجیتالی به عنوان بلوک PEC استفاده شده است. در ساختار پیشنهادی، یک مدار مبدل پالس به دیجیتال جدید، ارائه شده است که قابلیت پیاده‌سازی به صورت دیجیتال و با سطح اشغالی بسیار پائین را دارا می‌باشد و علاوه بر این نسبت به آثار غیرخطی ناشی از عدم تطبیق المانها و همچنین تغییرات دما و پروسه و نویز حساسیت چندانی ندارد. هسته اصلی این مدار مبتنی بر یک مدار مونواستابل می‌باشد. برخلاف اکثر مونواستابل های آنالوگ، مدار مونواستابل طرح شده یک مدار کاملاً دیجیتال می‌باشد که وظیفه انتقال پالس را برعهده دارد. مدار ساختار PEC پیشنهاد شده در شکل ۱۰ آورده شده است.



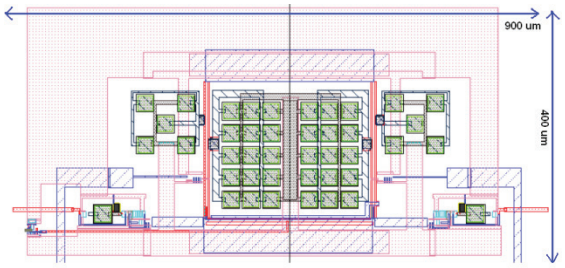
شکل۱۰: مدار مبدل پالس به لبه مبتنی بر مونواستابل

برای شبیه‌سازی مدار PEC پیشنهاد شده دو سیگنال با فرکانس40 MHz و با تاخیر برابر با 5 psec و 500 psec را وارد مدار می کنیم. همان‌طور که از شکل ۱۱ مشخص است، مدار PEC پیشنهاد شده این قابلیت را دارد که حتی این اختلاف فاز بسیار کوچک بین دو سیگنال را به دو لبه با همان مقدار اختلاف فاز تبدیل کند.

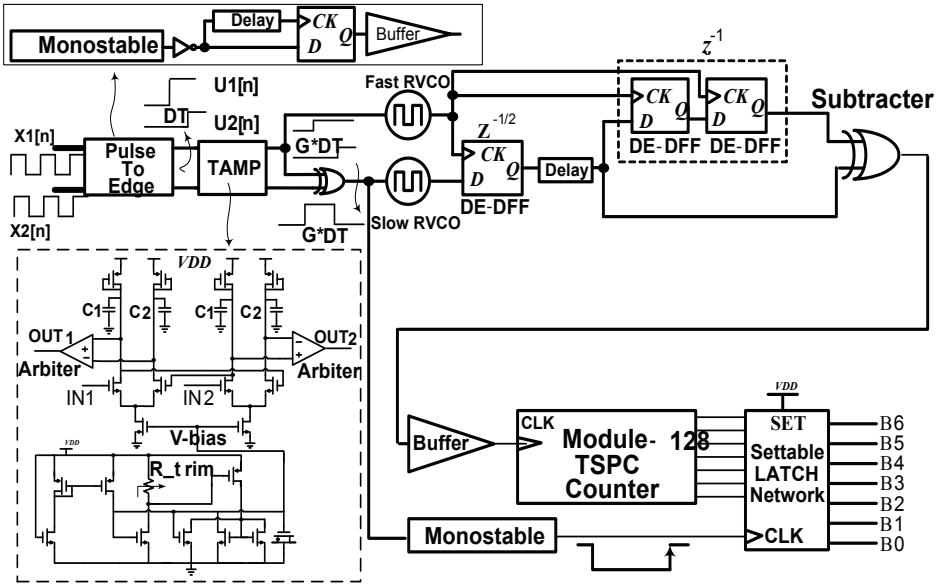
برای داشتن دید بهتر از کل سطح اشغالی تراشه، Layout این مدار در محیط Cadence نیز رسم شده است که در شکل ۱۲ آورده شده است. همان‌طور که مشاهده می شود، کل سطح اشغالی تراشه کمتر از $0.35\ mm^2$ می‌باشد.



شکل۱۱: نتایج حاصل از شبیه‌سازی PEC به ازای دو ورودی 5 psec و 500 psec



شکل۱۲: قالب بندی کل ساختار تقویت‌کننده زمان همراه با منبع بایاس و مبدل PEC



شکل۱۳: ساختار سامانه ی یک مدار مبدل زمان به دیجیتال مبتنی بر تقویت¬کننده زمان پیشنهادی در این مقاله[۱۰]

نتیجه گیری

در این مقاله ابتدا مروری داشتیم بر نوع جدیدی از روش های پردازش سیگنال به نام پردازش در حوزه زمان، و در این راستا هسته اصلی مدارات پردازش در حوزه زمان به نام مبدل زمان به دیجیتال را همراه با ذکر برخی کاربردهای آن معرفی کردیم. برای غلبه بر چالش کم بودن رزولوشن زمانی این نوع مبدل، یک تقویت کننده زمان آنالوگ با بهره، روزلوشن، محدوده پویائی و خطسانی بالا طراحی و در محیط ADS و Cadence و درفنّاوری0.18 um CMOS شبیه سازی و قالب بندی آن رسم

کردیم. برای مدار پیش آشکارساز، یک مبدل پالس به لبه دیجیتالی جدید با رزولوشن بالا معرفی شد. کل توان مصرفی مدار برابر با 1.7 mW، سطح اشغالی تراشه $0.35\ mm^2$، رزولوشن زمانی برابر با 5 psec،بهره تقریبی200 و محدوده پویایی بدون آثار غیرخطینگی برابر با 350 psec به دست آمد.

مراجع

1.B.K. Swann, B. J. Blalock, L. G. Clonts, D. M. Binkley, J. M. Rochelle, E. Breeding, K. M. Baldwin, "A 100-ps time-resolution CMOS time-to-digital converter for Positron Emission Tomography Imaging Applications," IEEE J.Solid-State Circuit, vol.39, no.11, pp. 1839- 1852, November. 2004.

2.Sh. Naraghi, " Time-Based Analog to Digital Converters", Ph.D. Dissertation, Dept. ECE, University of Michigan, 2009.

3.R.B. Staszewski et al. , "All-Digital PLL and Transmitter for Mobile Phones," IEEE J. Solid- Solid State Circuits, vol. 40, no. 12, pp. 2469-2482, December. 2005.

4.S. Levantino,M. Zanuso, P. Madoglio, D. Tasca, C. Samori, A. L. Lacaita, "AD-PLL for WiMAX with Digitally-Regulated TDC and Glitch Correction Logic," EURASIP Journal on Embedded Systems, vol. 2010, Article ID 175764.

5.Yu. -Jianjun, F.F Dai., and R.C. Jaeger, "A 12-Bit Vernier Ring Time-to-Digital Converter in 0.13 µm CMOS Technology," IEEE J. Solid- State Circuits, vol.45, no.4, pp.830-842, April 2010.

6.A. M. Abas et al., " Time Difference Amplifier," Electron. Lett, vol. 38, no. 23, pp. 1437–1438, November. 2002.

7.M. Tamaddon, "High Reolution Time to Digital Converter for ADPLL-based

Frequency Synthesizers for WiMAX Applications", M.Sc. Thesis, Tarbiat Modares University, Tehran, Iran, March. 2011.

8.M. Oulmane and G. W. Roberts, "A CMOS Time Amplifier for Femto Second Resolution Time Measurement" in Proc. IEEE ISCAS, pp. 509-512, May 2004.

9.M. Safi-Harb, G. W. Roberts, "Embedded Measurement of GHz Digital Signals with Time Amplification in CMOS," Circuits and Systems I: Regular Papers, IEEE Transactions on , vol.55, no.7, pp.1884-1896, August. 2008.