الگوریتم جانشانی سه‌بعدی مناسب برای بهبود راندمان مدارات مجتمع

علی ناصری[۱]، مهدی عیوضی[۲]

[۱]دانشیار،دانشگاه جامع امام حسین (ع)، anaseri@ihu.ac.ir

[۲]کارشناس ارشد الکترونیک، دانشگاه جامع امام حسین (ع)

چکیده

به‌طورمعمول برای تولید مدارات مجتمع از جانشانی دوبعدی استفاده می‌شود. جانشانی دوبعدی به دلیل استفاده زیاد از ارتباطات، تلفات بالایی دارد همچنین تراکم المان‌ها در آن کم است. برای رفع این مشکل، روش جانشانی سه‌بعدی مطرح شد. در این جانشانی به‌جای چیدمان المان‌ها در یک ردیف به صورت دوبعدی، المان‌ها در سه بعد چیدمان می شوند. این موضوع به دلیل کمتر شدن فاصله ارتباطی بین المان‌ها تلفات کمی دارد و از طرفی تراکم المان‌ها در آن بیشتر است. در این مقاله الگوریتم‌های، جانشانی سه‌بعدی با استفاده از ترتیب استفاده‌شده درجانشانی دوبعدی، آنالیز جانشانی سه‌بعدی با mPL و جانشانی سه‌بعدی به‌صورت هم‌زمان باجانشانی دوبعدی با mPL ازلحاظ ساختار و عملکردی بررسی‌شده و برای ارزیابی آن‌ها، FFT عنصر پردازش پروانه‌ای (PE) و یک بلوک رمزگذاری پیشرفته استاندارد (AES) و یک دیکودر چند ورودی چند خروجی بی‌سیم (MIMO) با روش‌های مذکور پیاده سازی شده است. در این مقاله جانشانی سه‌بعدی برای مسیریابی کامل انجام می‌شود و بعد باجانشانی دوبعدی ازلحاظ کارایی و مصرف توان مقایسه می‌شوند. استفاده از این روش‌ها به ما نشان می‌دهد که به‌کارگیری فیس توفیس مجتمع به‌وسیله میکروبوس[۱] در اتصالات در الگوریتم جانشانی، به‌طور متوسط، بیشینه کلاک و سرعت بلوک رمزگذاری AES را ۱۵/۳٪ و بیشینه کلاک و سرعت بلوک ماژول PE را ۲۲/۶٪ و همچنین بیشینه کلاک و سرعت ماژول MIMO را ۱۷/۱٪ بهبود می‌بخشد، این در حالی است که به‌کارگیری این روش‌ها متوسط کاهش توان مصرفی ۲/۶٪ را برای ماژول AES و متوسط کاهش توان ۱۲/۹٪ را برای ماژول PE و همچنین متوسط کاهش توان مصرفی برای ماژول MIMO ۱/۵٪ به دنبال داشته است.

کلید واژه: *جانشانی سه‌بعدی، logic-on-logic، مدار مجتمع، ماژول PE، ماژول AES*

مقدمه

مدار مجتمع‌های سه‌بعدی که در حال ظهور هستند را می‌توان به‌عنوان یک‌راه مطمئن برای غلبه بر مشکلات مدار مجتمع‌های دوبعدی در اتصالات و بهبود عملکرد به‌حساب آورد. منطقه ردپای[۲] کوچک‌تر منجر می‌شود که طول کل سیم در مدارهای سه‌بعدی نسبت به مدارهای دوبعدی کاهش یابد؛ بنابراین مدارهای سه‌بعدی پتانسیل بالایی برای بهبود کارایی دارد. طول سیم کوتاه‌تر نیز باعث کاهش مصرف توان و بهبود ازدحام مسیریابی شود. کاهش ازدحام به‌نوبه خود می‌تواند در کاهش تعداد لایه‌های فلزی برای مسیریابی در هر تراشه و کاهش تعداد لایه‌های فلز می‌تواند به کاهش هزینه منجر شود. در ابتدا Hentschke و همکارانش در مرجع [1] در این زمینه روش ارائه نمودند و سپس Deng و همکارانش در مرجع [2] و نهایتاً Cong و همکارانش در مرجع [3]، تاکنون اقدامات مؤثری در خصوص جانشانی سه‌بعدی ارائه نموده‌اند. در مرجع [1] یک الگوریتم جانشانی درجه دوم برای سلول‌های استاندارد ارائه‌شده است که درمجموع باعث کاهش ۳۲٪ سیم ارتباطی در ۵ لایه ISPD شده است. در مرجع [۲] ، ماژول golem3 با استفاده از روش جانشانی سه‌بعدی استاندارد پیاده‌سازی شد که نتیجه آن کاهش ۲۱/۴ در صد سیم ارتباطی بوده ست. در مرجع [۳] در یک کلاس جانشانی سه‌بعدی سعی در مصالحه بین مقدار سیم استفاده شده و تعداد TSV داشته و تلاش می‌کند روشی برای بهینه‌سازی در جانشانی دوبعدی ارائه نماید. همه کارهای انجام شده تمرکز روی کاهش طول سیم استفاده شده است به خاطر اینکه در کاهش توان مصرفی و راندمان تأثیر بسزایی دارد. فلذا در این مقاله مبنای ارزیابی، پارامترهای توان مصرفی و کارایی انتخاب گردید. در این مقاله سه ماژول MIMO, AES و PE با روش logic-on-logic به‌صورت سه‌بعدی پیاده‌سازی شد و ازلحاظ توان مصرفی و کارایی موردبررسی قرار گرفت. در تحقیق مذکور طول سیم‌کشی به‌طور قابل‌توجهی کاهش می‌یابد. کاهش سیم‌کشی بر روی تراشه مجتمع سه‌بعدی باعث

[1]. Microbumps
[2]. Footprint

تاریخ دریافت: ۱۳۹۶/۰۵/۲۰ تاریخ پذیرش: ۱۳۹۸/۰۵/۰۴

کاهش مصـــرف انرژی و افزایش کارایی می‌شـــود. در این مقاله تأکید بر انتخاب ماژول‌های باکلاس‌های مختلف ا ست. به همین دلیل سه ماژول عنصر پردازشی پروانه‌ای[3] رمزگذاری ا ستاندارد و جســـتجوی پیشـــرفته[4] ماژول چند ورودی و چند خروجی دیکودر بیســـیم[5] انتخاب گردید. عنصـــر پردازشـــی پروانه‌ای یک طراحی کم‌مصـــرف همراه با یک‌چند برابر کننده و دو عدد جمع کننده اســـت. رمزگذاری پیشـــرفته اســـتاندارد بلوک یک ماژول رمزگشایی از مخزن Open Cores ا ست که مسیر بحرانی بسیار کو تاه‌تر از پردازش پروا نه‌ای دارد. ماژول چ ند ورودی و چ ند خروجی دیکودر بیسیم، طراحی آشکارسازی است که از تعدادی زیادی فلیپ فلاپ و همچنین شیفت رجی ستر ها ت شکیل شده است.

فناوری یکپارچه سه‌بعدی

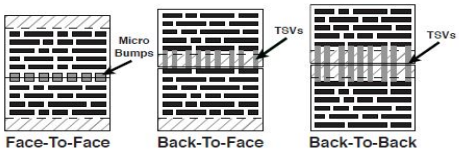
پیشـــرفت علم دیجیتال مدیون پیشـــرفت در فنّاوری ســـاخت مدارات مجتمع اســـت. یکی از تحولات عمده در مســـیر این پی شرفت د ستیابی به فنّاوری جا شانی سه‌بعدی می‌با شد. در فرایند یکپارچه‌ســـازی ســـه‌بعدی، ســـه پارامتر زیر مدنظر قرار می‌گیرند:

- ردپای[6]
- حداقل فضایی که المان‌ها در کنار هم قرار داده می‌شود
- لایه‌های فلزی که توســـط میان راه، روی شـــبکه مسدود شده است.

جدول ۱ چند نمونه از فنّاوری‌های تزارون[7] که برای جانشـــانی های سه‌بعدی ا ستفاده می‌گردد، آورده شده ا ست. در این مقاله اســـتفاده از پارامترهای فنّاوری تزارون ۱۳۰ نانومتر (مرجع [۷]) برای تمام جانشانی های سه‌بعدی ا ستفاده می شود. ا ستفاده از این فنّاوری باعث می‌شود که اتصالات، لایه مسیریابی را مسدود نکند، زیرا همان‌طور که در شـــکل ۱ نشـــان داده‌شـــده اســـت در پیکربندی برای اتصـــال بین دولایه‌ها از میکروبوس درفیس تو فیس به‌جای TSV استفاده می‌شود.[6]

جدول ۱. انواع جانشانی های سه‌بعدی [۶]

شبکه	بلوک	گام	ردپا	روش
ندارد	همه	۳/۹	۲/۵ با ۲/۵	MIT Laser-Drilled TSV
ندارد	همه	۱/۷۶	۱/۲ با ۱/۲	Tezzaron Super-contact TSV
دارد	هیچ	۵/۰	۴/۴ با ۴/۴	Tezzaron Copper Microbump



شکل ۱. سه نمونه از موارد مختلف با اتصالات و بسترهای آن‌ها نشان داده‌شده [۷] [۸] [۹]

به قرار دادن‌های ســـنتی که در آن از ابزارهای تجاری اســـتفاده می‌شـــود جانشـــانی دوبعدی با ابزارهای خارج از قفســـه[8] گفته می‌شـــود. در ابزارهای تجاری برای هر دو جانشـــانی دوبعدی و سه‌بعدی جهت م سیریابی از کیدنس ایکودر ا ستفاده می شود. این نرم‌افزار برای ا ستفاده هر دو جا نشانی ب سیار منا سب ا ست چون اطمینان خوبی برای مقایســـه بین جانشـــانی ســـه‌بعدی و دوبعدی ارائه می‌دهد.

الگوریتم تروفلسون

یکی از الگوریتم‌های مطرح برای جانشـــانی ســـه‌بعدی توســـط تروفلسون و همکارانش در مرجع [۱۴] ارائه شده ا ست. مبنای الگوریتم مذکور الگوریتم لی Lee's اســـت که در مرجع [۱۵] آمده است. الگوریتم لی به این صورت است:

با توجه به مجموعه نقاط از $s=\{s1,\ldots,sn\}$ که در $\mathbb{R}$ هســـتند، در خوشه‌های k قرار داده می‌شود:

۱- فرم مـاتریس ترکیـب $A \in \mathbb{R}^{n\times n}$ بـه‌وســـیلـه $A_{ij} = \exp(-\| s_i - s_j \|^2/2\sigma^2)$ اگر $i \neq j$ و $A_{ij} = 0$ باشـند، تعریف می شود.

۲- تعریف D به‌صـــورت ماتریس قطری اســـت که (i,i)، مجموع از A ها ردیف اســـت و ماتریس آن به‌صـــورت $L = D^{-1/2}AD^{-1/2}$ ساخته می شود.

۳- پیدا کردن $x_1, x_2, \ldots, x_k$، که بزرگ‌ترین بردار ویژه در L اســـت (بردار ویژه متعامد در این تکرار ها انتخاب مـی‌شـــود)، و مـاتـریـس $X = [x_1, x_2, \ldots, x_k] \in \mathbb{R}^{n\times k}$ بردارهای ویژه در ستون انباشته می‌شوند.

3. Butterfly processing element (PE)
4. Advanced Encryption Standard(AES)
5. MIMO
6. footprint
7. Tezzaron
8. Off-the –shelf tools

۴- ماتریس Y با بهبود بخشیدن به طول ردیف ها در ماتریس X به دست می‌آید. $(Y_{ij} = X_{ij}/(\Sigma_j X_{ij}^2)^{1/2})$

۵- بهبود بخشیدن هر ردیف از Y از هر نقطه $\mathbb{R}^k$، k را با k-means یا هر الگوریتم دیگر (که در آن اعوجاج حداقل است) خوشه‌بندی انجام داده می‌شود.

۶- نهایتاً، اختصاص نقطه اصلی s_i به خوشه j، اگر و تنها اگر ردیف i از ماتریس Y به خوشه j اختصاص داده شود.

در اینجا، می‌توان با سنجش پارامتر σ^2 چگونگی سرعت میل A_{ij} که بافاصله s_j و s_i می‌افتد را کنترل کرد، در نگاه اول، درک کمی از این الگوریتم به نظر می‌آید ولی زمانی که k-means در مرحله ۵ اجرا می شود، k-means به صورت مستقیم خوشه‌های رضایت‌بخش را ارائه می‌دهد. در الگوریتمی که تروفلسون و همکارانش ارائه داده‌اند به این‌گونه است که یک شبکه تولید می شود که متناظر با شبکه سه‌بعدی است. هر سیمی که بین جانشانی لایه‌ها انتخاب می شود بسیار نزدیک به ترمینال‌ها در لایه‌های کلاک می باشد. بعد از جانشانی اولیه، عملیات انتقال به بسیاری از شبکه‌های مربع صورت می‌گیرد. عملیات انتقال از شبکه‌های مربع ای که دارای بیشترین تعداد سیم‌ها می‌باشد شروع خواهد شد. عملیات انتقال بدین صورت کار می‌کند که با استفاده از الگوریتم لی کوتاه‌ترین مسیر را در شبکه مربع پیدا می کند. در این میان محتوای بسیاری از شبکه مربع به شبکه‌های آزاد انتقال پیدا می‌کنند که خود باعث می‌شود که تعداد میان راه‌ها به یک‌راه کاهش پیدا کند. عملیات انتقال تا وقتی که مربع سیم بین ردیف قرار نگیرد ادامه می یابد. این الگوریتم در زیر نشان داده‌شده است:

Input: Location of cells that connect to 3D vias

Output: The 3D via assignment

AssignEveryInterTierSignalToNearestGridSquare();

Foreach Grid Square i j **do**

  If 3D vias assigned to i j >1 **then**

    While 3D vias assigned to i j > 1 **do**

      K=ShortestPathTOFreeGridSquare();

      Foreach 3D via on path k **do**

        Shift3DViaAlongPath();

      End

    End

  End

End

الگوریتم پیشنهادی

الگوریتم پیشنهادی که مبتنی بر الگوریتم تروفلسون است در شکل ۲ نشان داده شده است.

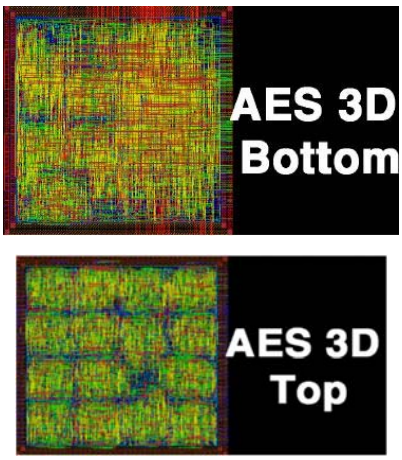
شکل ۲. الگوریتم پیشنهادی

ابتدا لیستی که از طراحی بدست آمده را با نت لیستی که توسط هایپرگراف در این سلول‌های استاندارد بدست آمده مطابقت داده می‌شود. سپس هایپرگراف به دو قسمت مساوی و متعادل تقسیم می‌شود تا در آن کمترین لبه ممکن ایجاد شود. در پارتشین بندی hMetis و پارتشین بندی در فضا تعادل، توجه خاصی به کمینه تعداد لبه‌ها می‌شود. این کار برای جلوگیری از هدر رفت لبه ها استفاده می‌گردد. بعد از آن جانشانی، از نرم‌افزار کیدنس اینکودر استفاده می شود. در این مرحله در لایه اول جانشانی دوبعدی بدون هیچ محدودیتی پین‌های خروجی و ورودی قرار داده می‌شوند. سپس مرحله دوم جانشانی برای لایه دوم، دنبال می‌گردد. این جانشانی به‌وسیله آنالیز سه‌بعدی پلیسر اجرا می‌شود. در این مرحله آنالیز فرمول‌بندی و حل مسئله جانشانی های سه‌بعدی و مسئله غیرخطی (NPL) انجام می‌گیرد. در این مسئله مقادیر افقی (x,y) برای هر سلول و مقدار عمودی اتصال هر لایه را z می‌نامیم. لایه‌های میانی انتساب، اجازه جانشانی بین دولایه هم سایه را می‌دهند. NLP بدین منظور استفاده می‌گردد که با

آن بتوان طول سیم برای (HPWL) را محاسبه و تعداد لایه‌های سه‌بعدی را تعیین نماید، در این مرحله با محدودیت فضای محدود در سلول‌های استاندارد روبه‌رو بوده که باعث می‌گردد کمترین گنجایش در ویفر برای جانشانی سه‌بعدی به وجود آید. در جانشانی سه‌بعدی ماژول‌های MIMO, AES و PE، با محدودیت در کوچک‌سازی برای هر ردیف مواجه خواهیم بود. برای رفع این مشکل در مرحله بعد شبه جانشانی سه‌بعدی با mPL-3D اجرا می‌شود. در این الگوریتم جانشانی لایه‌های اتصال فقط برای بخش hMetis انجام می‌گیرد. در این روش به‌جای اجرا دو بخش از جانشانی دوبعدی به صورت جداگانه، از mPL-3D می‌خواهیم که لایه‌های انتساب z را ثابت کند و فقط مقادیر افقی به‌عنوان متغیر باشند. این جانشانی در همین بخش برای هر لایه تأثیر مستقیم لایه‌های دیگر را بهبود می‌بخشد. به‌منظور آنالیز قدرت و کارایی برای logic-on-logic سه‌بعدی، نیاز است مسیریابی برای مکان سلول‌ها کامل شود. خوشبختانه از این لحاظ، تفاوت کمی بین دوبعدی و سه‌بعدی وجود دارد چون لایه‌های فلزی متعدد که استفاده می شود برای مسیریابی ساختار سه‌بعدی، شبیه سیم بندی در ساختار دوبعدی است. پس در الگوریتم پیشنهادی این مقاله، تجزیه و تحلیل مشکل مسیریابی سه‌بعدی و حل آن با ابزارهای دوبعدی مدنظر می‌باشد.

ارزیابی

همان‌طور که در بخش قبل گفته شد سه ماژول AES,MIMO و PE توسط الگوریتم پیشنهادی جانشانی شد برای نمایش آنچه انجام شده نمای بالا و پایین یکی از ماژول‌ها (ماژول AES) را در شکل ۳ نشان داده شده است.



شکل۳. نمای بالا و پایین حاصله از جانشانی سه‌بعدی ماژول AES

نتیجه جانشانی سه‌بعدی، ماژول های AES,MIMO و PE در این بخش خواهد آمد. ماژول های مذکور توسط نرم‌افزار Synopsys تبدیل به گیت و نت لیست می‌شوند. در سطح گیت، مکان‌های نت لیست به نرم‌افزار کیدنس داده که نتایج آن برای لایه‌های مختلف در جدول ۲ آمده است.

جدول ۲. تعداد لایه‌های سه‌بعدی استفاده شده به وسیله الگوریتم جانشانی برای ۳ ماژول

مطلوبیت	لایه سه‌بعدی موجود	لایه سه‌بعدی استفاده‌شده	
۵٪/۸	۶۲۴۱	۳۶۲	PE 3D Seq.
۴٪/۹	۴۹۰۰	۲۴۰	AES 3D Seq
۳۲٪	۸۲۱۸	۲۶۹۸	MIMO 3D Seq

جدول ۲ تعداد لایه‌های استفاده شده ماژول‌های موردمطالعه را نسبت به‌کل لایه‌های در اختیار، را نشان میدهد همان‌طور که در جدول آمده است برای ماژول PE ، ۵/۸ ٪ و برای ماژول AES ، ۴/۹ ٪ و برای ماژول MIMO ، ۲۲ ٪ لایه استفاده شده است. برای هر جانشانی، سلول‌ها با کلاک سیگنال مشخصی در هر لایه ثابت نگه داشته می‌شوند. ثابت نگه داشته شدن سلول‌ها در یک‌لایه طراحی باعث می‌شود طراحی ما نسبت به روندها متنوع برای تمام کلاک های بافر از مقاومت بیشتر برخوردار باشد. پس از مسیریابی، نویز حاصل را می‌توان از طریق فایل SPEF برای اندازه گیری تمام مسیر یابی محاسبه کرد. فایل SPEF را می‌توان در Synopsyd در مرحله اول خواند و در زمان اولیه بهینه دوره کلاک از طریق SPEF اندازه گرفت. با توجه به محدودیت زمان، جانشانی حقیقی سه‌بعدی به صورت کامل انجام نشده است. نتایج حاصل از انجام جانشانی سه ماژول با الگوریتم پیشنهادی در جدول ۳ آمده است. جدول ۴ نیز نتایج حاصله از جانشانی دو بعدی در مرجع [۳] را نشان می‌دهد.

جدول ۳: نتایج حاصل از جانشانی سه‌بعدی سه ماژول با الگوریتم پیشنهادی

	تمام طول سیم (mm)	بیشینه فرکانس (MHz)	توان پارازیت (mW)	تمام توان (mW)
PE 3D Seq	۴۸۷/۳	۳۳/۸۴	۱/۵۱۶	۵/۶۹۲
AES 3D Seq	۴۲۳/۹	۲۸۹/۰۲	۴/۱	۳۷/۰
MIMO 3D Seq	۹۷۳/۰	۲۵۹/۰۷	۴/۱	۴۱/۰

جدول ۴: نتایج جانشانی دوبعدی سه ماژول در مرجع [۳]

	تمام طول سیم (mm)	بیشینه فرکانس (MHz)	توان پارازیت (mW)	تمام توان (mW)
PE 2D	۵۸۸/۰	۳۱/۶۱	۱/۷۹۴	۵/۹۷۵
AES 2D	۴۶۰/۹	۲۵۰/۶۳	۵/۱	۳۸/۰
MIMO 2D	۳۰۷/۸	۲۲۱/۲۳	۶/۳	۴۳/۲

همان‌طور که در جداول ۳ و ۴ دیده می‌شود نتایج ماژول PE دوبعدی تمام طول سیم ۵۸۸ میلی‌متر، بیشینه فرکانس ۳۱/۶۱ مگاهرتز، توان پارازیت ۱/۷۹۴ میلی وات و کل توان مصرفی آن ۵/۹۷۵ میلی وات است. این در حالی که نتایج ماژول PE سه‌بعدی تمام طول سیم ۴۸۷/۳، بیشینه فرکانس ۳۳/۸۴ مگاهرتز، توان پارازیت ۱/۵۱۶ میلی وات و تمام توان مصرفی ۵/۶۹۲ میلی وات است. نتایج ماژول AES دوبعدی نیز تمام طول سیم ۴۶۰/۹ میلی‌متر، بیشینه فرکانس ۲۵۰/۶۳ مگاهرتز، توان پارازیت ۵/۱ میلی وات و نمام توان مصرفی ۳۸/۰ میلی وات است این در حالی است که نتایج ماژول AES سه‌بعدی تمام طول سیم ۴۲۳/۹ میلی‌متر، بیشینه فرکانس ۲۸۹/۰۲ مگاهرتز، توان پارازیت ۴/۱ و تمام توان مصرفی آن ۱۳۷/۰ است. نتایج دیکودر چند ورودی چند خروجی دوبعدی ۳۰۷/۸ میلی‌متر، بیشینه فرکانس ۲۲۱/۲۳ مگاهرتز، توان پارازیت آن ۶/۳ میلی وات و تمام توان مصرفی ۴۳/۲ میلی وات است این در حالی است که نتایج جانشانی سه‌بعدی دیکدر چند ورودی چند خروجی نشان می‌دهد طول سیم ۹۷۳/۰ میلی‌متر، بیشینه فرکانس ۲۵۹/۰۷ مگاهرتز، توان پارازیت ۴/۱ میلی وات و تمام توان مصرفی ۴۱/۰ است. برای مقایسه بهتر نتایج جانشانی با الگوریتم پیشنهادی و نتایج جانشانی دوبعدی مرجع [۳] مقادیر در قالب درصد بهبود در جدول ۵ آمده است.

جدول ۵: در صد بهبود جانشانی سه‌بعدی (الگوریتم پیشنهادی) نسبت به جانشانی دوبعدی

	تمام طول سیم (در صد تغییر)	بیشینه فرکانس (در صد تغییر)	توان پارازیت (در صد تغییر)	تمام توان (درصد تغییر)
PE 3D Seq	٪-۱۷/۱	٪+۷/۱	٪-۱۵/۵	٪-۴/۷
AES 3D Seq	٪-۸/۰	٪+۱۵/۳	٪-۱۹/۶	٪-۲/۶
MIMO 3D Seq	٪+۲۱۶/۱	۱۷ /۱ ٪+	٪-۳۴/۹	٪-۵/۱

جدول ۵ درصد بهبود الگوریتم جانشانی را نشان می‌دهد به‌طوری‌که در ماژول PE سه‌بعدی تمام طول سیم ۱۷/۱ در صد کم شده است، بیشینه فرکانس ۷/۱ درصد زیاد شده است، توان پارازیت ۱۵/۵ درصد کم شده و همچنین تمام توان مصرفی ۴/۷ درصد کم شده است. در ماژول AES سه‌بعدی تمام طول سیم ۸/۰ در صد کم شده است بیشینه فرکانس ۱۵/۳ بیشتر، توان پارازیت ۱۹/۶ درصد کم و تمام توان مصرفی ۲/۶ کم شده است. همچنین ماژول دیکدور چند ورودی چند خروجی (MIMO) سه‌بعدی تمام طول سیم آن ۲۱۶/۱ در صد بیشتر، بیشینه فرکانس ۱۷/۱ بیشتر است، توان پارازیت ۳۴/۹ در صد کم و تمام توان مصرفی ۵/۱ درصد کم شده است. تحلیل نتایج فوق حاکی از آن است که نتایج جانشانی سه‌بعدی با الگوریتم پیشنهادی برای دو ماژول PE وAES بهتر از جانشانی دوبعدی آن‌ها هست؛ الگوریتم مذکور دیکودر MIMO را ازلحاظ همه پارامترها به غیراز طول سیم بهبود داده است.

نتیجه‌گیری

در این مقاله الگوریتمی مبتنی بر الگوریتم ترولفسون و همکارانش برای جانشانی سه‌بعدی ارائه شد و سپس سه ماژول AES,MIMO و PE که نتایج دوبعدی آن در مقاله مرجع [۳] در دسترس بود با الگوریتم پیشنهادی پیاده سازی شد. در این پیاده سازی از نرم‌افزار کیدنس استفاده گردید. نتایج حاصل از پیاده‌سازی‌های حاکی از آن است که با استفاده از logic-on-logic می‌توان بیشینه فرکانس کلاک را بیش از ٪۲۲/۶ و توان مصرفی را بیش از ٪۱۲/۹ برای مدارهای مختلف بهبود بخشید. علت این بهبود استفاده از فنّاوری میکرو بوس به جای TSV است که مسیریابی را مسدود نکرده است.

مراجع

[1] N. Moezzi-Madani, T. Thorolfsson, and W. Davis, “A low-area flexible mimo detector for wifi/wimax standards,” in DATE ’10: Proceedings of the 2010 Design, Automation and Test Conference, mar. 2010, pp. 1633 –1636

[2] R. Hentschke, G. Flach, F. Pinto, and R. Reis, “Quadratic placement for 3d circuits using z-cell shifting, 3d iterative refinement and simulated annealing,” in SBCCI ’06: Proceedings of the 19th annual symposium on Integrated circuits and systems design. New York, NY, USA: ACM, 2006, pp. 220–225

[3] Y. Deng and W. P. Maly, “Interconnect characteristics of 2.5-d system integration scheme,” in ISPD ’01: Proceedings of the 2001 international symposium on Physical design.

New York, NY, USA: ACM, 2001, pp. 171–175

[4] J. Cong, G. Luo, J. Wei, and Y. Zhang, "Thermal-aware 3d ic placement via transformation," in Design Automation Conference, 2007. ASP-DAC '07. Asia and South Pacific, Jan. 2007, pp. 780–785

[5] Y. Xie, J. Cong, and S. Sapatnekar, Eds., Three-Dimensional Integrated Circuit Design: EDA, Design and Microarchitectures, Springer Publishers, 2009.

[6] V. Suntharalingam, R. Berger, and Others, "Megapixel cmos image sensor fabricated in three-dimensional integrated circuit technology," Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International, pp. 356–357 Vol. 1, Feb. 2005

[7] R. Patti, "Three-dimensional integrated circuits and the future of systemon-chip designs," Proceedings of the IEEE, vol. 94, no. 6, pp. 1214–1224, June 2006.

[8] "Interlocking conductor method for bonding wafers to produce stacked integrated circuits," U.S. Patent 6 838 774, January 4 2005.

[9] Tezzaron. Wafer stack with super-contacts. Available:http://www.tezzaron.com/about/PhotoAlbum/Products/Wafer Pair SuperContacts.html

[10] G. Karypis and V. Kumar, "Multilevel k-way hypergraph partitioning," in Design Automation Conference, 1999. Proceedings. 36th, 1999, pp. 343–348

[11] J. Cong and G. Luo, "A multilevel analytical placement for 3d ics," in ASP-DAC '09: Proceedings of the 2009 Asia and South Pacific Design Automation Conference. Piscataway, NJ, USA: IEEE Press, Jan. 2009, pp. 361–366.

[12] R. Enbody, G. Kwee, and H. Tan, "Routing the 3-d chip," in Proceedings of the 1991 Design Automation Conference, 1991, pp. 132 –137.

[13] C. C. Tong and C.-L. Wu, "Routing in a three-dimensional chip," Computers, IEEE Transactions on, vol. 44, no. 1, pp. 106 –117, jan. 1995.

[14] T. Thorolfsson, N. Moezzi-Madani, and P. D. Franzon, "Reconfigurable five layer 3d integrated memory-on-logic synthetic aperture radar processor," To appear in Computers Digital Techniques, IET, vol. 4, no. 6, dec. 2010.

[15] C. Lee, "An algorithm for path connections and its applications," IRE Transactions on Electronic Computers, vol. 10, no. 2, pp. 346–365, 1961.