طراحی مدار بیشینه یاب حوزه زمان CMOS تمام مقیاس ، مناسب برای ولتاژهای تغذیه بسیار پایین

مریم زارع[۱]، محمدرضا غفاری[۲]، احسان رحیمی نژاد[۳]، مهدی صابری[۴]

[۱] گروه مهندسی برق، دانشگاه صنعتی قوچان

[۲] موسسه آموزش عالی بهار مشهد

[۳] گروه مهندسی برق، دانشگاه صنعتی قوچان، erahiminejad@qiet.ac.ir

[۴] گروه مهندسی برق دانشگاه فردوسی مشهد

چکیده

در این مقاله یک مدار بیشینه یاب CMOS تمام مقیاس مبتنی بر مقایسه در حوزه زمان ارائه شده است که می‌تواند تا ولتاژهای تغذیه پایین کارآیی مناسبی از خود نشان دهد. برای به کارگیری حوزه زمان در مقایسه بین چند سیگنال آنالوگ ورودی در مدار بیشینه یاب پیشنهادی، از زنجیره‌ای از المان‌های تاخیر خطی با ورودی تمام مقیاس استفاده شده است استفاده از المان تاخیر خطی تمام مقیاس، علاوه بر افزایش محدوده ورودی مدار، دقت مقایسه بین ورودی‌ها را نیز افزایش داده است. علاوه بر این، ساختار آشکارساز فاز مورد استفاده در مدار پیشنهادی نیز به گونه‌ای اصلاح شده است که در مقایسه با ساختارهای قبلی از تعداد کمتری ترانزیستور استفاده می‌کند که این کار علاوه بر کاهش سطح سیلیکان مدار، باعث کاهش خازنهای پارازیتیک می‌گردد که در نتیجه آن کاهش توان مصرفی مدار و افزایش سرعت آن را به دنبال دارد. این مدار در تکنولوژی ۱۸۰ نانومتر CMOS طراحی و شبیه سازی شده است که نتایج شبیه سازی نشان می‌دهد در ولتاژ تغذیه یک ولت و سرعت کلاک ۱۰ مگاهرتز توان مصرفی برای حالت ۳ ورودی برابر با ۷۲ میکرو وات می باشد که معیار شایستگی ۲.۴ میکرو وات بر مگاهرتز و صحت ۹۹.۹۸ درصد را نشان می دهد که بهبود قابل ملاحظه ای را نسبت به نمونه های مشابه نشان می دهد. همچنین نتایج شبیه‌سازی نشان می‌دهد که مدار پیشنهادی قابلیت عملکرد مناسب تا ولتاژ تغذیه ۰.۳۸ ولت را دارد.

کلیدواژه

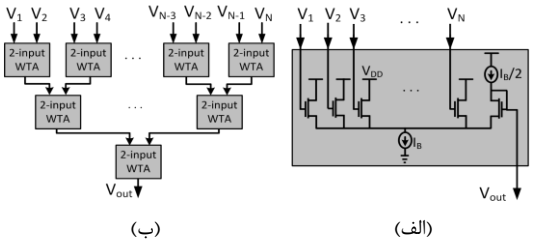
مدار بیشینه یاب CMOS، حوزه زمان، المان تاخیر خطی، ورودی تمام مقیاس، ولتاژ پایین، توان مصرفی کم.

مقدمه

مقایسه‌گرهای بیشینه‌یاب (WTA[1]) و کمینه‌یاب (LTA[2]) از مدارهای پرکاربرد در سیستم های مجتمع آنالوگ می باشند که بیشتر در پیاده سازی شبکه های عصبی آنالوگ، پردازش تصاویر و فیلترهای غیرخطی به کار می‌روند. این مدارها در شبکه‌های عصبی برای پیاده‌سازی رفتار نورون‌ها و مدلسازی مداری آنها، در پردازش تصویر برای انجام اعمالی مانند تشخیص لبه و در فیلترهای غیرخطی برای پیاده‌سازی شبکه-های Min-Max به کار می‌روند [۱-۳]. مقایسه کننده‌های بیشینه یاب که مقایسه‌گرهای n-ورودی نیز نامیده می‌شوند، با پیدا کردن سیگنال ورودی با بزرگترین (بیشینه) و یا کمترین (کمینه) مقدار از بین سیگنال های ورودی اعمال شده، مقدار آن سیگنال و یا شماره ورودی متناظر با آن را به عنوان خروجی به خروجی مدار منتقل می کنند. این مدارها از لحاظ نوع سیگنال ورودی به دو صورت جریانی و ولتاژی پیاده‌سازی می‌شوند که با توجه به نوع ساختار مورد استفاده و نوع کاربرد متفاوت می باشند. اما از نظر روش پیاده سازی، دو ساختار اساسی برای پیاده‌سازی این نوع مدارها تا کنون گزارش شده است که شامل روش حامل جریان (Current Conveyer) و روش درخت باینری (Binary Tree) می‌باشد. در روش اول که ساختار پایه آن در شکل ۱-الف نمایش داده شده است، مقایسه تمام ورودی‌ها به صورت همزمان در یک لحظه انجام می‌شود و از سیگنال کلاک یا RESET استفاده نمی شود و سیگنال

1 Winner take all
2 Loser take all

تاریخ دریافت: ۱۳۹۷/۱۲/۰۳ تاریخ پذیرش: ۱۳۹۹/۰۶/۱۶



شکل ۱. الف- ساختار حامل جریان ب- ساختار درخت باینری

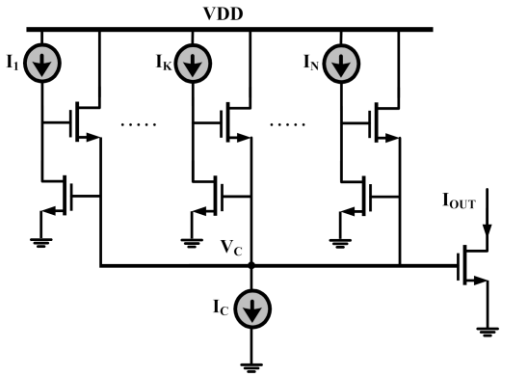
خروجی به صورت زمان-پیوسته برابر با بیشترین مقدار از میان سیگنال های ورودی می باشد. این روش به علت سادگی پیاده سازی و تعداد کم ترانزیستورها کاربرد فراوانی در پیاده سازی شبکه های عصبی دارد اما اشکالاتی از قبیل مشخص نبودن شماره ورودی متناظر با خروجی، مساله پایداری و همچنین خطای قابل توجه بین ورودی و خروجی دارد. در روش دوم مطابق با شکل ۱-ب، پیاده‌سازی بر مبنای مقایسه دو به دوی ورودی ها می‌باشد که باعث به دست آمدن دقت بهتر و پیچیدگی بیشتر می‌شود. در این روش پس از مقایسه دو به دو سیگنالهای ورودی در لایه‌های مختلف بیشترین مقدار سیگنال ورودی به دست می آید. به جز این دو روش اصلی، روشهای دیگری نیز ارائه شده است که مهمترین آن‌ها استفاده از مدارهای حوزه زمان برای مقایسه سیگنالهای ورودی می‌باشد. چنانکه در بخش سوم توضیح داده خواهد شد، مدارهای حوزه زمان ارائه شده تاکنون نیز از کوچک بودن محدوده ورودی رنج می برند. بر این اساس، در این مقاله یک ساختار جدید برای مدارهای بیشینه یاب حوزه زمان ارائه شده است که نه تنها محدوده ورودی آن تمام مقیاس است، بلکه بهره تبدیل ولتاژ به زمان آن نیز بیشتر می‌باشد. علاوه بر این، ساختار آشکارساز فاز مورد استفاده در این مدار به گونه ای اصلاح شده است که از تعداد کمتری ترانزیستور استفاده می‌کند که این کار علاوه بر کاهش سطح سیلیکان مدار، باعث کاهش خازنهای پارازیتیک و در نتیجه کاهش توان مصرفی مدار می‌گردد.

در ادامه این مقاله، در بخش دوم به بررسی گزارش هایی از نحوه پیاده‌سازی مدارهای بیشینه‌یاب می‌پردازیم. در بخش سوم به ارائه مدار بیشینه یاب حوزه زمان پیشنهادی و نحوه عملکرد آن پرداخته می شود و در بخش چهارم نتایج شبیه سازی به همراه مقایسه ای جامع با سایر ساختارهای ارائه شده ارائه می گردد. در بخش پنجم نیز نتیجه‌گیری بحث انجام می‌شود.

بررسی روش‌های پیاده‌سازی مدار بیشینه‌یاب

شکل ۲ ساختار مدار بیشینه یاب ارائه شده در [۴] توسط Lazzaro را نشان می دهد که یکی از روش های پایه و متداول در پیاده سازی این نوع مدار می باشد. اصول کار این روش بر مبنای روش حامل جریان می باشد. ورودی این مدار مطابق با کاربرد در شبکه های عصبی به صورت جریانی طراحی شده است. نحوه عملکرد مدار به صورت مقایسه همزمان تمام ورودی ها می باشد که در آن ورودی های جریانی به ترانزیستورهای مشابهی وارد می شوند. ولتاژ گیت-سورس معادل با جریان‌های ورودی به گره مشترک Vc اعمال می شود که باعث می شود بیشترین مقدار V_{GS} مقدار Vc را تعیین کند. در عین حال، برای تطبیق جریان ترانزیستورها، فیدبک منفی که توسط ترانزیستور NMOS ایجاد شده است مقدار V_{DS} را طوری تغییر می دهد تا جریان هر شاخه مطابق با ورودی تنظیم شود. در نهایت ترانزیستور خروجی مقدار V_{GS} مطابق با بیشترین جریان ورودی را خواهد داشت که در نتیجه آن جریانی معادل جریان بیشینه در خروجی خواهد ساخت. در این روش تنها جریان بیشینه در خروجی بدست خواهد آمد و نه شماره ورودی متناظر با آن. از مزایای این روش می توان به سادگی مدار، مساحت و توان مصرفی کم اشاره کرد. در مقابل خطای گوشه[3]، محدوده فرکانس کاری کم و دقت کم به خصوص در تعداد ورودی های زیاد از اشکالات این ساختار می باشند. در ادامه‌ی ساختارهای حامل جریان، گزارش های متعددی برای بهبود عملکرد این نوع مدار بیشینه یاب ارائه شده است که می توان به ساختارهای ارائه شده در [۵-۱۰] اشاره نمود. در [۵] یک مدار بیشینه یاب با ورودی ولتاژ و بر مبنای ساختار جریانی ارائه شده است که با اضافه کردن یک فیدبک موازی ضمن کاهش مقاومت خروجی هر طبقه باعث افزایش بهره شده است که در نتیجه به بهبود دقت و سرعت این مدار منجر شده است. در [۶] ساختار بیشینه یاب جریانی با روش تحریک و مهار جدیدی بر مبنای محاسبه‌ی متوسط جریانهای ورودی ارائه شده است که همزمان با بهبود دقت سرعت محدوده جریانهای ورودی را نیز تا حدود قابل توجهی افزایش داده است. همچنین این ساختار در ولتاژهای زیر آستانه نیز کار می‌کند که می تواند تا جریان های حدود چند نانو آمپر را با هم مقایسه نماید. ساختار ولتاژی که در [۷] ارائه شده است، با افزودن یک

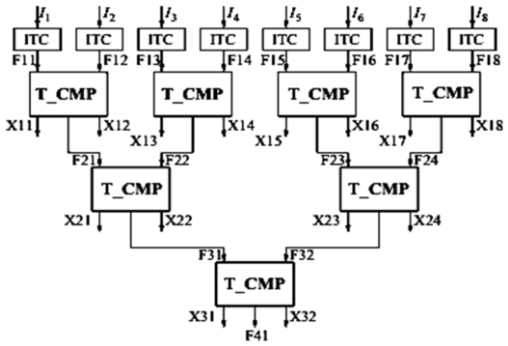
[3] Corner error



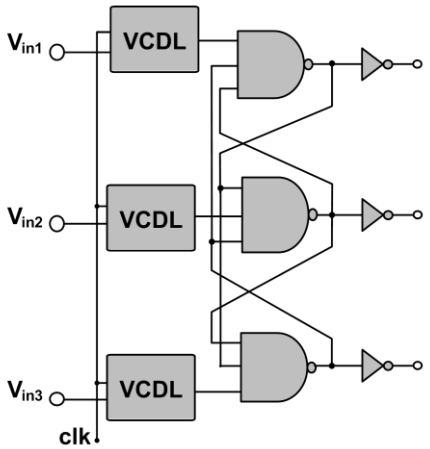
شکل ۲: مدار بیشینه‌یاب جریان LAZZARO [۴]

مکانیزم مهار به همراه فیدبک تحریک محلی که بر مبنای محاسبه‌ی ولتاژ مشترک ورودی ها انجام می شود، دقت و سرعت را افزایش داده است. همچنین در کاربردهایی که مساحت و توان مصرفی محدودیت به شمار می رود یک گزینه مناسب می باشد. از دیگر خصوصیات این نوع مدار اطمینان از مشخص شدن تنها یک برنده می باشد. کاهش مقاومت خروجی دیده شده از گره مشترک در روش حامل جریان متعارف می تواند راه مناسبی برای بهبود دقت مدار بیشینه یاب جریانی باشد. این روش با استفاده از یک فیدبک منفی که با یک ترانزیستور پیاده سازی شده است در [۸] اجرا شده است که نتایج شبیه سازی نشان دهنده بهبود قابل توجه دقت در ازای افزایش توان مصرفی می باشد. روش مشابهی نیز در [۹] ارائه شده است که در آن با اضافه کردن چند ترانزیستور به صورت یک حلقه فیدبک سریع به بهبود دقت مدار کمک می کند. همچنین در [۱۰] یک مدار حالت جریانی ارائه شده است که در آن با کاهش سوئینگ مورد نیاز در ورودی برای روشن کردن ترانزیستور متناظر با سلول برنده، باعث بهبود سرعت پاسخ دهی و همچنین کاهش خطای جریان خروجی شده است.

همانطور که در مقدمه بیان شد روش دوم پیاده سازی مدارهای بیشینه یاب و کمینه یاب استفاده از ساختار درخت باینری می باشد. در این روش که مقایسه های دو به دو در لایه های مختلف باعث مشخص شدن بزرگترین سیگنال می شود، دقت بالا و عدم وابستگی این دقت به تعداد ورودی ها مهمترین شاخصه این نوع از مدارهای بیشینه یاب می باشد. این روش هم در حالت جریانی و هم ولتاژی قابل پیاده سازی می باشد و به دلیل مشخص شدن برنده هر لایه توسط مقایسه کننده، شماره ورودی متناظر با سیگنال برنده نیز در نهایت قابل دستیابی خواهد بود. دقت بالای این روش باعث شده است که در کاربردهای با تعداد ورودی زیاد معمولا این روش به کار گرفته شود. در ادامه به بررسی مدار های ارائه شده با این روش می پردازیم که در [۱۱-۱۴] گزارش شده اند. در [۱۱] به جای استفاده از ساختار متداول درختی که در چند لایه ارائه می شود، با استفاده از ساختاری سری به صورت پشت سر هم مقایسه انجام می شود. این مساله باعث کاهش مساحت و توان مصرفی در ازای کاهش سرعت می شود. به دلیل توانایی کاهش ولتاژ تغذیه در حوزه زمان در ساختار ارائه شده در [۱۲] مطابق با شکل ۳، قبل از ورود جریان به مقایسه گر ابتدا سیگنال جریان توسط مدار مبدل جریان به زمان، به یک پالس زمانی تبدیل شده است که میزان تاخیر آن به مقدار جریان وابسته می باشد. سپس با استفاده از مقایسه کننده زمان (Time Comparator) پالس سریعتر مشخص می شود. این روش علاوه بر بهبود سرعت مدار به طرز قابل ملاحظه ای توان مصرفی مدار را کاهش داده است. ساختار دیگری که در زیرآستانه عمل می کند در [۱۳] ارائه شده است که با استفاده از حلقه فیدبک مثبت جریان خطی دقت مدار بیشینه یاب را افزایش داده است. همچنین این ساختار برای کاهش تاثیر تغییرات پروسه ساخت از ساختار درختی استفاده کرده است که منجر به بهبود دقت نیز خواهد شد. در [۱۴] نیز ساختار جریانی درختی ارائه شده است که به جای استفاده از جریان خروجی هر لایه در لایه بعد که با خطای کپی شدن جریان روبرو است، این جریان ها مستقیما از ورودی کپی می شوند که باعث بهبود دقت شده است. همچنین بهینه سازی هر بلوک باعث کاهش توان مصرفی مدار شده است که نتایج نشان دهنده بهترین معیار شایستگی FoM در بین مدارهای بیشینه یاب موجود می باشد. به جز موارد بیان شده روش های دیگری نیز برای پیاده سازی مدار بیشینه یاب ارائه شده است که به چند مورد از آن‌ها اشاره می کنیم. در [۱۵] از یک حلقه قفل شده فرکانس برای تبدیل سیگنال اصلی به فرکانس متناظر استفاده شده است و یک مقایسه کننده فرکانس در حوزه دیجیتال عمل پیدا کردن برنده را بر عهده دارد. این روش از لحاظ دقت مناسب ولی برای تعداد ورودی های زیاد کاربرد زیادی نخواهد داشت. روشی مشابه نیز در [۱۶] ارائه شده است که در آن از سیگنال مدوله شده فاز به همراه آشکارساز فاز استفاده شده است. در این ساختار با کمک



شکل ۳: مداربیشینه‌یاب درخت باینری با ورودی جریان[۱۲]



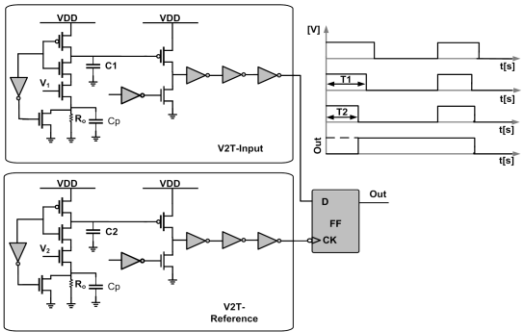
شکل ۴. مدار بیشینه یاب حوزه زمان ارائه شده در [۱۹]

یک حلقه قفل شده فاز دیجیتالی عمل مقایسه و سنجش برنده انجام می شود. در [۱۷] با استفاده از مدل یک نورون عصبی سیگنال بزرگتر در زمانی زودتر از سایر نورون ها پالس ضربه ایجاد می کند که این پالس سایر نورون ها را غیر فعال می کند. این روش محدودیت اجرا برای تعداد بالا دارد و همچنین دقت خوبی ندارد. یک روش زمانی دیگر در [۱۸] ارائه شده است که در آن ورودی ها جریان های معادل پیکسل های یک تصویر می باشند. هر جریان ورودی که مقدار بزرگتری داشته باشد خازن متناظر را سریعتر دشارژ کرده و باعث ایجاد پالس برنده می شود. مشخص شدن برنده باعث غیرفعال شدن سایر خروجی ها می‌گردد. این روش دارای توان مصرفی بسیار کم می باشد. در نهایت، روش نوینی از مدارهای بیشینه یاب که بر مبنای مقایسه در حوزه زمان می باشد. توسط نویسندگان در [۱۹] ارائه شده است. در این روش که نمودار بلوکی آن در شکل ۴ نمایش داده شده است، هر یک از سیگنالهای ورودی با استفاده از مبدل ولتاژ به زمان VCDL به یک تاخیر بین لبه های پالس کلاک تبدیل می‌شود. همچنین، با عبور این پالسها از زنجیره ای از المانهای تاخیر موجود در VCDL ها، اختلاف تاخیر بین پالسهای متناظر با ورودی ها تقویت می‌شود. سپس، این پالسهای دارای تاخیر متناسب با سیگنالهای ورودی توسط سه آشکارساز فاز (گیت های NAND سه ورودی) با یکدیگر مقایسه و سیگنال بزرگتر تشخیص داده می‌شود. به عبارتی، خروجی مربوط به سیگنال ورودی بزرگتر در سطح منطقی "۱" و سایرخروجی ها "۰" قرار می‌گیرند. به دلیل ماهیت دیجیتال، این نوع مدار توان مصرفی بسیار کمی دارد و می‌تواند در ولتاژهای تغذیه پایین نیز درست کار کند. اما بزرگترین مشکل آن محدودیت در محدوده‌ی ولتاژ مشترک ورودی می-باشد. برای مثال در صورتی که سیگنال‌های اعمالی از ولتاژ آستانه ترنزیستورهای NMOS کمتر باشند، هیچ کدام از زنجیره های تاخیر به درستی عمل نکرده و مقایسه انجام نمی شود. این باعث می شود که به دلیل کاهش شدید محدوده‌ی دینامیکی ورودی (محدوده ولتاژ مشترک اعمالی) نتوانیم ولتاژ تغذیه را تا حد ممکن کاهش دهیم که خود باعث افزایش توان مصرفی خواهد شد. در ادامه به روش پیشنهادی برای مقایسه در حوزه زمان به صورت تمام مقیاس می پردازیم.

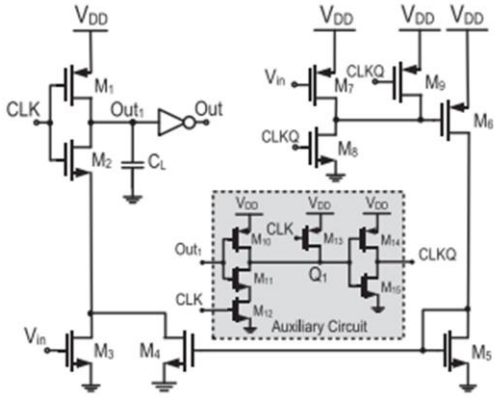
مدار بیشینه یاب حوزه زمان پیشنهادی

الف. مقایسه در حوزه زمان

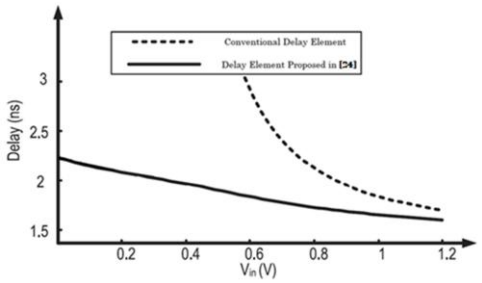
مقایسه سیگنال های آنالوگ در حوزه زمان اولین بار در سال ۲۰۰۸ توسط Maloberti در [۲۰] ارائه شد که مطابق شکل ۵ در این مدار با استفاده از المان های تاخیر، سیگنال ولتاژ آنالوگ، تاخیر یک پالس مربعی را طوری کنترل می‌کند که مقدار این تاخیر به ولتاژ آنالوگ وابسته می شود. هر چقدر مقدار ولتاژ ورودی بیشتر باشد زمان تاخیر نیز کاهش می یابد. با استفاده از یک زنجیره تاخیر و با استفاده از یک آشکارساز فاز می توان سیگنالی که سریعتر از سیگنال دیگر به خروجی می-رسد را مشخص نمود و به ورودی بزرگتر دست پیدا کرد. در بخش ابتدائی مدار مبدل ولتاژ به زمان، با استفاده از یک خازن در خروجی هر معکوس کننده، زمان دشارژ خازن متناسب با مقدار ولتاژ ورودی متناظر تغییر می کند. به این صورت که در فاز اول خروجی هر دو مدار یک خواهد بود اما در فاز دوم که کلاک ورودی یک می شود خازن ها متناسب با مقدار ورودی



شکل ۵. مقایسه حوزه زمان با المان تاخیر [۲۰]



شکل ۶. المان تاخیر خطی تمام مقیاس [۲۴]

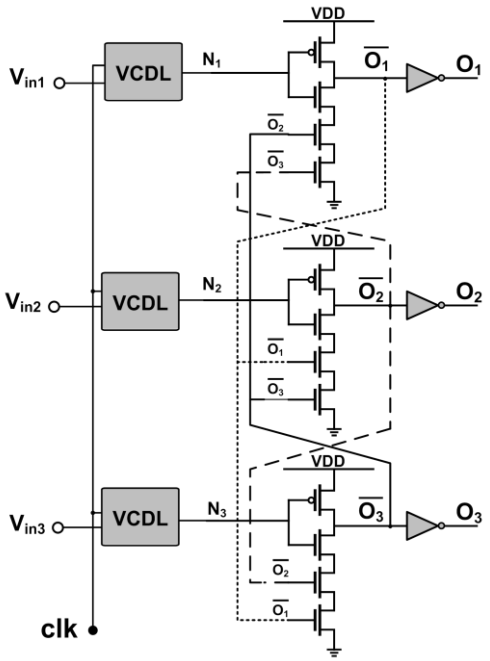


شکل ۷. تاخیر المان تاخیر بر حسب ولتاژ آنالوگ ورودی در دوحالت متعارف و پیشنهاد شده در [۲۴]

دشارژ می شوند. این تفاوت در زمان دشارژ توسط زنجیره معکوس کننده تبدیل به تفاوت در تاخیر دو پالس می شود که توسط آشکارساز دریافت می گردد. ایراد مهم در استفاده از این مدار و مقایسه کننده هایی که پس از آن ارائه شدند [۲۱]و[۲۲]و[۲۳]، محدودیت در محدوده قابل قبول برای ولتاژ مشترک ورودی می باشد. در المان تاخیر متعارف که در شکل ۵ مشاهده می شود، برای روشن ماندن ترانزیستور متصل به ورودی آنالوگ، نیاز به حداقل ولتاژ آستانه ترانزیستور می‌باشد که در صورت استفاده از ترانزیستور PMOS این محدودیت به صورت یک ولتاژ آستانه کمتر از ولتاژ تغذیه خواهد بود. همچنین مشابه با ساختار ارائه شده در [۲۱] اگر برای افزایش بهره تبدیل ولتاژ به زمان تاخیر، در زنجیره تاخیر به صورت یک در میان از ترانزیستور نوع N و P استفاده شود این محدودیت از دو سمت خواهد بود که در ولتاژهای تغذیه کم، ولتاژ مشترک ورودی را بسیار محدود (Vtn<Vin<VDD-|Vtp|) خواهد کرد. بنابراین، در کاربردهای ولتاژ پایین، محدوده کار این نوع مدار بسیار کم خواهد بود. از طرف دیگر به دلیل رابطه غیر خطی بهره تبدیل ولتاژ به زمان در این المان تاخیر، در ولتاژهای بزرگتر و نزدیک به ولتاژ تغذیه، دقت مقایسه به شدت تحت تاثیر قرار می‌گیرد که باعث عملکرد نامناسب مدار در ولتاژهای بالا می‌شود. بنابراین باید سعی شود تا برای رسیدن به دقت و عملکرد مناسب مدار مقایسه کننده از المان های تاخیر خطی‌تر با دامنه ورودی تمام مقیاس استفاده نمود. در [۱۹] نیز به دلیل استفاده از همین نوع المان تاخیر، محدوده ورودی نسبت به ولتاژ تغذیه کاهش یافته است که باعث محدودیت در کاهش ولتاژ تغذیه و در نهایت افزایش توان مصرفی می شود. در [۲۴] یک المان تاخیر تمام مقیاس با خطینگی بالا برای کاربرد در مبدل های آنالوگ به دیجیتال بر پایه زمان ارائه شده است که می توان در مدار بیشینه یاب از آن استفاده نمود. شکل ۶ مدار این المان تاخیر را نشان می دهد. در این المان تاخیر با استفاده از دو مسیر ایجاد جریان که هر دو با ولتاژ ورودی آنالوگ کنترل می شوند، جریانی برای تخلیه خازن بار معکوس کننده ایجاد شده است که با یک مدار اضافی از مصرف توان استاتیک نیز جلوگیری شده است. برای بالا بردن خطینگی بهره تبدیل نیز نسبت جریان ها با اندازه مناسب ترانزیستورها تنظیم شده است. خطینگی بالای المان تاخیر باعث می شود تا تغییرات تاخیر المان تاخیر با تغییرات ولتاژ در ولتاژهای مختلف یکسان باشد. در شکل ۷ نمودار تاخیر بر حسب ولتاژ ورودی آنالوگ، برای این مدار و مدار المان تاخیر متعارف قابل مشاهده می باشد.

ب. مدار بیشینه یاب پیشنهادی

برای پیاده سازی مدار بیشینه یاب تمام مقیاس حوزه زمان ساختار شکل ۸ پیشنهاد شده است که در آن با استفاده از زنجیره تاخیر ده-تایی از عناصر تاخیر ارائه شده در [۲۴] (شکل ۶) سیگنال ورودی در بلوکهای VCDL به یک تاخیر



شکل ۸. مدار بیشینه یاب پیشنهادی در حالت ۳ ورودی

زمانی تقویت شده تبدیل می شود و در نهایت با استفاده از یک آشکارساز اصلاح شده n–ورودی که از فیدبک مثبت در آن استفاده شده است، سیگنال برنده مشخص می شود. در مدار بیشینه یاب پیشنهادی نه تنها محدوده ورودی تمام مقیاس شده است در نتیجه آن می‌توان از این مدار در ولتاژ های تغذیه‌ی بسیار کم نیز استفاده نمود، بلکه بهره تبدیل ولتاژ به زمان آن نیز بیشتر شده است که باعث افزایش دقت آن می-شود. علاوه بر این، ساختار آشکارساز فاز مورد استفاده در این مدار نیز به گونه ای اصلاح شده است که از تعداد کمتری ترانزیستور استفاده می‌کند که این کار علاوه بر کاهش سطح سیلیکان اشغالی مدار، باعث کاهش خازنهای پارازیتیک و در نتیجه کاهش توان مصرفی و افزایش سرعت مدار می‌گردد. به عبارتی، استفاده از فیدبک مثبت به همراه کاهش ترانزیستورهای مدار آشکار ساز فاز مورد استفاده، باعث افزایش سرعت و دقت مدار می شود که کارآیی این مدار بیشینه یاب را از لحاظ دقت و سرعت نسبت به مدارهای مشابه به صورت قابل توجهی بهبود داده است.

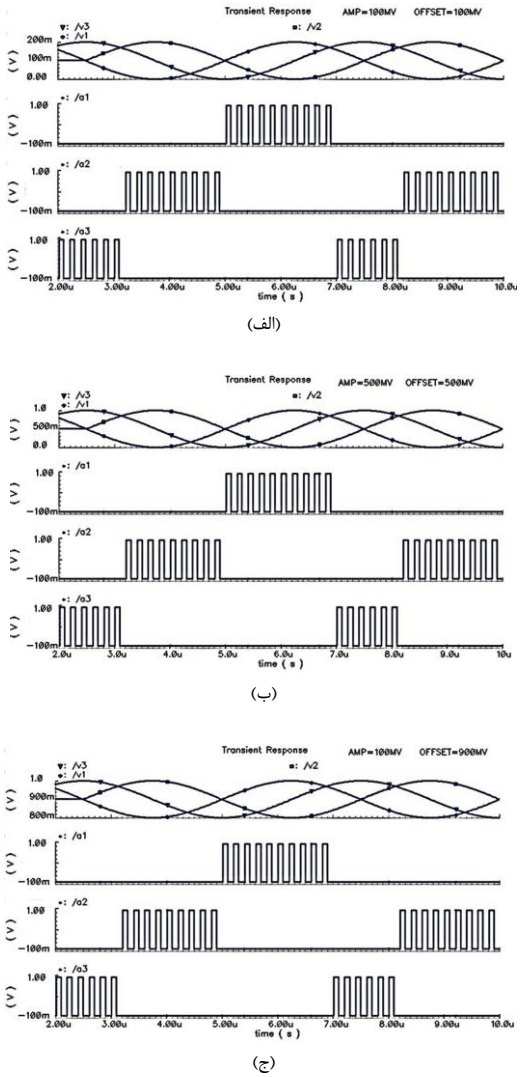
نحوه عملکرد مدار بیشینه یاب پیشنهادی به این صورت است که در ابتدا هر یک از ولتاژهای آنالوگ ورودی به مدار مبدل ولتاژ به زمان VCDL متناظر اعمال شده و به یک تاخیر زمانی تبدیل می شود. پالس های تاخیر یافته به مدار آشکارساز اعمال می شوند که از یک ترانزیستور PMOS و سه ترانزیستور NMOS تشکیل شده است. خروجی هر سه مدار به صورت پیش فرض در سطح منطقی "1" می باشد که دلیل آن صفر بودن خروجی VCDL در حالتی است که هنوز سیگنالی اعمال نشده است می باشد، به عبارتی وقتی کلاک ورودی در سطح منطقی صفر است، ترانزیستور PMOS هر سه مدار آشکارساز را روشن نگه می دارد و در نتیجه خروجی آنها "۱" می‌باشد. بنابراین، از سه ترانزیستور NMOS موجود در هر مدار آشکارساز، دو تای آنها که به خروجی مربوط به دو ورودی دیگر وصل می باشند دارای ورودی "۱" بوده و روشن می باشند و فقط یکی از ورودی ها (که از خروجی VCDL متناظر اعمال می شود) "۱" نمی باشد. از طرفی، متناسب با مقدار ولتاژ آنالوگ ورودی، یکی از پالس های تاخیر یافته که متناظر با سیگنال ورودی بزرگتر می باشد، سریعتر از سایر پالس‌ها به آشکارساز متناظر می‌رسد و ورودی سوم آن آشکار ساز را نیز به سطح "۱" برده و چون همه ترانیستورهای NMOS آن آشکارساز روشن می‌شوند، خروجی آن نیز صفر خواهد شد. این باعث می‌شود که علاوه بر اینکه خروجی متناظر با سیگنال ورودی بزرگتر، یک شود (به علت وجود گیت NOT)، یکی از NMOSهای ورودی سایر آشکارسازها نیز صفر شود. بنابراین وقتی پالسهای مربوط به سایر ورودیها که دارای تاخیر بیشتری می باشند به آشکارسازهای مربوطه می‌رسند، نمی‌توانند خروجی آشکارسازها را تغییر دهند و خروجی آشکارسازها همچنان در سطح صفر می مانند. وجود این فیدبک مثبت باعث می شود در شرایطی که دو سیگنال پالس بسیار نزدیک به هم باشند، فقط یکی از خروجی ها یک شود و مدار بیشینه یاب همواره فقط یک برنده داشته باشد. همچنین سرعت مدار را برای تصمیم گیری افزایش می دهد. اما مشخص است که به دلیل اهمیت تقارن در این مدار، عدم تطابق ترانزیستورهای مشابه (Mismatch) باعث ایجاد آفست خواهد شد. برای بهبود آفست در این مدار، اندازه ترانزیستورها به خصوص در بخش فیدبک مثبت بزرگ انتخاب شده اند. یکی از معایب اکثر مدارهای بیشینه یاب، پیچیدگی طراحی برای حالت n–ورودی برای n های بزرگ می باشد که باعث شده است بیشتر این مدارها حداکثر با ۸ ورودی پیاده سازی شوند. در مدار بیشینه یاب پیشنهادی نیز همین مساله وجود دارد. اما توجه به این

نکته ضروری است که برای پیاده سازی یک مدار بیشینه یاب با تعداد ورودی های بیشتر می توان به ازای هر ۴ ورودی از ساختار پیشنهادی استفاده نمود و پالس‌های برنده در خروجی آشکارساز بدون نیاز به استفاده از VCDL دیگر دوباره باهم مقایسه شوند. این باعث می شود این مشکل که در بیشتر مدارهای بیشینه یاب وجود دارد، در مدار پیشنهادی به یک مزیت تبدیل شود که می توان بدون هزینه اضافی قابل توجه و فقط صرف تعدادی ترانزیستور، تعداد ورودی ها را به راحتی افزایش داد.

در مورد مدار آشکارساز پیشنهادی نیز لازم به ذکر است ساختار ارائه شده در مرجع [۱۹] از گیتهای NAND متعارف برای بخش آشکارساز فاز استفاده می‌کند. درحالی که در ساختار پیشنهادی این آشکارکننده ها مطابق شکل ۸ اصلاح شده اند. به عبارتی، نسبت به گیتهایNAND متعارف، ساختار پیشنهادی تعداد دو ترانزیستور کمتر دارد. این ترانزیستورها در حالت اعمال پالس "0" نقش یک ترانزیستور reset را دارند و در حالت اعمال پالس "1" نیز خاموش هستند. بنابراین می توان فقط به بخش پایینی گیت NAND اکتفا کرد که این باعث کاهش مساحت و همچنین خازنهای پارازیتیک مدار می-شود. بنابراین مزیت مدار پیشنهادی نسبت به ساختار ارائه شده در [۱۹]، علاوه بر امکان اعمال ورودی تمام مقیاس (rail-to-rail) و امکان کاهش قابل توجه ولتاژ تغذیه نسبت به مدار قبلی و در نتیجه کاهش توان مصرفی، کاهش تعداد ترانزیستورهای آشکارساز نیز می باشد. این مساله از آنجا قابل اهمیت است که این ترانزیستورها در فیدبک مثبت قرار دارند و کاهش آنها به صورت قابل توجهی تاخیر و توان مصرفی و همین طور مشکل عدم تطابق را بهبود می بخشد.

نتایج شبیه سازی و مقایسه

مدار بیشینه یاب پیشنهادی در تکنولوژی 0.18µm CMOS به صورت ۳-ورودی طراحی و شبیه‌سازی شده است. ولتاژ تغذیه 1V و فرکانس پالس ساعت 5MHz در نظر گرفته شده است. شکل ۹ سیگنال های سینوسی ورودی را در سه حالت با ولتاژ مشترک 100mV و 500mV و 900mV و دامنه 100mV به همراه خروجی های مدار بیشینه یاب نشان می‌دهد. همانطور که مشاهده می شود خروجی مدار پیشنهادی به ازای ولتاژهای



(الف)

(ب)

(ج)

شکل ۹. ورودی و خروجی های مدار بیشینه یاب پیشنهادی در سه حالت با ولتاژ مشترک الف) ۱۰۰ میلی ولت، ب) ۵۰۰ میلی ولت و ج) ۹۰۰ میلی ولت.

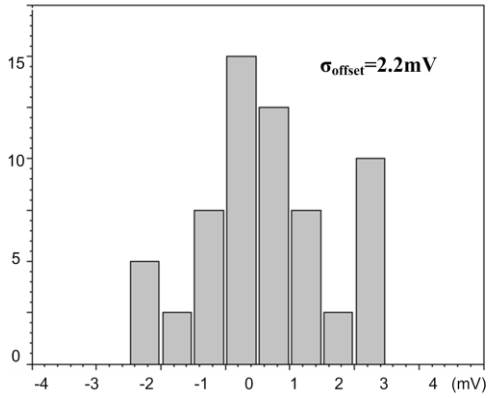
نزدیک به تغذیه و نیز نزدیک به صفر متناسب با ورودی بزرگتر تغییر می‌کند که بیانگر تمام مقیاس بودن ساختار می باشد. جدول ۱ نیز مشخصات استخراج شده از شبیه سازی این مدار را جمع بندی می کند. نتایج شبیه سازی گوشه های طراحی در جدول ۲ نشان داده شده است. همچنین شکل ۱۰ نیز نمودار هیستوگرام را که با شبیه سازی مونت کارلو به دست آمده است برای محاسبه مقدار آفست مدار نشان می‌دهد که مقدار انحراف معیار ولتاژ آفست در شبیه سازی مونت کارلو حدود 2.2mV محاسبه شده است. در نهایت جدول مقایسه ای برای مقایسه مدار بیشینه‌یاب پیشنهادی با جدیدترین مدارهای

جدول ۱: مشخصات بیشینه یاب پیشنهادی

Technology	*0.18µm*
VDD	*1V*
Power	*72 µW*
f_{clk}	*10 MHz*
ΔVmin	*0.2 mV*
Input Range	*1 V*
Precision	*99.98%*
FoM	*2.4 µW/MHz*

جدول ۲: مشخصات بیشینه یاب پیشنهادی در گوشه‌ها

Process Corner	TT	SS	SF	FS	FF
Power @ f_{clk}=2MHz (µW)	24	20	23	25	27
$F_{clk-max}$ (MHz)	25	15	17	18	34
ΔV_{min} @ f_{in}=2MHz (mV)	0.1	0.6	0.9	1	0.3
Input Range (V)	1	1	1	1	1
Precision (%)	99.98	99.94	99.91	99.90	99.97



شکل ۱۰. نتایج شبیه سازی مونت کارلو برای محاسبه آفست

مشابه تنظیم شده است که در جدول ۳ مشاهده می شود. در این جدول معیار شایستگی مدارهای بیشینه یاب بر اساس تعریفی که در [۱۴] آمده است تعریف شده است که به صورت معادله (۱) می باشد.

$$FoM = \frac{P_{1-input}}{f_{in-MAX}\,(or\ f_{clk})} \qquad (۱)$$

در این تعریف می توان به جای بیشترین فرکانس سیگنال ورودی بیشترین فرکانس پالس ساعت را در نظر گرفت که معیار سخت گیرانه تری می باشد. نتیجه مقایسه نشان می‌دهد که از لحاظ توان مصرفی و سرعت مدار بیشینه یاب پیشنهادی با کارهای مشابه قابل مقایسه و در مواردی بهتر می باشد، اما نکته مهم دقت بیشینه یاب و دامنه ورودی می باشد که در معیار شایستگی فوق لحاظ نشده است. اگر از این لحاظ مدارها

جدول ۳. مقایسه بیشینه یاب پیشنهادی با مدارهای بیشینه یاب ارائه شده در سال های اخیر

	[6]	[7]	[9]	[12]	[19]	This Work	
Technology	**0.35µm**	**0.18µm**	**0.35µm**	**0.18µm**	**0.13µm**	**0.18µm**	
Supply Voltage (V)	**3.3**	**1**	**2.5**	**0.8**	**0.5**	**1**	**0.4**
No. Inputs	**8**	**8**	**3**	**8**	**3**	**3**	**3**
Precision (%)	**99.95**	**99**	**99.6**	**99.5**	**99.3**	**99.98**	**99.96**
Frequency (MHz)	**83**	**3.5**	**10**	**0.383**	**1**	**10**	**1.2**
Dynamic Range (V)	**-**	**-**	**-**	**-**	**0.2**	**1**	**0.4**
Power per Input (µW)	**87.5**	**10**	**-**	**0.36**	**0.25**	**24**	**3.9**
FoM (µW/MHz)	**1.05**	**2.85**	**-**	**0.93**	**0.25**	**2.4**	**3.25**
Type	**CC**	**BT****	**CC**	**BT**	**Time Based**	**Time Based**	

* Current conveyer
** Binary tree

را مقایسه کنیم برتری قابل ملاحظه ای را در مدار بیشینه یاب پیشنهادی مشاهده می کنیم. این معیار در جدول مقایسه با صحت (Precision=ΔV_{min}/Input-Range) تعریف شده است که هم دامنه ورودی و هم دقت را در بر می گیرد. همچنین مدار بیشینه یاب پیشنهادی اولین مدار ارائه شده به صورت تمام مقیاس می باشد که می تواند ورودی هایی با تمام مقادیر از صفر تا تغذیه را مقایسه نماید. این قابلیت منحصر به فرد، این مدار را نسبت به سایر مدارهای بیشینه یاب متمایز می نماید.

نتیجه گیری

در این مقاله یک مدار بیشینه یاب جدید حوزه زمان ارائه شده است که با استفاده از تبدیل سیگنال آنالوگ به یک تاخیر زمانی، به صورت تمام مقیاس ورودی ها را مقایسه نموده و سیگنال بزرگتر را مشخص می کند. در این مدار با استفاده از اصلاح آشکارساز و همچنین تغییر المان تاخیر نسبت به نمونه مشابه ولتاژ تغذیه کمتر و در نتیجه توان مصرفی کمتری به دست آمده است. این مدار در تکنولوژی TSMC 0.18µm شبیه سازی شده است. در ولتاژ تغذیه 1V و فرکانس 10MHz توان مصرفی 24µW به ازای هر ورودی به دست آمده که معیار شایستگی 2.4 را به دست می دهد. صحت مدار 99.98% محاسبه شده است که در حالت تمام مقیاس بوده است و همچنین مدار قابلیت کار در ولتاژ کمینه‌ی 0.38V را نیز دارا می باشد. این نتایج نشان دهنده برتری قابل ملاحظه مدار بیشینه یاب پیشنهادی از لحاظ گستره کارآیی نسبت به سایر روش‌های ارائه شده می باشد.

تقدیر و تشکر

این مقاله تحت حمایت دانشگاه صنعتی قوچان با شماره گرنت ۱۷۷۸ به چاپ رسیده است.

مراجع

[1] J. Choi, B.J. Sheu, A high-precision VLSI winner-take-all circuit for self- organizing neural networks, IEEE Journal of Solid-State Circ. 28 (5) (1993) 576–584.

[2] L.J. Van Vliet, Robust local max–min filters by normalized power-weighted filtering, in: Int. Conf. on Pattern Recognition (ICPR), 2004, pp. 696–699.

[3] P.T. Jackway, M. Deriche, Scale-space properties of the multiscale morpho-logical dilation-erosion, IEEE Trans. on Pattern Analysis and Machine Intelligence 18 (1) (1996) 38–51.

[4] J. Lazzaro, S. Ryckebusch, M.A. Mahowald, C.A. Mead, Winner-take-all of O(n) complexity, in: D.S. Touretzky (Ed.), Advances in Neural Signal Processing Systems, Morgan Kaufmann Publishers, Inc., San Francisco, 1989, pp. 703–711.

[5] J. Ramirez-Angulo, G. Ducoudray-Acevedo, R. G. Carvajal and A. Lopez-Martin, "Low-voltage high-performance voltage-mode and current-mode WTA circuits based on flipped voltage followers," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 52, no. 7, pp. 420-423, July 2005.

[6] A. Fish, V. Milrud, and O. Yadid-Pecht, "High-speed and high-precision current winner-take-all circuit", *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 52, no. 3, pp. 131–135, Mar. 2005.

[7] M. Rahman, K. L. Baishnab and F. A. Talukdar, "A high speed and high resolution VLSI Winner-take-all circuit for neural networks and fuzzy systems," *2009 International Symposium on Signals, Circuits and Systems*, Iasi, 2009, pp. 1-4.

[8] D. Moro-Frias, M. T. Sanz-Pascual and C. A. de la Cruz Blas, "A novel current-mode Winner-Take-All topology," *2011 20th European Conference on Circuit Theory and Design (ECCTD)*, Linkoping, 2011, pp. 134-137.

[9] Naderi, Ali & Özoguz, Serdar. (2014). CMOS high-precision loser-take-all circuit. *IEEJ Transactions on Electrical and Electronic Engineering*. 9. 10.1002/tee.22028.

[10] Moro-Frias, David & Ventura-Arizmendi, Carlos & Sanz, M.T. & Cruz-Blas, C.A. (2015). Current-Mode Winner-Take-All Circuit with Improved Dynamic Response. *Circuits, Systems & Signal Processing*. Feb2015, Vol. 34 no. 2, p625-639. 15p.

[11] D. Y. Aksin, "A high-precision high-resolution WTA-MAX circuit of O(N) complexity," in *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 49, no. 1, pp. 48-53, Jan. 2002.

[12] R. Dlugosz and T. Talaska, "A low power current-mode binary-tree WTA / LTA circuit for Kohonen neural networks," *2009 MIXDES-16th International Conference Mixed Design of Integrated Circuits & Systems*, Lodz, 2009, pp. 201-204.

[13] H. Hsieh, K. Tang, Z. Tsai and H. Chen, "A low-power, high-resolution WTA utilizing translinear-loop pre-amplifier," *The 2010 International Joint Conference on Neural Networks (IJCNN)*, Barcelona, 2010, pp. 1-5.

[14] R. DŁugosz, T. Talaśka, "Low power current-mode binary-tree asynchronous Min/Max circuit," *Microelectronics Journal*, Vol. 41, no. 1, 2010, Pages 64-73,

[15] H. Hikawa, "Winner-take-all neural network with digital frequency-locked loop," *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, Lisbon, 2015, pp. 2517-2520.

[16] M. Azuma and H. Hikawa, "Supervised learning of DPLL based winner-take-all neural network," *2014 IEEE International Conference on Evolvable Systems*, Orlando, FL, 2014, pp. 117-124.

[17] J. P. Abrahamsen, P. Hafliger and T. S. Lande, "A time domain winner-take-all network of integrate-and-fire neurons," *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512)*, Vancouver, BC, 2004, pp. V-V.

[18] J. Fernández-Berni, R. Carmona-Galán and Á. Rodríquez-Vázquez, "An ultra-low-power voltage-mode asynchronous WTA-LTA circuit," *2013 IEEE International Symposium on Circuits and Systems (ISCAS2013)*, Beijing, 2013, pp. 1817-1820.

[19] E. Rahiminejad, M. Saberi, R. Lotfi, M. Taherzadeh-Sani and F. Nabki, "A Low-Voltage High-Precision Time-Domain Winner-Take-All Circuit," in *IEEE Transactions*

on Circuits and Systems II: Express Briefs, vol. 67, no. 1, pp. 4-8, Jan. 2020.

[20] A. Agnes, E. Bonizzoni and F. Maloberti, "Design of an ultra-low power SA-ADC with medium/high resolution and speed," *2008 IEEE International Symposium on Circuits and Systems*, Seattle, WA, 2008, pp. 1-4.

[21] S. Lee, S. Park, H. Park and J. Sim, "A 21 fJ/Conversion-Step 100 kS/s 10-bit ADC With a Low-Noise Time-Domain Comparator for Low-Power Sensor Interface," in *IEEE Journal of Solid-State Circuits*, vol. 46, no. 3, pp. 651-659, March 2011.

[22] Y. Kim and C. Yoo, "A 100-kS/s 8.3-ENOB 1.7μW Time-Domain Analog-to-Digital Converter," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 61, no. 6, pp. 408-412, June 2014.

[23] X. Yang, Y. Zhou, M. Zhao, Z. Huang, L. Deng and X. Wu, "A 0.9V 12-bit 200-kS/s 1.07μW SAR ADC with ladder-based reconfigurable time-domain comparator," *2014 IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS)*, College Station, TX, 2014, pp. 105-108.

[24] H. Rivandi, S. Ebrahimi, M. Saberi, A low-power rail-to-rail input-range linear delay element circuit, *AEU - International Journal of Electronics and Communications* 79 (2017) 26 – 32.