یک مبدل آنالوگ به دیجیتال ثبات تقریب متوالی با آلگوریتم بهبود یافته برای کاهش عناصر مبدل دیجیتال به آنالوگ خازنی

میلاد تکجو[۱]، شهباز ریحانی[۲]

[۱]دانشجوی کارشناسی ارشد الکترونیک،دانشگاه گیلان

[۲]استادیار گروه مهندسی برق، دانشگاه گیلان، shahbaz@guilan.ac.ir

چکیده

در این مقاله یک مبدل آنالوگ به دیجیتال[۱] ۸ بیتی که با استفاده از یک ثبات تقریب متوالی[۲] بهبود یافته طراحی شده، معرفی می‌شود. در ساختار پیشنهادی مبدل SAR از انتگرال‌گیری که با یک مبدل دیجیتال به آنالوگ[۳] ادغام شده، استفاده می‌شود. وجود انتگرال‌گیر در ورودی ADC نیاز به مدار نمونه‌بردار و نگهدار[۴] را برطرف کرده و برای تولید سطوح مختلف ولتاژ در DAC از آن استفاده می‌شود. بدین ترتیب آلگوریتم تقریب متوالی طوری در ساختار پیشنهادی طوری بهبود یافته که با تعداد خازن های کمتری در DAC، سطوح ولتاژ مورد نیاز فراهم می‌شوند. بنابراین با یک آرایه خازنی کاهش یافته در DAC پیچیدگی مدار کاسته شده و سطح سیلیکون کمتری اشغال می‌شود. مبدل پیشنهادی عملیات تبدیل ورودی آنالوگ را به کد دیجیتال در ۱۰ پالس ساعت به اتمام می‌رساند. برای بررسی روش پیشنهادی، مدار مربوط به مبدل SAR در سطح ترانزیستوری با استفاده از تکنولوژی CMOS ۰/۱۸ میکرومتر با ولتاژ تغذیه ۱/۸ ولت طراحی و شبیه‌سازی شده است. نتایج شبیه‌سازی نشان می‌دهند که نسبت سیگنال به نویز و اعوجاج[۵] برای پهنای باند ورودی ۶۴۰ کیلوهرتز ۴۸/۳ دسی‌بل، بیت موثر[۶] ۷/۷۴ بیت و مصرف توان ۰/۸۵ میلی وات می‌باشند.

کلیدواژه

مبدل آنالوگ به دیجیتال، مبدل دیجیتال به آنالوگ، آلگوریتم تقریب متوالی، آرایه خازنی کاهش یافته

---

۱ Analog to Digital Converter (ADC)

۲ Successive Approximation Register (SAR)

۳ Digital to Analog Converter (DAC)

۴ Sample and Hold

۵ Signal to Noise and Distortion Ratio (SNDR)

۶ Effective Number of Bit (ENOB)

تاریخ دریافت: ۱۳۹۹/۰۳/۲۶ تاریخ پذیرش: ۱۴۰۰/۰۷/۲۲

مقدمه

مبدل‌های آنالوگ به دیجیتال یکی از بلوک‌های اساسی هر سیستم پردازش سیگنال می‌باشند که امروزه در تمامی تجهیزات مخابراتی، اندازه‌گیری و پردازشی مورد استفاده قرار می‌گیرند. از طرفی دیگر مبدل‌های SAR که دارای ساختار ساده‌ای هستند فقط با یک مقایسه‌گر عملیات تبدیل آنالوگ به دیجیتال را با مصرف توان کم و راندمان بالاتر نسبت به مبدل‌های دیگر انجام می‌دهند. با توجه به بالا بودن تعداد عناصر دیجیتالی نسبت به قطعات آنالوگ، این نوع مبدل مصرف توان کمی داشته و بهمین دلیل در کاربردهای کم توان مورد استفاده قرار می‌گیرد [۱-۶]. بکارگیری مبدل SAR با وضوح و پهنای باند ورودی بالا، بدلیل مشکل عدم تطبیق خازن‌ها و همچنین بالا بودن فرکانس ساعت محدود است (مبدلی با وضوح n بیت به n+1 پالس ساعت یا بیشتر برای انجام عملیات تبدیل نیاز دارد)، لذا از این نوع مبدل آنالوگ به دیجیتال معمولاً در کاربردهایی با پهنای باند کم استفاده می‌شود [۶-۱۱].

در مبدل‌های ثبات تقریب متوالی معمولاً از یک آرایه خازنی به عنوان DAC استفاده می‌شود که طراحی آن در وضوح بالا چالش برانگیز است. ساختار مبدل های دیجیتال به آنالوگ نوع خازنی می‌تواند به صورت دودویی وزنی یا عناصر واحد از لحاظ ظرفیت خازن ها باشد که در ساخت آنها در وضوح بالا سطح سیلیکون زیادی اشغال خواهد شد. برای کاهش تعداد خازن ها، روش‌های مختلفی از جمله تکنیک بازیافت بار استفاده شده است [۸-۹]. متاسفانه در این روش‌ها نیاز به تعداد سوئیچ‌های بیشتری است. همچنین از قطعاتی بعنوان بافر در بخش آنالوگ استفاده می‌شود و به مدار کنترل دیجیتالی پیچیده‌تری نیاز است.

در سال‌های اخیر، مبدلی از نوع ثبات تقریب متوالی معرفی شده که به عنوان کوانتایزر در مدولاتور دلتا-سیگما بکار گرفته شده است و برای انجام عملیات تبدیل خود از انتگرال‌گیر موجود در مدولاتور بهمراه مبدل دیجیتال به آنالوگ تک بیتی استفاده می‌کند [۱۲]. یکی از قابلیت‌های این کوانتایزر ۳ بیتی که با تغییر آلگوریتم تقریب متوالی مرسوم بدست آمده، ایجاد سطوح ولتاژ مورد نیاز توسط مبدل دیجیتال به آنالوگ تک بیتی به صورت سریالی است. با بکارگیری این روش از خاصیت خطی بودن DAC تک بیتی در این مدولاتور استفاده خواهد شد ضمن آنکه مشکل استفاده از تقویت کننده با نرخ چرخش[۷] که در مدولاتورهای تک بیتی مرسوم مورد نیاز است، بدلیل چند بیتی شدن کوانتایزر آن برطرف می‌شود [۱۳]. باید به این نکته توجه کرد در مدولاتورهای دلتا-سیگما چند بیتی بدلیل استفاده از فرکانس نمونه برداری بسیار بیشتر نسبت به پهنای باند ورودی، معمولاً از کوانتایزری با وضوح[۸] کم استفاده می‌شود. استفاده از روش بکار رفته در [۱۲] برای طراحی یک مبدل آنالوگ به دیجیتال تقریب متوالی با وضوح بالاتر در صورت استفاده از DAC تک بیتی (که در این نوع مبدل‌ها خاصیت خطی بودن DAC تاثیر چندان زیادی در بازدهی آنها ندارد)، به تعداد زیادی پالس ساعت برای انجام عملیات تقریب متوالی برای هر نمونه ورودی نیاز خواهد بود. ضمن آنکه از ولتاژ مرجع بسیار کوچکی برای تولید سطوح ولتاژ مورد نیاز توسط DAC استفاده خواهد شد که این امر احتمال سوار شدن نویز بر روی ولتاژ مرجع را افزایش می‌دهد. برای مثال با بکارگیری این روش در یک مبدل تقریب متوالی ۸ بیتی به ۶۶ پالس ساعت نیاز است که برای کاربردهایی با پهنای باند بالا مناسب نخواهد بود. بنابراین لازم است با افزایش تعداد خازن‌های DAC تعداد پالس‌های ساعت مورد نیاز برای عملیات تقریب متوالی را کاهش داد که این امر نیازمند اضافه کردن سوئیچ‌هایی در DAC بوده و در نتیجه باعث پیچیده شدن بخش کنترل دیجیتال خواهد شد.

در این مقاله یک مبدل SAR ۸ بیتی پیشنهاد می‌شود که از تعداد خازن های بسیار کمتری در DAC آن نسبت به مبدل‌های تقریب متوالی رایج استفاده شده است. بدین ترتیب از پیچیدگی مدار کاسته شده و سطح سیلیکون کمتری اشغال می‌شود. مبدل پیشنهادی قادر است با ۱۰ پالس ساعت عملیات جستجوی دودویی خود را تکمیل نماید. ساختار این مقاله به شرح ذیل است: در بخش دوم ساختار یک مبدل تقریب متوالی ۴ بیتی بر پایه روش ارائه شده در [۱۲] که از DAC با یک خازن استفاده می‌کند، توضیح داده شده و مشکلات آن مورد بحث قرار می‌گیرد. سپس در بخش سوم، مبدل تقریب متوالی ۸ بیتی پیشنهادی که عملیات تبدیل آنالوگ به دیجیتال را در ۱۰ پالس ساعت انجام می‌دهد، ارائه خواهد شد. در بخش چهارم منابع نویز موجود در مبدل پیشنهادی تجزیه و تحلیل می‌شوند و در بخش پنجم نتایج شبیه‌سازی مدار که در سطح ترانزیستوری انجام شده است، مورد بحث قرار می‌گیرند.

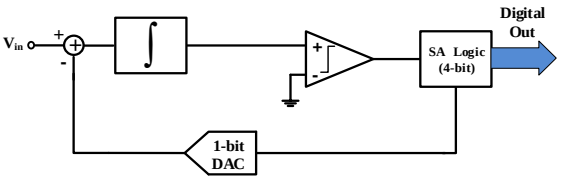
مبدل آنالوگ به دیجیتال ثبات تقریب متوالی ۴ بیتی با DAC تک بیتی

شکل۱ مبدل ثبات تقریب متوالی ۴ بیتی که از روش پیشنهادی طراحی شده، را نشان می‌دهد. در این مدار، ابتدا

[۷] Slew rate

[۸] Resolution

توسط انتگرال‌گیر از سیگنال ورودی نمونه برداری می‌شود، سپس سطوح ولتاژ تولید شده توسط DAC از مقدار ورودی که در انتگرال گیر نگهداری شده اند کم می‌شوند.



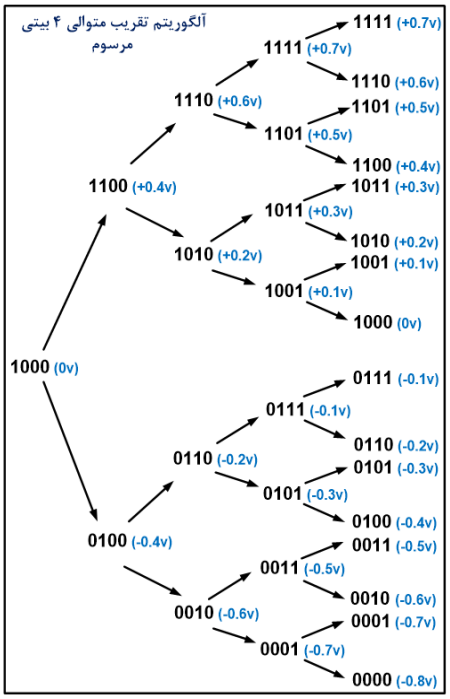
شکل ۱. مبدل تقریب متوالی با DAC تک بیتی

همچنین در این مبدل به جای تولید سطوح ولتاژ مختلف در هر پالس ساعت طبق روش مرسوم توسط DAC چند بیتی (شکل ۲-الف)، اختلاف بین دو سطح متوالی به کمک انتگرال-گیر و DAC تک بیتی تولید شده تا سطوح ولتاژ مورد نظر فراهم شوند.

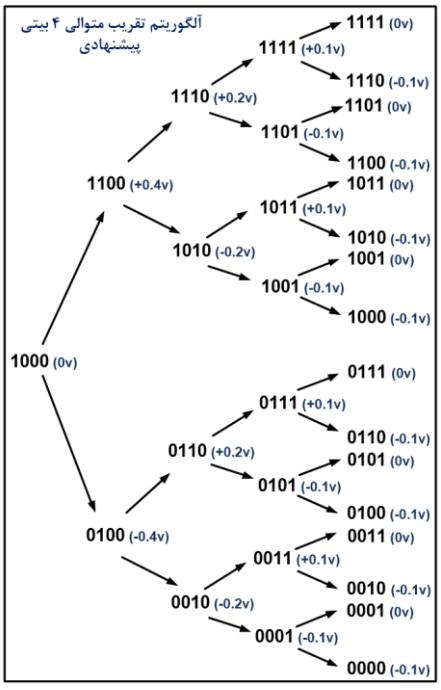
این امر باعث کاهش تعداد سطوح DAC و در نتیجه کاهش عناصر موجود در ساختارDAC می‌شود، زیرا تعداد سطوح ولتاژی که باید توسط DAC تولید شوند، کاهش می‌یابند. با در نظرگرفتن محدوده‌ی سیگنال آنالوگ ورودی بین ۰/۸- ولت تا ۰/۷+ ولت، اختلاف بین سطوح ولتاژ متوالی در یک مبدل تقریب متوالی ۴ بیتی برابر ۰/۴±،۰/۲±،۰/۱± و ۰ می‌باشند (شکل ۲-ب).

در روش پیشنهادی هرکدام از این سطوح ولتاژ، توسط DAC تک بیتی با ولتاژ مرجع ۰/۱ ولت و از طریق خاصیت جمع‌کنندگی انتگرال گیر در ۹ پالس ساعت تولید می‌شوند. شکل ۳ تعداد پالس‌های مورد نیاز برای تولید ۴ بیت خروجی در مبدل ثبات تقریب متوالی نشان داده شده است.

با انجام تغییراتی در نحوه سوئیچ زنی DAC و اضافه کردن بخش مرتبط با آن به مدار کنترل دیجیتالی می‌توان سطوح ولتاژ مورد نیاز در کوآنتایزر تقریب متوالی را به جای ۹ پالس ساعت، در ۶ پالس ساعت تولید کرد. با توجه به تفاضلی بودن مبدل تقریب متوالی پیشنهادی، در صورت تولید ولتاژ ۰/۱- ولت (از ولتاژ مرجع ۰/۱ ولتی) میتوان سطوح ولتاژ ۰/۲+ و ۰/۲- ولت را توسط DAC سوئیچ-خازنی فراهم کرد. بعبارتی دیگر با تغییر سوئیچ زنی در شاخه های مثبت و منفی مدار DAC، سطوح ولتاژ ۰/۱- و ۰/۱+ ولت تولید شده و از اختلاف بین آنها خروجی تفاضلی برابر با ۰/۲- و ۰/۲+ ولت خواهد شد. برای تولید سطح ولتاژ ۰/۱+ یا ۰/۱- ولت در هر شاخه مدار سوییچ خازنی، سیگنال‌های کنترلی سوئیچ ها (φ_1 و φ_2) تعویض می‌شوند.

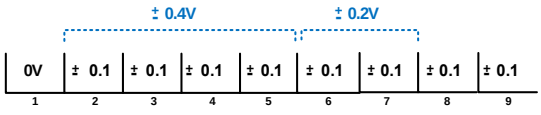


(الف)



(ب)

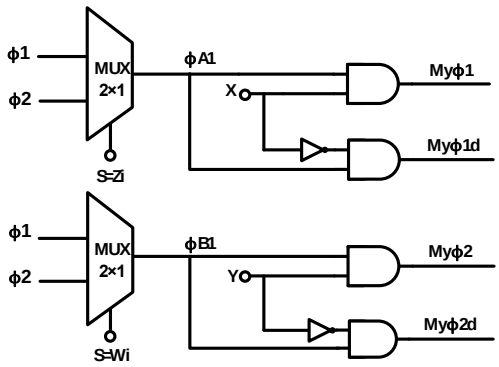
شکل ۲. آلگوریتم تقریب متوالی (الف) مرسوم (ب) پیشنهادی



شکل۳. پالس‌های مورد نیاز تولید ۴ بیت خروجی

برای این کار از یک مدار دیجیتالی که در شکل ۴ نمایش داده

شده، استفاده می‌شود. این مدار از مالتی‌پلکسر و چند گیت ساخته شده و سیگنال‌های مورد نیاز آن از بخش کنترل دیجیتال تولید می‌شوند.



شکل ۴. مدار دیجیتالی برای تولید سیگنال های کنترلی سوئیچ های طبقه ورودی DAC

همان‌طور که گفته شد در مدار آنالوگ به دیجیتال ۴ بیت، ولتاژ مرجع ۰/۱ ولت بوده که با تکنیک تفاضلی سطوح ولتاژ مختلفی (±۰/۱ و ±۰/۲) توسط DAC تولید می‌شوند. حال با توجه به اینکه وضوح مورد نظر در مبدل پیشنهادی ۸ بیت است، حداقل ولتاژ مرجع مورد نیاز که از رابطه ۱ بدست می‌آید مقدار ۶/۲۵ میلی ولت است.

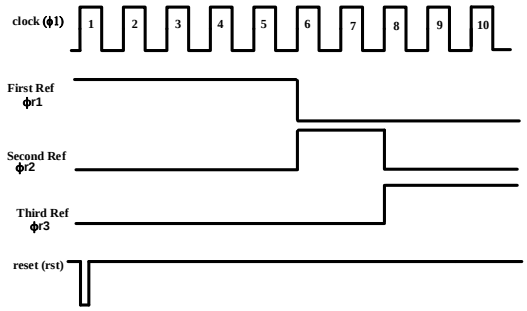
$$V_{ref} = \frac{V_{fullscale}}{2^N} = \frac{1.6}{256} = 0.00625 \qquad (۱)$$

بنابراین با توجه به کوچک بودن ولتاژ مرجع، برای تولید سطوح ولتاژ ±۰/۲ و ±۰/۴ ولتی به تعداد پالس‌های زیادی نیاز است. لذا از روشی که در آن از خازن‌های اضافی برای تولید ولتاژهای مرجع مورد نیاز استفاده شده، بکار گرفته می‌شود.

طراحی مبدل ثبات تقریب متوالی ۸ بیتی پیشنهادی

با توجه به اینکه می بایست سطوح ولتاژ زیادی در فاصله ۰/۸- الی ۰/۷+ ولت توسط مبدل دیجیتال به آنالوگ ۸ بیتی تولید شوند، بکارگیری یک ولتاژ مرجع ۶/۲۵ میلی ولتی باعث افزایش تعداد پالس های ساعت مورد نیاز برای فراهم کردن آنها خواهد شد (۶۶ پالس ساعت). لازم به ذکر است استفاده از ولتاژ مرجع چند میلی ولتی بصورت ورودی، احتمال سوار شدن نویز بر روی آن را افزایش خواهد داد. لذا با استفاده از ولتاژ مرجع بزرگتر (۰/۱ ولت تفاضلی) و بکارگیری از خازنهایی با ظرفیت‌های متناسب با هم، ولتاژهای مورد نیاز برای تولید سطوح مختلف ولتاژی توسط DAC امکان پذیر خواهند شد. همچنین با بکارگیری هرکدام از این ولتاژها در بخشی از فرآیند تولید سطوح ولتاژ توسط DAC، می‌توان تعداد پالس‌های ساعت لازم را به ۱۰ پالس کاهش داد. همانگونه که در شکل ۵ نمایش داده شده است، ولتاژ مرجع اول قابلیت تولید سطوح ولتاژ ۰/۱±، ۰/۲±، ۰/۴± را دارد. ولتاژ مرجع دوم می‌تواند سطح ولتاژهای ۰/۰۲۵± ، ۰/۰۵± را فراهم کند و مرجع سوم نیز ولتاژهای ۰/۰۱۲۵± و ۰/۰۰۶۲۵± را تولید خواهد کرد. مطابق شکل ۶، ولتاژ مرجع اول در ۵ پالس ساعت اول، مرجع دوم در ۲ پالس ساعت بعدی و ولتاژ مرجع سوم در ۳ پالس ساعت آخر مورد استفاده DAC قرار خواهند گرفت.

شکل ۵. استفاده از مرجع‌های مختلف در مبدل



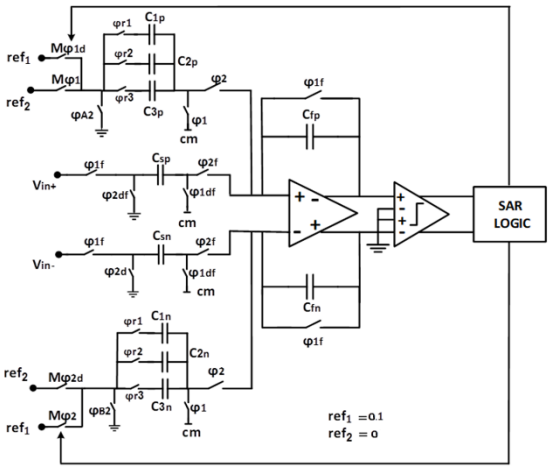
شکل ۶. نمودار زمانی مربوط به نحوه فعال شدن ولتاژ های مرجع در DAC

در شکل ۷ مدار مربوط به مبدل ۸ بیتی پیشنهادی نمایش داده شده است. با توجه به اینکه بکارگیری مراجع ولتاژ متعدد از بیرون مدار و اتصال آنها به مبدل دیجیتال به آنالوگ منطقی نمی‌باشد، تولید سه ولتاژ مرجع با روشی پیشنهادی انجام می‌پذیرد.

طبق شکل ۷ و رابطه ۲، ولتاژ مرجع ثابت ۰/۱ ولتی (بصورت تفاضلی) از بیرون به DAC اعمال می‌شود. از خازن C_{1p} برای تولید ولتاژ مرجع ۰/۱ ولت استفاده می‌شود وظرفیت آن با ظرفیت خازن انتگرال‌گیر برابر می‌باشد. خازن C_{2p} برای فراهم کردن ولتاژ مرجع ۰/۰۲۵ ولتی بکار رفته که ظرفیت آن ۰/۲۵ ظرفیت خازن انتگرال‌گیر است تا نسبت به تولید ولتاژی برابر با ۰/۲۵ ولتاژ مرجع قبلی (۰/۱ ولت) عمل نماید. خازن C_{3p} ولتاژ مرجع ۶/۲۵ میلی ولت را که مقدار آن یک شانزدهم ولتاژ مرجع اصلی (۰/۱ ولت) است تولید می‌کند. ظرفیت این خازن یک شانزدهم ظرفیت خازن انتگرال‌گیر است.

رابطه بین این خازن ها و خازن انتگرال‌گیر، در زیر نمایش داده شده است. این رابطه برای خازن های واقع شده در شاخه های مثبت و منفی صدق می‌کند.

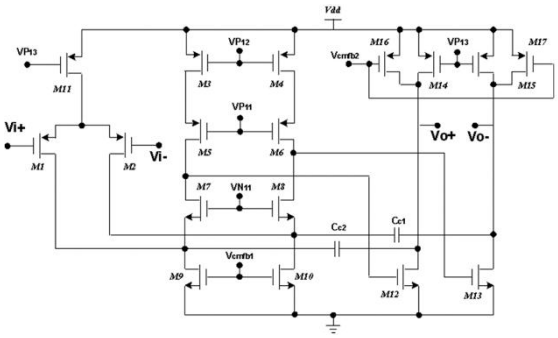
$$C_1=C_f \quad \text{و} \quad C_2=\frac{1}{4}\times C_f \quad \text{و} \quad C_3=\frac{1}{16}\times C_f \qquad (۲)$$



شکل ۷. نمای کلی مبدل آنالوگ به دیجیتال پیشنهادی

تقویت کننده عملیاتی[۹]

تقویت کننده بکار رفته در مبدل پیشنهادی در شکل ۸ نمایش داده شده است. با توجه به اینکه مدار انتگرال گیر و DAC که به صورت ادغام شده هستند از نوع سوئیچ-خازنی می‌باشند، نیاز به یک تقویت کننده با بهره DC و سوییینگ خروجی بالا است.



شکل ۸. مدار تقویت کننده تمام تفاضلی مورد استفاده در مبدل پیشنهادی

بنابراین از یک تقویت کننده تمام تفاضلی دو طبقه استفاده شده است. طبقه اول این تقویت کننده شامل یک تقویت کننده کاسکود تاشده تمام‌تفاضلی و طبقه دوم سورس مشترک می‌باشد.

ساختار کاسکود تاشده بکار رفته در طبقه اول باعث افزایش بهره DC شده در حالی که طبقه دوم باعث زیاد شدن سوییینگ خروجی می‌شود. جدول ۱ مشخصات تقویت کننده استفاده شده در مبدل ۸ بیتی ثبات تقریب متوالی پیشنهادی را نشان می‌دهد.

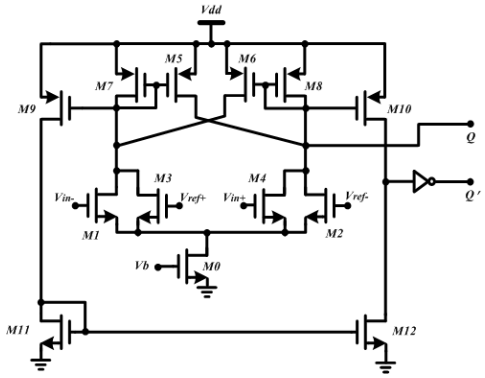
[۹] Operational Amplifier

جدول ۱. خلاصه مشخصات تقویت کننده تمام تفاضلی

ولتاژ تغذیه (V)	۱/۸
بهره DC (dB)	۸۴
پهنای باند بهره واحد (MHz)	۲۰۳
محدوده فاز (Degree)	۵۷
مصرف توان (µW)	۶۸۵
نرخ چرخش (µV/S)	۱۵۸

مقایسه‌گر[۱۰]

مقایسه‌گر یکی از بخش‌های اصلی مبدل است. عمل مقایسه سیگنال خروجی انتگرال گیر با سطح ولتاژ صفر را انجام داده و کوآنتایزر SAR مقدار خروجی خود را با توجه به نتیجه مقایسه تغییر می‌دهد. مدار مقایسه‌گر تفاضلی استفاده شده در مبدل پیشنهادی از نوع سورس کوپل‌شده[۱۱] بوده که در شکل ۹ نمایش داده شده است [۱۳]. مصرف توان این مقایسه‌گر ۱۳۰ میکرو وات بوده و تاخیر زمانی آن ۷۰۰ پیکو ثانیه است.



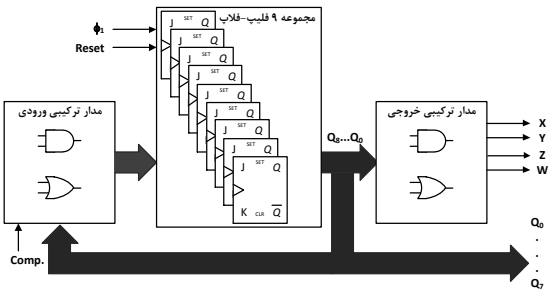
شکل ۹. مدار مقایسه گر بکار رفته در مبدل پیشنهادی

مدار کنترل دیجیتال و ثبات تقریب متوالی

در مبدل ۸ بیتی پیشنهادی به جای استفاده از ثبات تقریب متوالی مرسوم، مدار دیجیتالی طراحی شده است که بعنوان کنترل کننده منطقی و همچنین ثبات تقریب متوالی عمل می‌کند. مدار کنترل باید سیگنال‌های زمانی مناسبی را برای روشن-خاموش کردن سوئیچ‌های بکار رفته در DAC را فراهم نماید. بنابراین مدار ترتیبی تقریباً پیچیده‌ای طراحی شده است. این مدار ترتیبی دیجیتالی به صورت یک ماشین حالت متناهی طراحی شده است. هسته مرکزی آن از ۹ فلیپ-فلاپ نوع JK

[۱۰] Comparator
[۱۱] source-coupled

تشکیل شده و دو مدار ترکیبی که با گیت‌های دیجیتالی مرسوم پیاده سازی شده اند در ورودی و خروجی فلیپ-فلاپ‌ها قرار می‌گیرند. همانطور که در شکل ۱۰ نمایش داده شده است، با تغییر حالت خروجی مقایسه‌گر (.comp) مدار ثبات تقریب متوالی، وضعیت خود را تغییر خواهد داد. سیگنال‌های Q_0 الی Q_7 به عنوان خروجی مبدل ۸ بیتی مورد استفاده قرار خواهند گرفت. سیگنال‌های X، Y، Z و W برای تولید سیگنال‌های کنترل بعضی از سوئیچ‌های DAC بکار می‌روند.



شکل ۱۰. بلوک دیاگرام مربوط به ثبات تقریب متوالی و کنترل منطقی

تجزیه و تحلیل منابع نویز

در این بخش، منابع نویز مدار و تأثیرات آنها در عملکرد مبدل پیشنهادی بررسی شده اند. بدلیل استفاده از ترانزیستورهای نوع PMOS با پهنای زیاد در ورودی تقویت کننده از تاثیر نویز فلیکر در این تحلیل صرف نظر شده است.

نویز حرارتی و kT/C

نویز حرارتی تقویت کننده و نویز KT/C مهمترین نقش را در عملکرد مبدل بازی می‌کنند. نویز حرارتی تقویت‌کننده کاسکود تاشده تمام تفاضلی در یک انتگرال‌گیر سوئیچ-خازنی بطور تقریبی از رابطه زیر محاسبه می‌شود [۱۴]:

$$\text{نویز حرارتی}=\frac{2C_sKTB}{C_f^2\beta f_s} \qquad (۳)$$

که B، f_s، k، T، C_s، β و C_f بترتیب پهنای باند ورودی، فرکانس نمونه‌برداری، ثابت بولتزمن، دمای مطلق، خازن نمونه‌برداری ورودی، ضریب فیدبک و خازن فیدبک هستند. نویز حرارتی تقویت‌کننده بکار رفته برای خازن‌های نمونه‌برداری ورودی و فیدبک (C_s و C_f) با ظرفیت ۲ پیکوفاراد، ضریب تقویت واحد (β=۱)، پهنای باند ۶۴۰ کیلوهرتز و فرکانس نمونه‌برداری ۱/۲۸ مگاهرتز ۲/۳۴ nV^2/Hz محاسبه شده است. در حالتی که خازن‌های DAC مورد استفاده قرار گیرند، فرکانس نمونه‌برداری برابر با فرکانس ساعت یعنی ۱۲/۸ مگاهرتز خواهد شد. سه خازن بکار رفته بترتیب ۲، ۰/۵ و ۰/۱۲۵ پیکوفاراد هستند و نویز حرارتی تولید شده توسط خازن‌های DAC با در نظر گرفتن خازن فیدبک ۲ پیکوفارادی برابر با ۵۶/۱۵ nV^2/Hz است. نویز حرارتی کل تقویت‌کننده برابر ۵۸/۴۹ nV^2/Hz است. برای محاسبه توان نویز kT/C خازن ورودی سوئیچ شده از رابطه زیر استفاده می‌شود [۱۵].

$$\text{نویز kT/C}=\frac{4kTB}{C_sf_s} \qquad (۴)$$

با بکارگیری رابطه ۲، نویز kT/C برای خازن ۲ پیکوفارادی نمونه‌برداری ورودی با فرکانس نمونه‌برداری ۱/۲۸ مگاهرتز ۴/۱۱nV^2/Hz و برای تمامی خازن‌های DAC با فرکانس ساعت ۱۲/۸ مگاهرتز در بدترین حالت ۸/۶۳ nV^2/Hz است. مجموع نویز kT/C ۱۲/۷۴ nV^2/Hz است.

نویز لرزش ساعت (Clock Jitter)

نویز لرزش ساعت منبع نویز دیگر در مبدل‌های آنالوگ به دیجیتال است. توان نویز داخل باند لرزش ساعت از رابطه زیر محاسبه می شود [۱۶]:

$$\text{نویز لرزش ساعت}=\frac{(\pi f_i V\delta_{jitter})^2}{2} \qquad (۵)$$

که در آن f_i و V فرکانس و دامنه سیگنال ورودی هستند. δ_{jitter} انحراف معیار مربوط به عدم قطعیت زمانی را نشان می دهد. در بدترین حالت، با در نظر گرفتن فرکانس و دامنه ورودی به ترتیب برابر با پهنای باند سیگنال ورودی و مقدار سربار[۱۲] ولتاژ ورودی انتگرال‌گیر (۹۵ درصد دامنه ماکزیمم ورودی) یعنی بعبارتی دیگر مقادیر ۶۴۰ کیلوهرتز و ۰/۷۶ ولت و همچنین لحاظ کردن میزان لرزش ساعت به اندازه ۰/۱ درصد پرید سیگنال نمونه‌برداری (۷۸۱/۲۵ پیکوثانیه) توان نویز برابر با ۷۱۳ nV^2/Hz خواهد شد.

نویز کوانتیزاسیون

نویز کوانتیزاسیون منبع نویز دیگری است که از رابطه زیر قابل محاسبه است [۱۷]:

[۱۲] overload

$$\text{نویز کوانتیزاسیون} = \frac{\Delta^2}{12} \quad (۶)$$

که Δ گام کوانتیزاسیون است که از رابطه (۷) بدست می‌آید. در این رابطه N وضوح مبدل تقریب متوالی و V_{FS} ولتاژ مقیاس کامل ورودی است.

$$\Delta = \frac{V_{FS}}{2^N} \quad (۷)$$

با در نظر گرفتن وضوح ۸ بیت و ولتاژ مقیاس کامل ۱/۶ ولت، مقدار نویز کوانتیزاسیون برابر با ۳۲۵۵/۲ nV^2/Hz محاسبه می‌شود.

در جدول ۲ منابع مهم نویز در مبدل تقریب متوالی پیشنهادی به اختصار نشان داده شده‌اند. همانطور که مشاهده می‌شود، منبع نویز غالب در مبدل، نویز کوانتیزاسیون است. توان نویز کل برابر با ۵۳/۹- دسی بل است که حداکثر محدوده پویایی در حدود ۵۰/۹ دسی بل مورد انتظار خواهد بود.

جدول ۲. توان مربوط به منابع نویز مبدل پیشنهادی

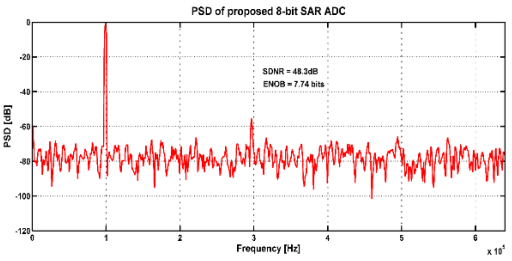
منبع	توان (دسی بل)	توان (nV^2/Hz)
نویز حرارتی تقویت کننده	-۷۲/۳	۵۸/۴۹
نویز kT/C	-۷۸/۹	۱۲/۷۴
نویز Clock Jitter	-۶۱/۵	۷۱۳
نویز کوانتیزاسیون	-۵۴/۹	۳۲۵۵/۵
نویز کل	-۵۳/۹	۴۰۳۹/۷۳

نتایج شبیه‌سازی

برای بررسی عملکرد مبدل پیشنهادی، مبدل آنالوگ به دیجیتال SAR با وضوح ۸ بیت در تکنولوژی CMOS ۰/۱۸ میکرومتر با ولتاژ تغذیه ۱/۸ ولت طراحی و شبیه‌سازی شده است. نرخ نمونه‌برداری در مبدل پیشنهادی ۱/۲۸ مگاهرتز است. نتایج شبیه‌سازی نشان می‌دهند که SNDR در این مبدل ۴۸/۳ دسی‌بل می‌باشد. ENOB خروجی بدست آمده برابر با ۷/۷۴ بیت، توان مصرفی مدار ۰/۸۵ میلی وات و شاخص شایستگی[۱۳] ۳/۱ pJ/conv-step می‌باشند. شاخص شایستگی طبق رابطه (۸) محاسبه شده است.

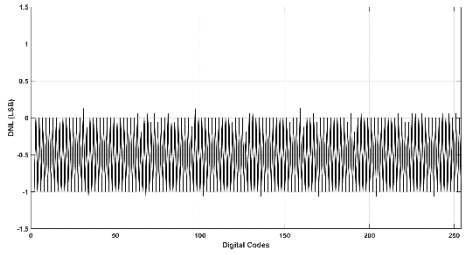
$$\text{Figure of Merit (FoM)} = \frac{\text{Power Consumption}}{2\times BW\times 2^{ENOB}} \quad (۸)$$

در شکل ۱۱ نمودار چگالی طیف توان خروجی مبدل طراحی شده نشان داده شده است.

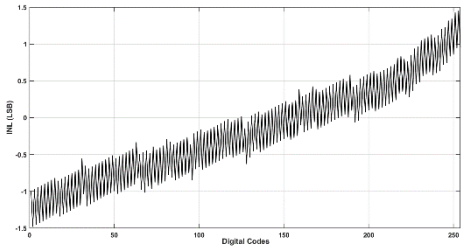


شکل ۱۱– نمودار چگالی طیف توان خروجی مبدل SAR پیشنهادی

همچنین برای بررسی عملکرد مبدل تقریب متوالی پیشنهادی از نظر خطا در فرآیند کوانتیزاسیون آن، در شکل ۱۲ نمودارهای مربوط به غیرخطی تفاضلی[۱۴] و غیرخطی انتگرالی[۱۵] نمایش داده شده‌اند.



(الف)



(ب)

شکل ۱۲. نمودار الف) DNL و ب) INL مبدل SAR پیشنهادی

در جدول ۳ مقایسه‌ای بین مبدل ثبات تقریب متوالی ۸ بیتی پیشنهادی با سایر مبدل‌های آنالوگ به دیجیتال مشابه انجام شده است.

همانگونه که در این جدول نشان داده شده، مبدل ثبات تقریب متوالی پیشنهادی از تعداد خازن‌های کمتری استفاده می‌کند و می توان نتیجه گرفت که روش تقریب متوالی پیشنهادی بازدهی قابل قبولی در مقایسه با کارهای قبلی دارد.

[۱۳] Figure of Merit

[۱۴] Differential Non Linearity (DNL)
[۱۵] Integral Non Linearity (INL)

جدول ۳. مقایسه عملکرد مبدل آنالوگ به دیجتال پیشنهادی با سایر مبدل‌های مشابه

مشخصه	[۱۱]	[۱۰]	[۹]	[۷]	مبدل پیشنهادی
تکنولوژی (nm)	۵۵	۶۵	۱۸۰	۱۸۰	۱۸۰
ولتاژ تغذیه (V)	۱	۰/۴	۳/۳	۰/۳	۱/۸
وضوح (bit)	۸	۸	۸	۸	۸
فرکانس‌نمونه برداری(MS/s)	۷۰۰	۱	۰/۵	۰/۰۱	۱/۲
بیت موثر (bit)	۶/۹	۷/۸۱	۷/۷	۷/۲۱	۷/۷۴
نسبت سیگنال به نویز واعوجاج (dB)	۴۳/۳	۴۸/۸۱	۴۸/۱۴	۴۵/۲۱	۴۸/۳
توان مصرفی (µW)	۱۲۰۰	/۰۰۰۷ ۰	۱۸۰۰	۰/۰۱۳	۸۵۰
تعداد خازن‌های DAC	۱۶	۱۸	*۷	۲۲	۶
ضریب شایستگی (pJ/conv-step)	۰/۰۳	۰/۰۰۳	۱۷/۳	۰/۰۰۹	۳/۱

* از ۳۰ سوئیچ و ۴ بافر هم استفاده شده است.

نتیجه‌گیری

در این مقاله، یک مبدل آنالوگ به دیجیتال SAR با وضوح ۸ بیت معرفی شد که با بکارگیری یک انتگرال‌گیر و DAC ادغام شده با آن فرآیند تقریب متوالی را انجام می‌دهد. با بکارگیری روش تقریب متوالی پیشنهادی تعداد خازن‌های بکار رفته در DAC به طرز چشمگیری کاهش یافته و به سه عدد در هر شاخه تفاضلی تقلیل پیدا می‌کند. بدین ترتیب از پیچیدگی مدار مبدل و سطح سیلیکون اشغالی کاسته خواهد شد. در روش پیشنهادی به ۱۰ پالس ساعت برای تکمیل عملیات تقریب متوالی نیاز خواهد بود که تقریباً با تعداد پالس‌های ساعت مورد نیاز در مبدل‌های تقریب متوالی مرسوم برابر است. شبیه‌سازی مدار پیشنهادی نشان داد که در پهنای باند ورودی ۶۴۰ کیلوهرتز بیت موثری برابر با ۷/۷۴ بیت بدست خواهد در حالی که مصرف توان مدار در ولتاژ تغذیه ۱/۸ ولتی برابر با ۰/۸۵ میلی‌وات می‌باشد.

مراجع

[1] J. Craninckx, and G. Van der Plas, “A 65fJ/conv.-step 0-to-50Ms/s 0-to-0.7mW 9b charge-sharing SAR ADC in 90nm digital CMOS,” ISSCC Dig. Tech. Papers, pp. 246 - 247, 2007.

[2] V. Giannini, P. Nuzzo, V. Chironi, A. Baschirotto, G. Van der Plas, and J. Craninckx, “An 820 µW 9b 40 MS/s noise-tolerant dynamic-SAR ADC in a 90 nm digital CMOS process,” in IEEE ISSCC Dig. Tech. Papers, pp. 238 –239, 2008.

[3] M. Yoshioka, K. Ishikawa, and T. Takayama, “A 10 b 50 MS/s 820 µW SAR ADC with on-chip digital calibration,” in ISSCC Dig. Tech. Papers, pp. 384–385, 2010.

[4] S. Chen, and R. Brodersen, “A 6 b 600 MS/s 5.3 mW asynchronous DC in 0.13 µm CMOS,” in ISSCC Dig. Tech. Papers, pp. 2350–2351, 2006.

[5] E. Atkin, and D. Normanov, “Area-efficient low-power 8-bit 20-MS/s SAR ADC in 0.18µm CMOS,” 29th International Conference on Microelectronics Proceedings-MIEL, 2014.

[6] Y. K. Yang, X. Liu, J. Zhou, J. H. Cheong, M. Je, and W. L. Goh, “A 0.5V 16nW 8.08-ENOB SAR ADC for ultra-low power sensor applications,” 2013 IEEE MTT-S International Microwave Workshop Series on RF and Wireless Technologies for Biomedical and Healthcare Applications (IMWS-BIO), 2013.

[7] W. Guo, and Z. Zhu, “A 0.3 V 8-bit 8.9 fJ/con.-step SAR ADC with sub-DAC merged switching for bio-sensors,” Microelectronics journal, 68, pp.44-54, 2017.

[8] P. Kamalinejad, S. Mirabbasi, and V. Leung, “An ultra-low-power sar adc with an area-efficient dac architecture,” in Circuits and Systems (ISCAS), 2011 IEEE International Symposium on. IEEE, pp. 13–16, 2011.

[9] P. Shrivastava, K. G. Bhat, T. Laxminidhi, and M. S. Bhat, “A 500 kS/s 8-bit charge recycle based 2-bit per step SAR-ADC,” Third International Conference on Emerging Applications of Information Technology, 2012.

[10] P. Harikumar, J. J. Wikner, A. Alvandpour, “A 0.4-V subnanowatt 8-bit 1-kS/s SAR ADC in 65-nm CMOS for wireless sensor applications,” IEEE Transactions on Circuits and Systems II: Express Briefs, 63(8), pp.743-747, 2016.

[11] D. Xu, L. Qiu, Z. Zhang, T. Liu, L. Liu, K. Chen, S. Xu, A linearity-improved 8-bit 320-MS/s SAR ADC with metastability immunity technique. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 26(8), pp.1545-1553, 2018.

[12] S. Z. Reyhani, and O. Hashemipour, “SAR-based delta-sigma modulator using single-bit shared-DAC,” Electronics letters, 50(3), pp. 156-158, 2014.

[13] S. Pavan, N. Krishnapura, R. Pandarinathan, P. Sankar, “A power optimized continuous-time

ΔΣ ADC for audio applications," IEEE Journal Solid-State Circuits, 43(2), pp. 351–360, 2008.

[14] R. Gregorian, "Introduction to CMOS OP-AMPs and comparators," New York: Wiley, 1999.

[15] P. Malcovati and S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato, and A. Baschirotto, "Behavioral modeling of switched-capacitor sigma-delta modulators," IEEE Transactions on Circuits and Systems. I, 50(3), pp. 352–364, 2003.

[16] S. R. Norsworthy, R. Schreier, and G. C. Temes, "Delta–sigma data converters: In theory, design and simulation. Piscatawa," NJ: IEEE Press, 1997.

[17] J. M. de la Rosa, and R. del Rı´o, "CMOS sigma-delta converters: Practical design guide," Hoboken: Wiley–IEEE Press, 2013.