کد کاهش اغتشاش: کاهش انرژی مصرفی در شبکه روی تراشه سه بعدی با ارائه یک کدینگ همشنوایی در شبکه سه‌بعدی

زهرا شیرمحمدی[۱]، مجتبی فرمانی[۲]

[۱]استادیار دانشکده مهندسی کامپیوتر، دانشگاه تربیت دبیر شهید رجایی، shirmohammadi@sru.ac.ir

[۲]کارشناسی مهندسی کامپیوتر، دانشگاه تربیت دبیرشهید رجایی

چکیده

در ساختار شبکه‌های روی تراشه سه بعدی، چندین لایه از اجزاء، بر روی هم قرار می‌گیرند. ارتباط بین این لایه‌ها از طریق اتصالات عمودی بین لایه‌ای برقرار می‌شود. یکی از مهمترین چالش‌هایی که کارکرد یک سیستم مبتنی بر شبکه‌های روی تراشه‌ی سه بعدی را با مخاطره مواجه می‌سازد، اشکال همشنوایی است. این اشکال که در اتصالات عمودی بین لایه‌ای رخ می‌دهد، در آینده، بسیار جدی خواهد بود، به طوری‌که صحت داده‌ها وانرژی مصرفی روی تراشه را تهدید می‌نماید. اشکال همشنوایی می‌تواند باعث ولتاژ گذر ناخواسته و تسریع یا تأخیر در رخداد لبه‌های بالا و پایین رونده در "سیم‌های قربانی" گردد. اشکال همشنوایی در شبکه‌های سه‌بعدی بسته به رده‌بندی الگوهای گذار آن به شدت قابلیت اطمینان، کارایی و انرژی مصرفی، سیستم‌های مبتنی بر شبکه‌های روی تراشه را با چالش مواجه می‌سازد. هدف این مقاله، ارائه و بررسی کدینگ است که بنام کد کاهش اغتشاش نامیده شده است. این کدینگ با کاهش پر تاخیر ترین الگو، اشکال همشنوایی را در شبکه‌های روی تراشه‌ی سه بعدی با حداقل ممکن سربار مساحت و انرژی مصرفی کاهش می‌دهد. ایده اصلی این است که ابتدا داده‌هایی که قرار است از لایه x به سمت لایه y انتقال داده شوند، در میانگیرهای موجود در راهگزین‌های لایه x قرار می‌گیرند، سپس واحد شمارنده به اندازه‌گیری میزان و شمارش گذارهای کلاس 4C پرداخته و با دادن سیگنالی به واحد کراس‌بار، نحوه چینش نهایی داده‌ها را برای ارسال به لایه‌ی y مشخص خواهد کرد. همزمان با ارسال این سیگنال کنترلی، سیگنال دیگری از طریق این واحد به سمت رمزگشا در گیرنده ارسال خواهد شد تا بازیابی داده‌های اصلی توسط این بخش انجام گیرد. نتایج شبیه سازی بهبود میزان سربارها را نسبت به سایر روش‌ها نشان می‌دهد.

کلیدواژه

تراشه سه‌بعدی، اتصالات عمودی بین لایه‌ای، اشکال همشنوایی، افزایش قابلیت اطمینان، کاهش انرژی مصرفی.

مقدمه

کوچک‌تر شدن و تغییر مقیاس در مدارات مجتمع باعث کم شدن تأخیر در گیت‌های منطقی مدار می‌شود، ولی این کاهش تأخیر در سطح گیت با افزایش انرژی مصرفی در خطوط ارتباطی روی تراشه همراه است[۱]. برای حل این مشکل در سال‌های اخیر، در ساخت تراشه‌های چند هسته‌ای پیشرفته از فناوری‌های زیرمیکرون عمیق بهره گرفته شده است[۲]. با افزایش چشمگیر تعداد هسته‌ها در این تراشه‌ها، ارتباط‌دهی بین این اجزاء به چالشی عمیق تبدیل شده است. رویکردی که برای رفع مشکلات حاصل از ارتباط‌دهی پیشنهاد شده است، شبکه‌های بر تراشه سه‌بعدی می‌باشد که در آن اطلاعات از بسته‌هایی تشکیل شده‌اند که طبق پروتکل‌های خاص، با همبندی‌های مختلف ارسال می‌شوند.

فناوری مجتمع‌سازی سه‌بعدی به طور کلی باعث بهبود کارایی در خطوط ارتباطی زیر میکرون، کاهش تأخیر و کاهش انرژی مصرفی می‌شود علاوه بر آن باعث افزایش چگالی ترانزیستورها در سطح تراشه و مساحت مدار خواهد شد. هدف اصلی از ایجاد شبکه روی تراشه افزایش کارایی سیستم می باشد، با این حال بحث انرژی مصرفی در چند سال اخیر شکل جدی تر به خود گرفته است. به طوری که محققان روش های مختلفی برای کاهش انرژی مصرفی شبکه روی تراشه ارائه داده اند. طراحان چنین سیستم‌هایی همواره انرژی مصرفی در کنار قابلیت اطمینان را در روند طراحی خود لحاظ می‌کنند.

تاریخ دریافت: ۱۳۹۹/۰۸/۲۰ تاریخ پذیرش: ۱۴۰۰/۰۷/۰۸

در ساختار شبکه‌های روی تراشه سه بعدی، چندین لایه از اجزاء، بر روی هم قرار می‌گیرند. ارتباط بین این لایه‌ها از طریق اتصالات عمودی بین لایه‌ای برقرار می‌شود. یکی از مهم‌ترین چالش‌هایی که انرژی مصرفی یک سیستم مبتنی بر شبکه‌های روی تراشه‌ی سه بعدی را با مخاطره مواجه می‌سازد، اشکال همشنوایی است. این اشکال که در اتصالات عمودی بین لایه‌ای رخ می‌دهد، در آینده، بسیار جدی خواهد بود، به طوری که صحت داده‌های روی تراشه را تهدید می‌نماید. اشکال همشنوایی می‌تواند باعث ولتاژ گذر ناخواسته و تسریع یا تأخیر در رخداد لبه‌های بالا و پایین رونده در "سیم‌های قربانی" گردد. یکی از مهم‌ترین مسائل در انرژی مصرفی مدارات مجتمع سه بعدی، اثر تداخل لایه‌های مجاور و همچنین کانال‌های عمودی بر یکدیگر است[۳]، که از اهمیت بسیار زیادی برخوردار است، این اثرات می‌توانند در قابلیت اطمینان و همچنین انرژی مصرفی مدار تأثیر زیادی داشته باشند، اضافه بر آن، مسأله‌ی انتقال حرارت در مدارات سه‌بعدی از اهمیت زیادی برخوردار است، چرا که گرمایی که قبلا در سطح بیشتری در شبکه بر تراشه دو بعدی تولید می‌شد، هم‌اکنون در سطح کمتر و به اندازه‌ی بیشتری تولید می‌شود[۳]، لذا قابلیت اطمینان و انرژی مصرفی را تحت تأثیر قرار می‌دهد. اشکال همشنوایی در شبکه‌های سه‌بعدی بسته به رده بندی الگوهای گذار آن به شدت قابلیت‌اطمینان، کارایی و انرژی مصرفی سیستم‌های مبتنی بر شبکه‌های روی تراشه را با چالش مواجه می‌سازد.

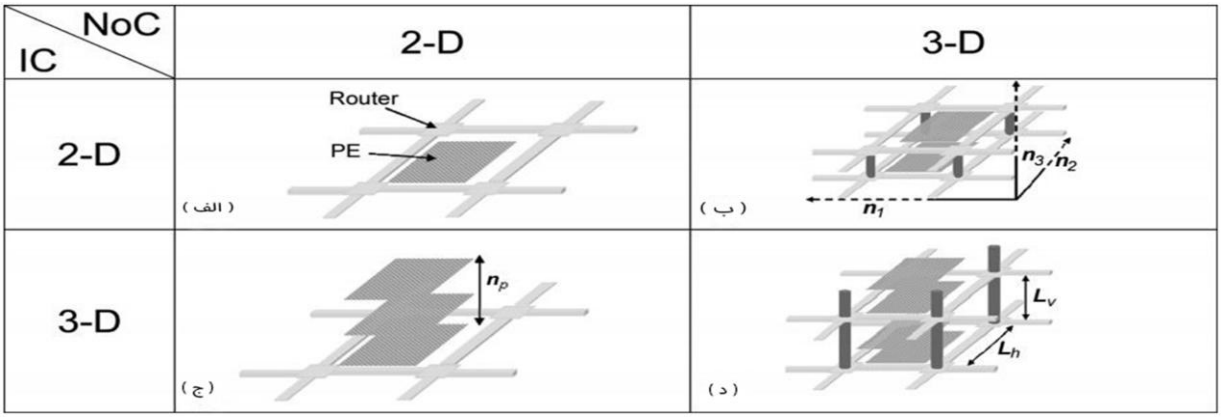
اشکال همشنوایی را می توان با استفاده از روش‌های اجتناب[۴]، مقابله‌وترمیم اشکال[۴]، کاهش داد. یکی از مهم‌ترین روش‌ها، استفاده از کدینگ اجتناب است. ایده اصلی این است که ابتدا داده‌هایی که قرار است از لایه x به سمت لایه y انتقال داده شوند، در میانگیرهای موجود در راهگزین‌های لایه x قرار می‌گیرند، سپس واحد شمارنده به اندازه‌گیری میزان و شمارش گذارهای کلاس 4C پرداخته و با دادن سیگنالی به واحد کراس‌بار، نحوه چینش نهایی داده‌ها را برای ارسال به لایه‌ی y مشخص خواهد کرد. همزمان با ارسال این سیگنال کنترلی، سیگنال دیگری از طریق این واحد به سمت رمزگشا در گیرنده ارسال خواهد شد تا بازیابی داده‌های اصلی توسط این بخش انجام گیرد. این کدینگ، توسط بارهای کاری SPLASH-2 ارزیابی شدند. نتایج شبیه سازی بهبود میزان سربارها را نسبت به سایر روش‌ها نشان می‌دهد. هدف این مقاله، ارائه کدینگ تصحیح و تشخیص خطا در شبکه‌های روی تراشه‌ی سه‌بعدی که با حداقل ممکن، سربار مساحت و انرژی مصرفی را کاهش می‌دهد. این روش‌ها، توسط ابزارهای شبیه سازی بررسی گردید و نتایج بهبود را در مقایسه با سایرین نشان می‌دهد.

در این مقاله، در بخش دوم، ابتدا مروری بر معماری شبکه‌های برتراشه سه‌بعدی خواهیم داشت. در ادامه، به بررسی چالش‌های قابلیت‌اطمینان در شبکه‌های بر تراشه‌ی سه‌بعدی نظیر خطاهای دمایی، اشکال همشنوایی و خطاهای دائمی خواهیم پرداخت. در بخش سوم، روش‌های مرتبط برای مقابله با خطای دائمی که به صورت روش‌های سطح بالا ارائه شده‌اند مورد بررسی قرار خواهد گرفت. در بخش چهارم نیز، روش پیشنهادی برای مقابله با خطای اشکال همشنوایی مورد بررسی قرار خواهد گرفت. همچنین دربخش پنجم، کارهای آتی و زمانبندی این کارها مورد بررسی قرار خواهد گرفت.

آشنایی با شبکه‌های بر تراشه سه بعدی

شبکه‌های روی تراشه، شبکه‌ای از واحدهای محاسباتی، ذخیره‌سازی و ورودی/خروجی است که به وسیله‌ی راهگزین‌ها و مسیریاب‌ها به یکدیگر متصل شده‌اند. در این نوع معماری، واحدها از طریق بسته‌های آدرس‌دهی شده‌ای که به مقاصد خود به وسیله‌ی راهگزین‌ها رهنمون می‌شوند، ارتباط برقرار می‌کنند. در شبکه روی تراشه، هر واحد پردازشی اطلاعات را به قطعاتی با نام بسته تقسیم کرده و به کمک راهگزین شبکه، بسته‌ها را برای $n_1 \times n_2$ = گره، ارسال می‌شود که در آن n_i تعداد گره‌ها در بعد i ام می‌باشد. پیاده‌سازی در بعدسوم باعث تعریف ساختارهای جدیدی برای شبکه روی تراشه می‌شود که در ادامه به آن‌ها اشاره می‌کنیم[۵]. برای شبکه روی تراشه سه‌بعدی همان طور که در شکل ۱-ب نشان داده شده است، تعداد گره‌ها برابر $n = n_1 \times n_2 \times n_3$ می‌باشد که در آن n_i تعداد گره‌ها در بعد i ام است.

در شکل ۱-ج شبکه ارتباطی در یکی از لایه‌های سه بعدی پیاده‌سازی می‌شود در حالی که عناصر عملیاتی در چندین لایه قابل پیاده‌سازی هستند. در شکل ۱-د حالت آمیخته‌ای از مدل‌های قبلی را شاهد هستیم که هم شبکه بر تراشه و هم عناصر عملیاتی در سه‌بعد، پیاده‌سازی شده‌اند. به طور کلی هدف از سه‌بعدی کردن در مجتمع سازی و سیستم روی تراشه، بالا بردن چگالی اجزاء و کم کردن تأخیر در خطوط ارتباطی با استفاده از ارتباطات عمودی می‌باشد. هم‌اکنون از فناوری‌های مختلفی در فرآیند ساخت برای مجتمع‌سازی سه‌بعدی استفاده می‌شود. یکی از روش‌های توسعه پذیر و آسان از لحاظ ساخت، روش الحاق ویفر است که در آن ابتدا لایه‌ها ساخته می‌شوند و سپس لایه‌ها به وسیله‌ی ارتباطات عمودی روی هم قرار می‌گیرند[۳].



شکل ۱. پیاده‌سازی‌های مختلف سه‌بعدی‌سازی [۵]

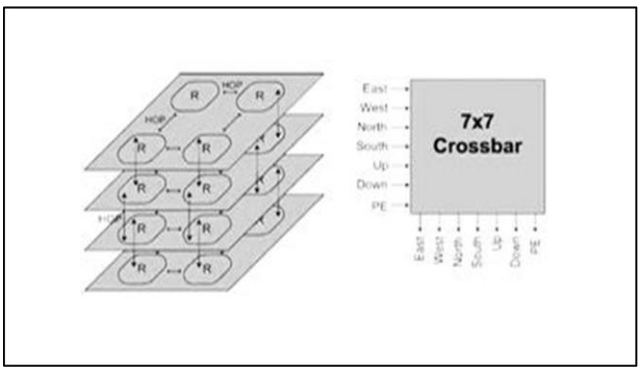
مسیریاب سه بعدی

شکل ۲ یک مسیریاب سه بعدی و یک شبکه روی تراشه توری سه بعدی ۲×۲×۴ را نشان می‌دهد. در حقیقت این ساختار توری سه‌بعدی به نوعی تعمیم یافته توری دو بعدی است که یک‌بعد به آن اضافه شده است. مسیریاب مورد استفاده برای شبکه‌های روی تراشه سه بعدی با این ابعاد دارای هفت درگاه می‌باشد، چهار درگاه برای ارتباط با همسایه‌های افقی، دو درگاه برای ارتباط با همسایه‌های عمودی و یک درگاه برای ارتباط محلی با عنصر پردازشی در نظر گرفته شده است[۶]. در شبکه بر تراشه سه‌بعدی با پیاده سازی توری سه بعدی که به توری متقارن معروف است، حرکت عمودی بین لایه‌ها با حرکت افقی تفاوتی نداشته و در هر دو کنش، حرکت بین دو لایه همسایه یک گام حساب می‌شود، اما برای حرکت بین لایه‌های غیر مجاور، نیاز به گام‌های بیشتری است. ساختار دیگری که برای پیاده سازی شبکه روی تراشه سه‌بعدی استفاده می‌شود ساختار شکل۳ می‌باشد که در آن برای حرکت بین لایه‌ها از گذرگاه مشترک استفاده می‌شود که به صورت سراسری پیاده‌سازی می‌شود. به این ترتیب برای حرکت بین لایه‌ها به تعداد گام‌های کمتری نسبت به شبکه‌ی توری متقارن احتیاج خواهیم داشت.

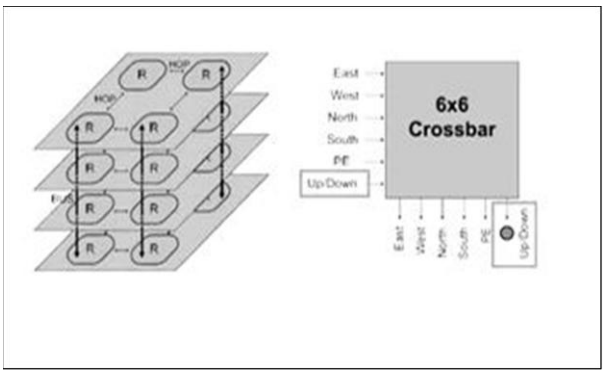
مسیریاب مورد استفاده در این ساختار دارای شش درگاه می باشد، چهار درگاه برای ارتباط با همسایه‌های افقی، یک درگاه برای حرکت عمودی (بالا و پایین به صورت مشترک) و یک درگاه محلی برای مقایسه تعداد گام‌های مورد نیاز شبکه روی تراشه دو بعدی و سه‌بعدی. دو شبکه ۸ × ۸ و ۴×۴×۴ که هر دو متقارن هستند را در نظر می‌گیریم. متوسط تعداد گام‌ها در شبکه سه‌بعدی ۳/۸۱ می‌باشد[۶] و در شبکه دوبعدی این رقم به ۵/۳۳ افزایش می‌یابد[۶]. پس همبندی‌های سه‌بعدی دارای تعداد گام کمتری نسبت به همبندی‌های دوبعدی معادل خود هستند. باید در نظر داشت که متوسط تعداد گام‌ها در یک همبندی تأثیر زیادی روی پارامترهای کارایی شبکه بر تراشه همچون میزان گذردهی، تأخیر و انرژی مصرفی دارد[۶].

مشخصات خطوط ارتباط عمودی

در مدارات مجتمع سه بعدی نیاز به برقراری ارتباط بین لایه-های مختلف سیلیکون خواهیم داشت و این مفهوم در شبکه-های بر تراشه هم صدق می‌کند. برای این منظور از خطوط ارتباط عمودی استفاده می‌کنیم که دارای مشخصات ساختاری مختص خود هستند. این خطوط، به لایه‌های مختلف این امکان را می‌دهد که بتوانند اطلاعات را همان طور که در لایه‌های



شکل۲. مسیریاب شبکه روی تراشه توری متقارن [۶]



شکل۳. مسیریاب شبکه روی تراشه توری انباشته [۶]

افقی منتقل می‌شدند، انتقال دهند. در سیستم‌های بر تراشه سه‌بعدی با اضافه کردن ارتباطات عمودی می‌توانیم انتظار کمتر شدن طول ارتباطات و در نتیجه آن، کاهش انرژی مصرفی و افزایش کارایی را داشته باشیم[۶]. طبق گزارشات ITRS این خطوط عمودی ارتفاع کمتر از ۲۰-۵۰ میکرومتر را تا قبل از سال ۲۰۱۸ نمی‌توانند داشته باشند، همچنین حداقل فاصله‌ی بین ارتباطات عمودی ۴-۱۶ میکرومتر می‌باشد و قطر این اتصالات ۲-۸ میکرومتر می‌باشد. باید در نظر داشت قطر ارتباطات عمودی، دو تا سه برابر قطر سیم‌های معمولی در شبکه‌های روی تراشه دو بعدی است. بیشینه تأخیر برای ارتباط عمودی با طول ۵۰ میکرومتر، به طور تقریبی ۱۰پیکو ثانیه است[۷،۲].

مدل‌های اشکال در شبکه‌های بر تراشه خطوط ارتباط عمودی

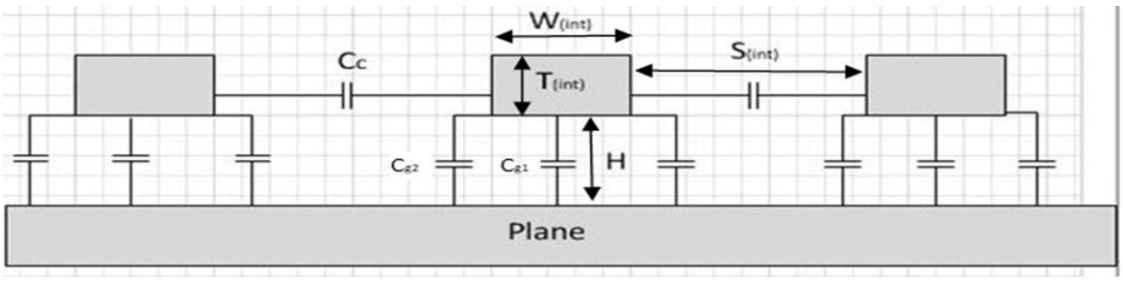
مرسوم‌ترین مدل‌های اشکالی که در شبکه‌های بر تراشه رخ می‌دهند عبارتند از: مدل اشکال همشنوایی[۹،۸،۳]، مدل اشکال خطای نرم[۱۱،۱۰]، مدل اشکال تداخل الکترومغناطیسی [۹،۸،۳]، مدل اشکال اغتشاشات منبع تغذیه[۱۱]، و مدل اشکال عدم قطعیت در فرایند ساخت[۱۴،۱۳،۱۲]. تحقیقات نشان می‌دهند[۴]، با توجه به تغییر مقیاس ادوات الکترونیکی، نزدیک شدن عناصر پردازشی، بالا رفتن چگالی سیم‌ها و کاهش دامنه‌ی ولتاژ منبع تغذیه، اشکال همشنوایی در شبکه‌های بر تراشه سه‌بعدی به یکی از مهم‌ترین چالش‌های طراحی تبدیل خواهد شد[۴]. تمرکز اصلی ما در این مقاله بر مدل اشکال خطای همشنوایی است. با ورود به بعدسوم محدودیت‌هایی در ساخت و طراحی ساختار شبکه روی تراشه باید مورد بررسی قرار بگیرد از جمله تأخیر در ارتباطات عمودی[۳]، سربار مساحتی اعمال شده توسط ارتباطات عمودی[۶]، افزایش پیچیدگی مسیریاب‌ها و راهگزین-ها[۶]، انرژی مصرفی، حرارت و اشکال همشنوایی در ارتباطات عمودی.

اهمیت اشکال همشنوایی

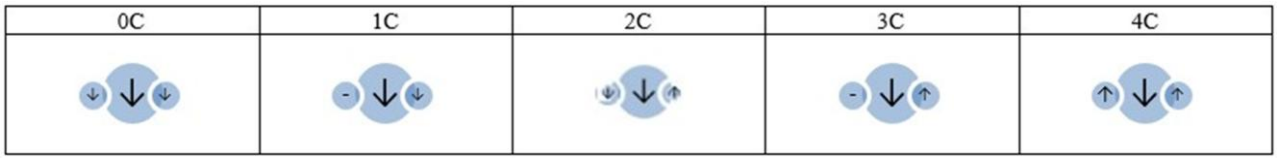
اشکال همشنوایی از دو عامل خازنی و سلفی به وجود می‌آید البته طبق بسیاری از تحقیقات انجام شده، اثر سلفی در برابر اثر خازنی قابل چشم‌پوشی است[۴] اما با افزایش فرکانس کاری مدار و شدت گرفتن میزان جریان ارتباطات عمودی باید انتظار افزایش اثرات سلفی را در آینده‌ای نزدیک داشته باشیم[۲]. تحقیقات نشان داده است[۱۶،۱۵،۴] که در گذر فناوری‌های ساخت عمیق‌تر، ارتفاع سیم که در شکل ۴ با T_{int} مشخص شده است با نرخ کمتری نسبت به عرض سیم، W_{int} و فاصله بین سیم‌های مجاور کوچک می‌شود. اتفاقی که می‌افتد این است که خازن‌های تزویج با نرخ کمتری نسبت به خازن های C_gکاهش می‌یابند و همان طور که در شکل نشان داده شده است،این به معنی افزایش نسبت خازنی تزویج به خازن زیر لایه در گذر به فناوری‌های عمیق‌تر است، لذا با پیشرفت فناوری به فرآیندهای عمیق‌تر، نرخ رخداد اشکال همشنوایی بیشتر می‌شود. با در نظر گرفتن موارد بالا و میزان مجتمع سازی به خصوص در سه‌بعدی سازی و با توجه به محصور شدن خطوط عمودی توسط خطوط افقی و بالعکس می‌توان دریافت، بررسی اشکال همشنوایی از اهمیت بالایی برخوردار است[۴]. برای مقابله با اشکال همشنوایی در شبکه‌های بر تراشه دو بعدی تکنیک هایی از قبیل افزایش عرض و فاصله سیم‌های کانال[۱۸،۱۷]، استفاده از سیم‌های محافظ [۲۰،۱۹]، استفاده از رمزگذار تشخیص و تصحیح خطا[۲۱]، درج کننده تکرار[۲۲]، لغزش زمانی[۲۳] و رمزگذاری اجتناب از همشنوایی ارائه شده است[۲۴].

کلاس‌های گذار در کانال‌های شبکه روی تراشه دو بعدی و سه بعدی

اثر اشکال همشنوایی در یک کانال ارتباطی وابسته به مقدار خازن تزویجی می‌باشد که بین اتصالات ذخیره می‌شود، با صرف نظر کردن از اثر سلفی، میزان خازن موثر در یک سیم از



شکل۴. ساختار خطوط ارتباطی [۶]



شکل۵. برخی از کلاس‌های مختلف گذار در کانال‌های ارتباطی شبکه روی تراشه دو بعدی، بدون در نظر گرفتن جایگشت‌ها [۲]

کانال ارتباطی شبکه از رابطه ۱ قابل محاسبه می‌باشد.

$$C_{eff} = C_G + C_c \left|\frac{\Delta V - \Delta V_{+1}}{V_{dd}}\right| + C_c \left|\frac{\Delta V - \Delta V_{-1}}{V_{dd}}\right| \qquad (۱)$$

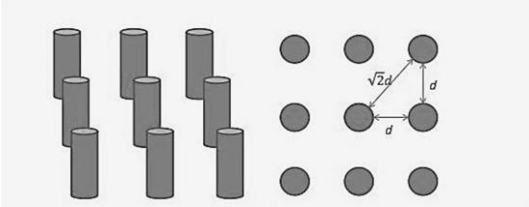
که ΔV تغییرات ولتاژ بر روی سیم، $\Delta V(+)$ و $\Delta V(-)$ تغییرات ولتاژ در سیم‌های مجاور و V_{dd} ولتاژ منبع تغذیه می‌باشد. از آن‌جا که خازن موثر کانال به گذاری که بر روی آن اتفاق می‌افتد وابسته است، گذارهایی که در یک کانال ارتباطی می‌توانند رخ بدهند، به پنج کلاس 0C, 1C, 2C, 3C, 4C تقسیم می‌شوند[۲۵]. هر کدام از این کلاس‌ها از الگوی مربوط به خود پیروی می‌کنند که در شکل ۵ نشان داده شده است. مدل دیگری که برای اشکال همشنوایی شبکه‌های بر تراشه دو بعدی ارائه شده است[۲۶]، کلاس‌های اشکال همشنوایی را به هفت کلاس گسترش داده است. در این مدل سیم‌ها به صورت دسته‌های پنج تایی در نظر گرفته شده‌اند، برخلاف مدل قبلی که سیم وسط قربانی و دو سیم در طرفین به عنوان مهاجم در نظر گرفته می‌شدند. مدل هفت کلاسه نسبت به مدل پنج کلاسه از دقت بیشتری برخوردار می‌باشد و کلاس‌ها، کمترین هم‌پوشانی را با یکدیگر دارند.

کلاس‌های اشکال همشنوایی شبکه‌های روی تراشه سه‌بعدی

برای بررسی کلاس‌های اشکال همشنوایی، از یک شبکه مش دوبعدی۳×۳ از ارتباطات عمودی همانند شکل ۶ استفاده می شود به نحوی که در[۴] از اثرات سلفی صرف نظر شده است و همچنین از اثر خازنی بین یک اتصال عمودی با همسایه‌های قطری به دلیل فاصله بیشتر آن نسبت به همسایه‌های قطعی چشم‌پوشی شده است. همسایه‌های افقی و عمودی اتصال عمودی میانی به دلیل فاصله کمتر از سیم قربانی دارای اثر خازنی بیش از پنج برابری می‌باشد. با توجه به میزان خازن‌های تزویجی که از همسایه‌های اتصال عمودی قربانی بر آن وارد می‌شود (بر اثر صفر، یک و بدون تغییر بودن آن‌ها)، می‌توان نه کلاس مختلف را مطابق الگوهای شکل ۷ برای آن در نظر گرفت. برای مثال در کلاس 8C، تمامی سیم‌های اطراف سیم قربانی در جهت عکس آن تغییر می‌کنند که این موجب ایجاد خازن تزویج متعلق به کلاس 8C خواهد شد. البته در شکل ۷ تمامی حالت‌های ممکن برای شبکه روی تراشه سه بعدی آورده نشده است و جایگشت‌های مختلف از این کلاس‌ها باید در نظر گرفته شوند.

کارهای پیشین

روش‌هایی که برای مقابله با خطاهای اشکال همشنوایی و خرابی دائم ارتباطات در شبکه‌های بر تراشه به کار رفته‌اند را می‌توان به روش‌های افزایش عرض و فاصله سیم‌های کانال[۱۷]، روش‌های مقابله با اشکال همشنوایی روش‌های سطح فیزیکی، که با استفاده از خصوصیات فیزیکی همانند حفاظ‌گذاری به این هدف دست پیدا می‌کنند[۲۷،۱۹]، برای مقابله با اشکالات دائمی می‌توان به روش‌های سطح بالا که با توجه به ویژگی‌های

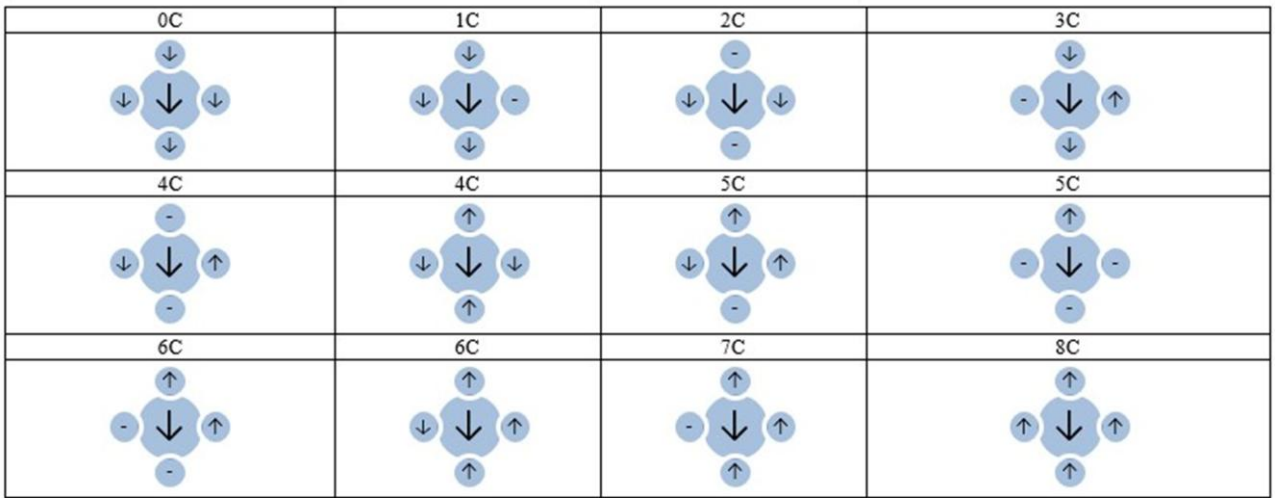


شکل۶. شبکه‌ی مش دو بعدی ۳×۳ از ارتباطات عمودی و مقایسه

شبکه‌های بر تراشه به ارائه روش می‌پردازند، اشاره نمود[۲۸]. از جمله روش‌های دیگر برای مقابله با اشکال همشنوایی می‌توان به روش‌های سطح پایین که از افزونگی‌های داده برای تشخیص و تصحیح خطا استفاده می‌کنند همانند کدهای شیفت مرزی[۱۹].

افزایش عرض و فاصله سیم‌های کانال

این دسته از روش‌ها با ایجاد تغییر ابعاد سیم‌های کانال سعی در کاهش دادن و یا از بین بردن تزویج بین سیم‌های کانال دارند[۱۷]. تزویج بین سیم‌های کانال با افزایش عرض سیم‌ها کاهش می‌یابد زیرا خازن‌های زیرلایه افزایش می‌یابند ولی خازن‌های تزویج ثابت‌اند، در نتیجه ضریب تزویج کاهش می‌یابد ولی در عوض تزویج سلفی افزایش می‌یابد[۱۷]، لذا در مجموع تأثیر چندانی در کم شدن تزویج نخواهد داشت. افزایش فاصله سیم‌ها، هم اثر خازنی و هم اثر تزویج سلفی را کاهش می‌دهد و برای مقابله با اشکال همشنوایی مناسب است ولی سربار مساحت اعمالی آن قابل صرف نظر کردن نخواهد بود، از طرفی



شکل۷. برخی از کلاس‌های مختلف گذار در کانال‌های ارتباطی شبکه روی تراشه سه بعدی بدون در نظر گرفتن جایگشت‌ها [۱۴]

تغییر در فاصله و عرض ارتباطات عمودی در فرآیندهای سه بعدی به دلیل چگالی بالای این مدارها تقریبا عملی نخواهد بود.

استفاده از سیم‌های محافظ

یکی از روش‌های مقابله با اشکال همشنوایی، حفاظ‌گذاری سیم‌ها با استفاده از سیم‌های محافظ است[۱۷]، حفاظ‌گذاری به دو صورت ایستا و پویا پیاده‌سازی می‌شود. در حفاظ گذاری ایستا خطوط محافظ دارای مقدار ثابت صفر یا یک هستند و به منبع تغذیه و یا زمین متصل هستند، ولی در حفاظ گذاری پویا سیم‌ها با توجه به مقادیر سیم‌های همسایه، مقادیر خود را تغییر می‌دهند تا کمترین مقدار تزویج رخ دهد. در[۲۷] مدلی برای کلاس های مختلف اشکال همشنوایی ارائه شده است که برگرفته از میزان خازن تزویجی در یک مش ۳×۳ از ارتباطات عمودی است به این صورت که نگاشتی پویا از داده‌ها به ارتباطات عمودی یک شبکه انجام می‌شود، با توجه به قوانین KVL و KCL به طور دقیق هشتاد و دو کلاس مختلف- کلاس صفر، بدون تداخل می‌باشد-که برای تزویج بین خطوط استخراج شده است. دقت داریم که در این مدل تمامی همسایه‌ها، از جمله قطعی و قطری در نظر گرفته شده است. پس از مدل کردن اثر همشنوایی، از یک نگاشت کننده استفاده شده است که به صورت پویا و بر خط برای تخصیص داده‌ها به ارتباطات عمودی اقدام می‌کند. این نگاشت کننده، مطابق شکل ۸ از یک واحد ShieldUS، واحد مولد گام و یک واحد بازنگاشت تشکیل شده است. واحد ShieldUS، با توجه به داده‌های خام و محاسبه میزان خازن تزویجی حاصل از آن و در نهایت مقایسه کلاس‌های اشکال همشنوایی، درباره نحوه قرارگیری داده‌ها به نحوی که اشکال همشنوایی رخ ندهد و یا کلاس با درجه تزویج کمتری را شاهد باشیم، عمل می‌کند. نکته مهم در این روش پیدا کردن گام‌های تصمیم‌گیری برای بازنگاشت داده‌ها می‌باشدکه توسط واحد مولد گام صورت می‌گیرد. از محدودیت‌های روش فوق می‌توان به سربار واحد مولد گام و همچنین سربار مساحت آن اشاره نمود، علاوه بر آن با افزایش مقیاس و تعداد ارتباطات عمودی پیچیدگی و سربار همه‌ی واحدها افزایش خواهد یافت.

روش‌های مبتنی بر الگوریتم‌های مسیریابی

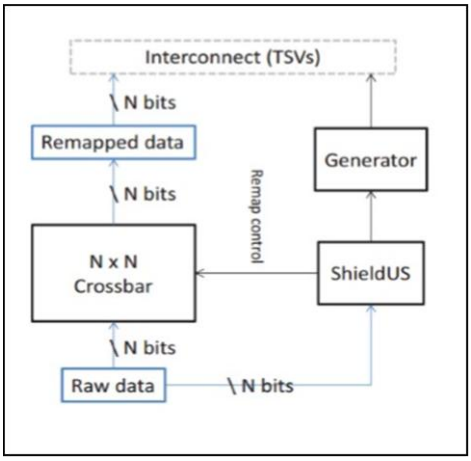
دسته‌ای از روش‌ها و راهکارهایی که افزایش قابلیت اطمینان را با استفاده از خصوصیات شبکه‌های بر تراشه فراهم می‌کنند، روش‌های سطح بالا نام دارند که در ادامه، به نمونه‌ای از آن‌ها که در شبکه‌های بر تراشه سه بعدی استفاده می‌شوند اشاره می‌کنیم، البته در نظر داریم که این روش‌ها برای مقابله با اشکال دائمی به کار گرفته می‌شوند، نه برای مقابله با اشکال همشنوایی. با توجه به سرعت بالای کانال‌های ارتباطی در شبکه‌های بر تراشه و پهنای باند بالا می‌توان از این ویژگی برای دست‌یابی به الگوریتم مسیریابی ساده‌تر و همچنین قابلیت اطمینان بالا در ارسال بسته‌ها استفاده نمود[۲۸]، علاوه بر آن در شبکه‌های روی تراشه‌ی سه‌بعدی با توجه به بیشتر بودن فضای حرکتی مسیریاب‌ها به منظور حرکت به سمت پایین و بالا می‌توانیم، از این ویژگی برای بالا بردن قابلیت اطمینان در صورت وقوع اشکال استفاده کنیم.

یکی از رویکردهایی که در مسیریابی تحمل پذیر اشکال در شبکه‌های روی تراشه سه بعدی وجود دارد، AFRA است[۲۹]. مدل اشکال در نظر گرفته شده برای AFRA ، اشکال دائمی روی ارتباطات عمودی می‌باشد. ایده اصلی AFRA، استفاده از الگوریتم XY در شبکه‌های بر تراشه‌ی دو بعدی می‌باشد. با توجه به ویژگی شبکه روی تراشه‌ی سه بعدی که می‌توانیم بین لایه‌ها در حرکت باشیم، بعد Z را باید به نحوی در الگوریتم XY

دخیل کنیم، به این ترتیب که ابتدا در صورت عدم وقوع اشکال از الگوریتم ZXY و در صورت بروز اشکال از الگوریتم XZXY استفاده می‌شود. این روش در صورت ارسال دوطرفه‌ی بسته‌ها نیاز به دو کانال مجازی خواهد داشت که از محدودیت‌های آن به شمار می‌رود. شبیه‌سازی‌ها بهبود ۱۴ درصدی AFRA را نسبت به الگوریتم تطبیقی نشان می‌دهند. رویکرد دیگری با نام HamFa، استفاده از مسیرهای همیلتونی در شبکه‌های روی تراشه سه بعدی وجود دارد[۳۰]. این الگوریتم به صورت تطبیقی و برخلاف AFRA، خطای ارتباطات افقی را نیز پوشش می‌دهد. با توجه به عدم قطعیت مسیریابی همیلتونی، نیاز به یک الگوریتم، برای انتخاب مسیر مناسب است. گره‌های شبکه ابتدا با برچسبی از اعداد بالا رونده و یا پایین رونده مشخص می‌شود، طوری که حین مسیریابی با توجه به برچسب گره‌ها و استراتژی همیلتونی به سمت برچسب‌های با اعداد بیشتر و یا کمتر حرکت می‌کند تا از سرگردانی و یا بن‌بست دوری کند. با توجه به محدودیت‌های مفهومی همیلتونی در گوشه‌های شبکه، امکان تشخیص داده نشدن اشکال در آن مکان‌ها وجود دارد ولی HamFa برخلاف AFRA نیاز به کانال مجازی نخواهد داشت. در نهایت HamFa بهبود ۹۵ درصدی قابلیت اطمینان را نسبت به AFRA با توجه به شکل ۹ نشان داده است.

تصحیح خطا و پیشگیری ازاشکال همشنوایی در گذرگاه داده

همچنان که چگالی قطعات و سرعت در مدارات مجتمع خیلی بزرگ افزایش می‌یابد، همشنوایی بین گذرگاه‌ها، اهمیت

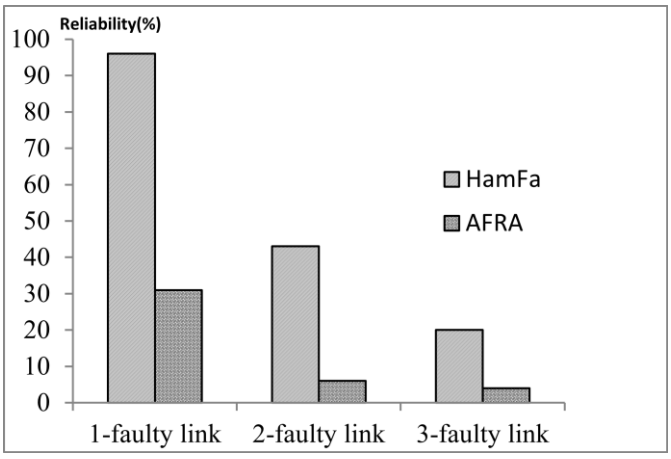


شکل۸. سازمان کلی روش Shield US [۲۷]

بیشتری در بهینه سازی کارآیی پیدا می‌کند که با الگوی ویژه راهگزینی گذرگاه نیز مرتبط می‌گردد. بعنوان مثال، لبه بالارونده در سیم‌های همسایه که به دلیل نویز سریع‌تر شده است، ممکن است منجر به تخلف از زمان نگهداری گردد. یک لبه بالارونده بر روی سیم، می‌تواند باعث گذرهای ناصحیح بر روی سیم‌های مجاور و در نهایت منجر به خطای منطقی گردد. با این وجود بیشترین خسارت، مربوط به الگوی سوئیچینگی است که در آن دو سیم همسایه گذرهای خلاف جهت یکدیگر داشته باشند. از جمله روش‌هایی که در این گروه قرار دارند می‌توان به کدهای شیفت مرزی[1][۲۱]، ریل دوتایی تغییر یافته[2][۲۱]، کدهای پیشگیری از اشکال همشنوایی با الگوی ممنوعه[3] اشاره کرد[۲۱].

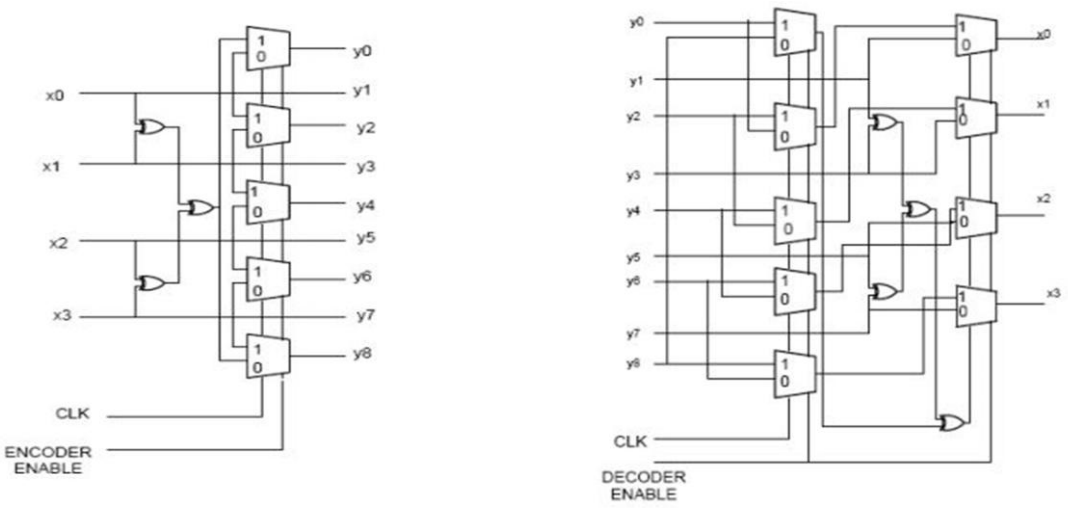
کدهای شیفت مرزی

مرز وابسته در یک کلمه، مکانی است که دو بیت مجاور، متفاوتند و با موقعیت بیت سمت چپی مشخص می‌گردند. دو کلمه‌ای که هیچ مرز وابسته مشترکی ندارند، می‌توانند یک گذر معتبر را تشکیل دهند. اگر کتاب کد، تنها شامل کلمه کد با مرز وابسته زوج باشد، آن‌گاه شیفت چرخشی به راست یک بیتی نیز یک کتاب کد تولید می‌کند که در آن هیچ مرز وابسته زوجی وجود ندارد. به دلیل آن که هیچ اشتراکی میان مرزهای وابسته دو کتاب کد وجود ندارد، با انتخاب متناوب بین این دو، یک کد خود پوشش بدست می‌آید. به این کدها، کدهای شیفت مرزی می‌گوییم. اگر C یک کد [n,k,d] باشد، با کپی گرفتن از هر بیت داده و نوشتن هر دو بیت به‌دنبال یکدیگر، به کد C′:[2n,k,2d] می‌رسیم که هیچ مرز وابسته فردی ندارد، چراکه هر بیت در مکان فرد با یک کپی همراه شده است. حال با انتخاب متناوب بین C′ و کد شیفت داده شده آن، یک کد خود پوشش بدست می‌آید. به علاوه، حذف آخرین بیت از همه‌ی



شکل۹. مقایسه دو روش AFRA و HamFa از دیدگاه قابلیت اطمینان[۲۹]

[1] Boundary Shift Code (BSC)
[2] Modified Dual Rail (MDR)
[3] Forbidden pattern free crosstalk avoidance code (FPF-CAC)



شکل ۱۰. قسمت رمزگذار و رمزگشا برای روش کدهای شیفت مرزی [۱۹]

کلمات کد، یک کد [2n-1,k,2d-1] را تولید خواهد کرد. استفاده از یک بیت توازن برای کدهای بدست آمده، یک کلاس از کدها با قابلیت تصحیح یک خطا تولید می‌کند. برای این منظور، ابتدا کد [k+1,k,2] حاصل از افزودن بیت توازن به داده اصلی بدست می‌آید، سپس با استفاده از روش گفته شده به [2k+1,k,3] می‌رسیم که یک کد خود پوشش با قابلیت تصحیح یک بیت خطا خواهد بود، بنابراین با استفاده از ماتریس مولد در فرستنده، کلمات کد تولید می‌شود و برای چرخه‌های فرد، کلمه کد تولید شده یک بیت به راست شیفت داده می‌شود به عبارت دیگر، ماتریس مولد، از هر بیت یک کپی تولید کرده و در کنار آن و در موقعیت زوج می‌نویسد. در پایان نیز بیت توازن به کد اضافه می‌گردد. مدار کامل رمزگذار و رمزگشا در شکل ۱۰ نشان داده شده است. کد شیفت مرزی تا حد قابل قبولی می‌تواند از اشکال همشنوایی در شبکه‌های بر تراشه دو بعدی جلوگیری کند البته باید به سربار مساحت و انرژی تحمیل شده به دلیل استفاده ازشیفت رجیسترها توجه کرد[۲۱].

ریل دوتایی تغییر یافته

ایده کلی نظیر دوگان سازی و توازن است[۲۱]. در کدهای ریل دوتایی تغییر یافته به هر داده K بیتی، M=K+1 بیت اضافه می‌شود. بنابراین نظیر حالت قبل، کد حاصل 2K+1 بیتی خواهد بود. K بیت اضافه شده به داده به صورت زیر بدست می‌آیند، در ریل دوتایی تغییر یافته، دو کپی از بیت توازن در کنار بیت‌های کلمه کد شده دیگر قرار می‌گیرند. به این ترتیب به دلیل وجود شباهت میان کدهای عبوری از دو کانال مجاور، همشنوایی به میزان قابل توجهی پایین می‌آید. مشخص است ریل دوتایی تغییر یافته سربار بیش از صد درصدی مساحت و همچنین سربار انرژی مصرفی را به مدار اعمال می‌کند[۲۱] که مقرون به صرفه بودن استفاده از آن را تحت تأثیر قرار می‌دهد و در برابر کد شیف مرزی از سربار بیشتر برخوردار است.

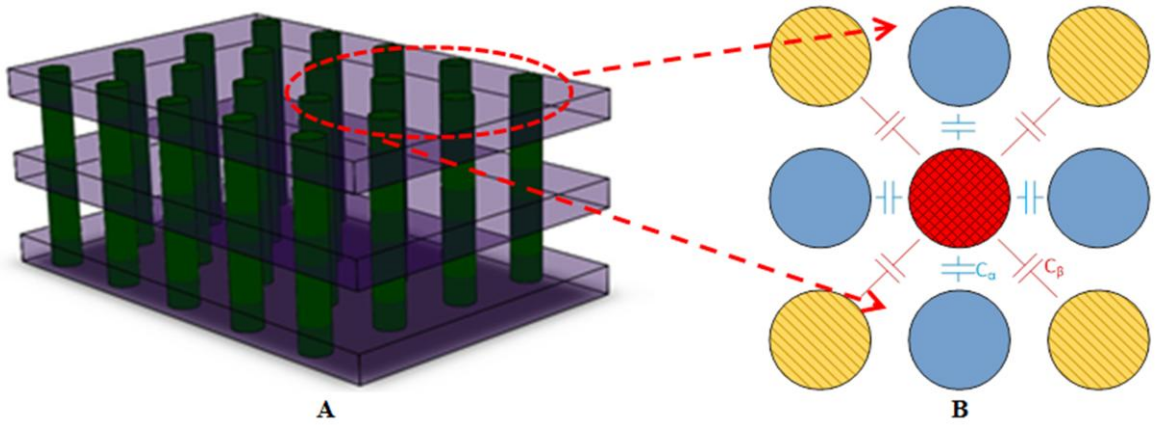
کدهای پیشگیری از اشکال همشنوایی بدون الگوهای ممنوع

از آنجا که رخداد گذرهای کلاس‌های 3C و 4C در کانال‌های شبکه به دلیل وجود الگوهای بیتی ’010‘ و’101‘ در فلیت‌های اطلاعات است، یا کاهش تعداد رخداد این الگوهای بیتی می‌توان به مقابله با اشکال همشنوایی پرداخت. در رمزگذاری‌های الگوی ممنوعه از رخداد این الگوهای بیتی درفلیت‌ها ممانعت می‌شود. یک کلمه رمز عاری از الگوی ممنوعه نامیده می‌شود، هرگاه هیچ الگوی بیتی ممنوعه‌ای در هیچ یک از سه بیت متوالی آن مشاهده نشود. به عنوان مثال ’110110‘ یک کلمه رمز عاری از الگوی ممنوعه نیست، در حالی که ’1100110‘ یک کلمه رمز عاری از الگوهای ممنوعه به شمار می‌رود. اگر در یک سیستم رمزگذاری کلمه‌های رمز همگی عاری از الگوهای ممنوعه باشند، تأخیر بدترین حالت مشاهده شده بر روی کانال بیشتر از 2C نخواهد بود. در رمزگذاری‌های عاری از الگوی ممنوعه نیاز است که یک الگوریتم نگاشت، کلمه داده‌ی ورودی را به یک کلمه رمز عاری از الگوی ممنوعه نگاشت کند. بنابراین با رمزگذاری کلمه‌های داده به کلمه‌های رمز عاری از الگوی ممنوعه می‌توان به تسریعی حدود صد درصد دست یافت.

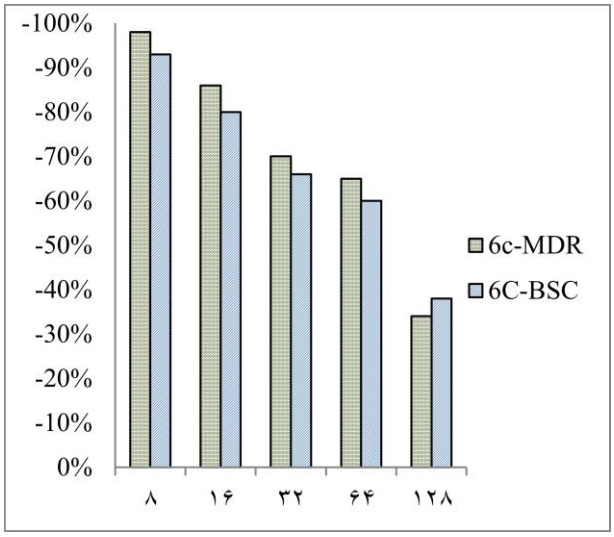
روش پیشنهادی و نتایج

با توجه به میزان اهمیت مقابله با اشکال همشنوایی در شبکه‌های بر تراشه سه بعدی و بالا بودن رخداد گذرهای کلاس‌های 4C، باید رویکردی برای افزایش قابلیت اطمینان در

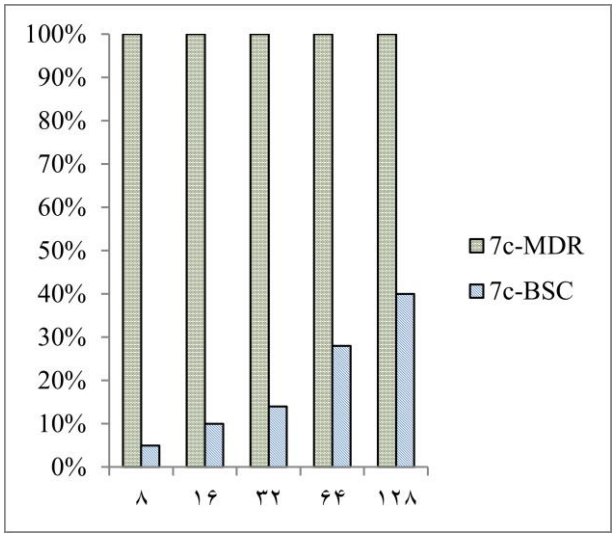
کانال‌ها در نظر گرفته شود. روشی که برای کاهش اشکال همشنوایی در شبکه‌های روی تراشه و مدارهای مجتمع سه-بعدی در این مقاله ارائه می شود با استفاده از فرآیند تغییر الگو، چیدمان داده‌های گذرگاه‌های عمودی، به کاهش همشنوایی در مدار کمک خواهد کرد. ایده اصلی این است که داده تعداد گذارها زیاد بود، آن را به کلاس 3C تغییر می‌دهیم. شکل ۱۱ معماری این روش را نشان می‌دهد. برای بررسی دقیق و مقایسه تأثیر کدگذاری‌ها، از سه روش کدینگ، کد شیفت مرزی و ریل دوتایی تغییر یافته برای مقایسه استفاده شده است. با توجه به بسته‌های محک برای عرض باس‌های ۸



شکل۱۱. A) معماری کلی روش ارائه شده B)کلاس ۳×۳ برای چک کلاس 4C



شکل۱۲. تغییرات تعداد الگوهای کلاس 6C برای MDR و BSC



شکل۱۳. تغییرات تعداد الگوهای کلاس 7C برای MDR و BSC

ابتدا داده‌هایی که قرار است از لایه x به سمت لایه y انتقال داده شوند، در میانگیرهای موجود در راهگزین‌های لایه x قرار می‌گیرند، سپس واحد شمارنده به اندازه‌گیری میزان و شمارش گذارهای کلاس 4C پرداخته و با دادن سیگنالی به واحد کراس‌بار، نحوه چینش نهایی داده‌ها را برای ارسال به لایه‌ی y مشخص خواهد کرد. همزمان با ارسال این سیگنال کنترلی، سیگنال دیگری از طریق این واحد به سمت رمزگشا در گیرنده ارسال خواهد شد تا بازیابی داده‌های اصلی توسط این بخش انجام گیرد. این روش را به Disturbance-Free-3D-FPF نام گذاری کردیم. اگر در شمارش ۱۶, ۳۲, ۶۴ و ۱۲۸ بیتی برای کلاس‌های اشکال همشنوایی 6C, 7C و 8C شبکه بر تراشه سه‌بعدی آزمایش شده است. شکل‌های ۱۲، ۱۳، ۱۴ و ۱۵ میزان تغییرات الگوهای بیتی ممنوعه برای شبکه روی تراشه سه‌بعدی را نسبت به داده خام قبل از کدگذاری نمایش می‌دهند. برای بررسی تعداد الگوها در هر کلاس همشنوایی از شبکه‌ای از مش ۳×۳ از خطوط ارتباط عمودی استفاده شده است و الگوهای مختلف قبل و بعد از اعمال کدگذاری با این بستر در نظر گرفته شده است. باید توجه داشت که کدگذاری همینگ نوعاً یک کدگذاری دوری کننده از اشکال همشنوایی به شمار نمی‌رود. برای ارزیابی

کدگذاری‌های مربوطه در شبکه بر تراشه سه‌بعدی، از یک برنامه کاربردی چند رسانه‌ای پیاده شده بر روی شبکه‌ی بر تراشه استفاده شده است. شبکه مربوطه از یک کدگذار H.264، یک حافظه و عناصر عملیاتی دیگر تشکیل شده است که در این تحقیق از جریان داده انتقالی بین دو واحد حافظه و کدگذار مربوطه استفاده شده است. برای به دست آوردن جریان داده منتقل شده بین این دو واحد عملیاتی، از سه تصویر ویدئویی مطابق جدول ۱ استفاده شده است. عرض فلیت برای هر سه عکس، ۶۴ بیت در نظر گرفته شده است. نتایج به دست آمده از پیاده سازی برای هر کدام از کلاس‌های همشنوایی 6C, 7C و 8C، در شکل‌های ۱۲، ۱۳، ۱۴ و ۱۵ آمده است. با توجه به ماهیت کدگذاری همینگ و بی اثر بودن آن در برابر اشکال همشنوایی، افزایش الگوهای همشنوایی دور از انتظار نخواهد بود. کدگذاری‌های ریل دوتایی تغییر یافته و کد شیفت مرزی در شبکه بر تراشه دو بعدی کدهایی با بیشینه کلاس همشنوایی 2C می‌باشند ولی با الگوهای شبکه بر تراشه سه-بعدی وضعیت تفاوت دارد. ریل دوتایی تغییر یافته کلاس‌های همشنوایی 6C و 8C را به شدت افزایش می‌دهد و الگوهای کلاس 7C را به طور کامل از بین می‌برد. با توجه به الگوی 8C می‌توان دریافت که با دوتایی کردن بیت‌ها، و خلاف جهت بودن تمامی همسایه‌های بیت قربانی، اضافه شدن بیت هم جهت با قربانی وضعیت کمی بهتر می‌شود و خازن تشکیلی کمتر خواهد بود ولی در کلاس 7C با توجه به حضور بیت بدون تغییر، احتمال وجود داشتن الگوی 7C بعد از کدگذاری صفر خواهد بود. در کدگذاری شیفت کد مرزی نتایج، افزایش الگوهای 6C، 7C و 8C را نشان می‌دهد، زیرا اساس کدگذاری شیفت مرزی اضافه کردن بیت توازن قبل و بعد کد با هر کلاک می‌باشد و به دلیل تغییر الگوهای بیتی در شبکه بر تراشه‌ی سه‌بعدی اضافه کردن بیت توازن به صورت متقارن ممکن نمی‌باشد و باعث افزایش الگوها خواهد شد. در کدگذاری دوری کننده از الگوهای ممنوعه، با توجه به حذف هرگونه الگوی ’101‘ و ’010‘ از جریان داده و در نظر گرفتن همپوشانی‌ها، بهترین نتیجه را در بین کدگذاری‌های اعمال شده شاهد هستیم. با توجه به نتایج به دست آمده از شبیه سازی‌ها، می‌توان دریافت در بین این چهار کدگذاری، دوری کردن از الگوی ممنوعه می‌تواند در عرض بیت بالا بسیار امیدبخش ظاهر شود. علاوه بر آن ریل دوتایی تغییر یافته برای کلاس همشنوایی 7C، بهبود صد درصدی را از خود نشان داده است.

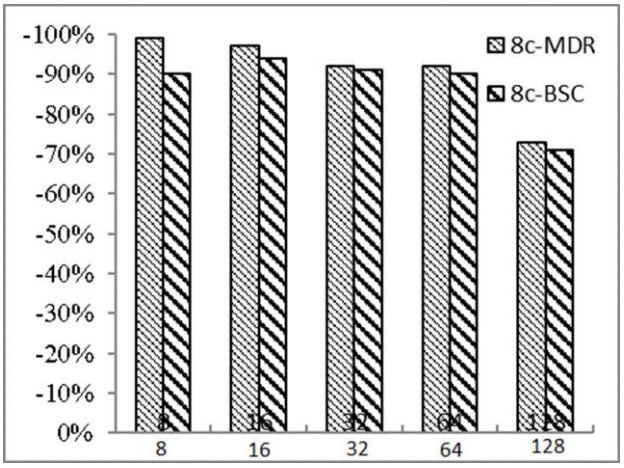
جدول ۱. مشخصات بسته محک استفاده شده

بسته محک	Foreman	Football	Mobile
اندازه	۳۵۲×۲۸۸	۳۵۲×۲۴۰	۳۵۲×۲۴۰
تعداد کل فلیت‌ها	۱۲۲۲	۳۱۳۸	۶۰۷۸
عرض فلیت	۶۴	۶۴	۶۴

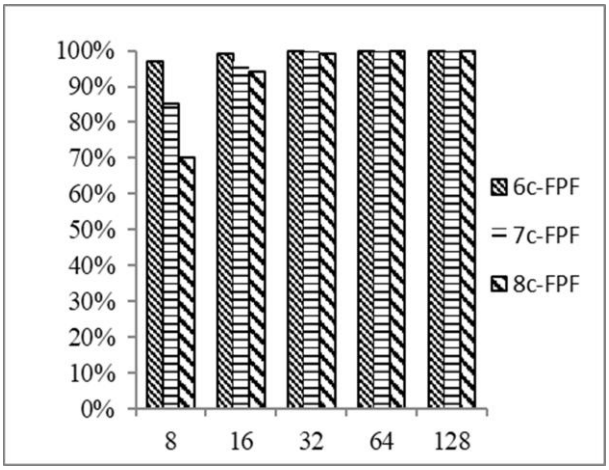
با این فرض که حذف برخی از الگوها می‌تواند به کاهش احتمال رخداد همشنوایی کمک کند، لذا استفاده از دنباله‌های فیبوناچی و سری‌های عددی مبتنی بر آن همچنان امید بخش به نظر نخواهد بود. استفاده از دنباله‌های فیبوناچی چند سطحی که اخیراً مطرح شده است می‌تواند یکی از چالش‌های دیگر در این تحقیق به شمار رود. در شبیه‌سازی‌های بالا از اثر سلفی همسایه‌ها صرف نظر شده است و همچنین اثر خازنی همسایه‌های قطری در نظر گرفته نشده‌اند.

برای پیاده‌سازی، باید به سربار تحمیلی هر کدام از کدگذاری-های ذکر شده دقت داشت. با توجه به نتایج، کدگذاری‌های بالا در عرض باس بالا، قابلیت حذف نویز همشنوایی بیشتری از خود نشان می‌دهند ولی با افزایش بیشتر عرض سیم، علاوه بر بهینه نبودن طرح، با کاهش کارایی مواجه خواهیم شد. برای غلبه بر این مشکل می‌توان از بخش بخش کردن سیم استفاده کنیم و برای هر قسمت کدینگ را اعمال کنیم.

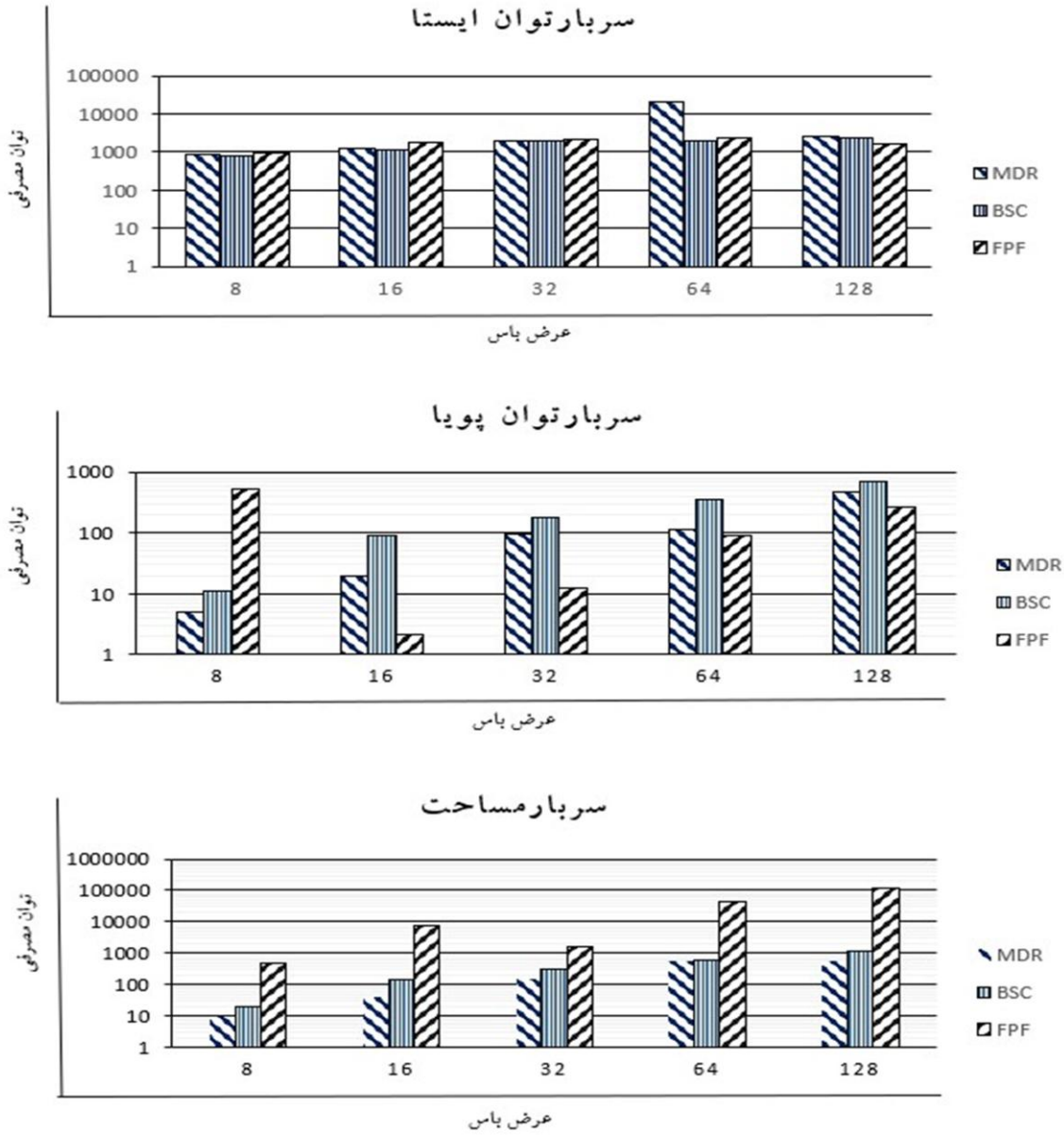
باید توجه داشته باشیم، کدگذاری برای شبکه روی تراشه سه-بعدی محدودیت‌هایی را در راهگزین به وجود می‌آورد، برای مثال راهگزین‌هایی که وظیفه انتقال بسته‌ها را به لایه‌های بالا و یا پایین دارند از پیچیدگی مضاعفی نسبت به راهگزین‌های افقی، به دلیل رمزگذاری در دوبعد برخوردارند. نتایج مربوط به مساحت، توان ایستا و توان پویا با استفاده از Design Compilerدر شکل ۱۶ قابل مشاهده است. همان طور که از نتایج مشخص است کدهای دوری کننده از الگوی ممنوعه علی رغم نتایج بسیار خوب، دارای سربار مساحت و انرژی مصرفی بیش‌تر از سایرین می‌باشند.



شکل۱۴.تغییرات تعداد الگوهای کلاس 8C برای MDR و BSC



شکل۱۵. تغییرات الگوهای 6C و 7C و 8C برای کدگذاری FPF



شکل۱۶. میزان سربار انرژی مصرفی ایستا، پویا و مساحت سه کدینگ اعمال شده

نتیجه گیری

در شبکه‌های بر تراشه، به کار بردن روش‌هایی که بیشترین افزایش قابلیت اطمینان را، به بهای کاهش بیش از حد کارایی و افزایش بیش از اندازه‌ی انرژی مصرفی به همراه داشته باشد مطلوب نیست. به همین دلیل، ایده‌های مطرح‌شده در درجه‌ی اول باید در معرض شبیه‌سازی‌های اولیه قرارگرفته تا میزان کارایی و انرژی مصرفی آن‌ها اندازه گرفته شود، با توجه به این که شبکه‌های بر تراشه سه‌بعدی در زمینه‌ی اشکال همشنوایی دارای کاستی هستند، عرصه برای فعالیت و پژوهش باز است. با توجه به کمبود در منابع موجود برای کلاس‌های همشنوایی در شبکه‌های روی تراشه سه‌بعدی، نیاز به یک مدل احتمالی از تعداد و احتمال رخداد هر یک از الگوها به شدت احساس می‌شود که یکی از چالش‌های این تحقیق در آینده خواهد بود.

مراجع

[1] N. Banerjee, P. Vallanki, K.S. Chatha, "A Power and Performance Model for Network on-Chip Architectures", Proceedings Design, Automation and Test in Europe Conference and Exhibition, Paris, France, Vol.2, pp. 1250-1255, February 2004.

[2] A. Eghbal, P. M. Yaghini, S. S. Yazdi and N. Bagherzadeh, "TSV-to-TSV inductive coupling-aware coding scheme for 3D Network-on-Chip," IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), Amsterdam, Netherlands, pp. 92-97 , October 2014.

[3] L. Jiang, Q. Xu and B. Eklow, "On effective TSV repair for 3D-stacked ICs," Design, Automation & Test in Europe Conference & Exhibition (DATE) Dresden, pp.793-798, March 2012.

[4] R. Kumar and S. P. Khatri, "Crosstalk Avoidance Codes for 3D VLSI," in Proceedings of Design, Automation and Test in Europe, France, pp. 1673-1678, March 2013.

[5] V. F. Pavlidis and E. G. Friedman, "3-D Topologies for Networks on Chip", IEEE Transactions on VLSI Systems, Taiwan, Vol. 15, pp. 1081-1090, January 2007.

[6] C. Nicopoulos, D. Park, R. Das, Y. Xie, V. Narayanan, M. S. Yousif, J. Kim, "A Novel Dimensionally Decomposed Router for Network on Chip Communication in 3D Architecture", in Proceedings of the 34th annual international symposium on computer architecture (ISCA '07), New York, pp. 138-149, June 2007.

[7] D. H. Kim, S. Lim, "Through Silicon Via Aware Delay and Power Prediction Model for Buffered Interconnects in 3d IC's", in Proceedings of the 12th (ACM/IEEE) international workshop on system level interconnect prediction, New York, pp. 25-32, June2010.

[8] L. Benini, G. D. Micheli, "Networks on Chips: A New SoC Paradigm", IEEE Transactions on Computers, Vol.35, No.1, pp. 70-78, January 2002.

[9] S. R. Sridhara, N. R. Shanbhag, "Coding for System-on-Chip Networks: A Unified Framework", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol.13, No.6, pp. 655-667, June 2005.

[10] D. Bertozzi, L. Benini, G. D. Micheli, "Low Power Error Resilient Encoding for On-chip Data Buses", in Proceedings of Design, Automation and Test in Europe (DATE),France,pp.102-109,August 2002.

[11] J. Kim, D. Park, C. Nicopoulos, N. Vijaykrishnan and C. R. Das, "Design and Analysis of an NoC Architecture from Performance, Reliability and Energy Perspective", in Proceedings of Symposium on Architecture for Networking and Communications Systems (ANCS), Princeton, pp. 173-182, October 2005.

[12] F. Wrobel, F. Saigne, M. Gedion, J. Gasiot and R. D. Schrimpf "Radioactive Nuclei Induced Soft Errors at Ground Level", IEEE Transactions on Nuclear Science, Vol.56, No.6, pp. 3437-3441, December 2009.

[13] F. Worm, P. Ienne, P. Thiran and G. De Micheli," A Robust Self-Calibrating Transmission Scheme for on-Chip Networks", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol.13, No.1, pp. 126-139, January 2005.

[14] S. Murali, T. Theocharides, N. Vijaykrishnan, M. J. Irwin, L. Benini and G. De Micheli," Analysis of Error Recovery Schemes for Networks on Chips", IEEE Design & Test of Computers, Vol.22, No.5, pp. 434-442, September-October 2005.

[15] Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2001.

[16] H. B. Bakoglu and J. D. Meindl " Optimal Interconnection Circuits for VLSI", IEEE Transactions on Electron Devices, 32(5), pp. 903-909, May 1985.

[17] K. Agarwal, D. Sylvester and D. Blaauw "Modeling and Analysis of Crosstalk Noise in Coupled RLC Interconnects", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 25(5), pp. 892-901, May 2006.

[18] Xiaoliang Bai and S. Dey," High-level Crosstalk Defect Simulation for System-on-Chip Interconnects", in Proceedings of IEEE VLSI Test Symposium (VTS), Marina Del Rey, pp. 169-175, April 2001.

[19] A. Ganguly, P. P. Pande, B. Belzer and C. Grecu," Addressing Signal Integrity in Networks on Chip Interconnects through Crosstalk-Aware Double Error Correction Coding", in Proceedings of IEEE Computer Society Annual Symposium on VLSI (ISVLSI), Brazil, pp. 317-324, May 2007.

[20] A. Pullini, F. Angiolini, D. Bertozzi and L. Benini," Fault Tolerance Overhead in Networkon Chip Flow Control Schemes", in Proceedings of Integrated Circuits and Systems Design Symposium (SBCCI), Brazil, pp. 224-229, September 2005.

[21] P. P. Pande, A. Ganguly, B. Feero, B. Belzer and C. Grecu," Design of Low Power and Reliable Networks on Chip through Joint Crosstalk Avoidance and Forward Error Correction Coding", in Proceedings of IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, USA, pp. 466-476, October 2006.

[22] H. Kaul, J. Seo, M. Anders, D. Sylvester and R. Krishnamurthy," A Robust Alternate Repeater Technique for High Performance Busses in the Multi-Core Era", in Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), Seattle USA, pp. 372-375, May 2008.

[23] K. Hirose, H. Yasuura, "A Bus Delay Reduction Technique Considering Crosstalk", in Proceedings of Design, Automation and Test Europe (DATE), Vol 85, pp. 441-445, January 2000.

[24] B. Victor and K. Keutzer," Bus Encoding to Prevent Crosstalk Delay", in Proceedings of International Conference on Computer Aided Design (ICCAD), San Jose USA, pp. 57-63, November 2001.

[25] K.N. Patel, I.L. Markov, "Error-Correction and Crosstalk Avoidance in DSM Busses", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, USA, pp. 1076-1080, October 2004.

[26] F. Shi, X. Wu and Z. Yan," Improved Analaytical Delay Model for RC-Coupled Interconnects", IEEE Transactions on VLSI Sustems, Vol. 22, No. 7, July 2014.

[27] Y. Chang, Y. S. Huang, V. Narayanan and C. King," ShieldUS: A Novel design of dynamic shielding for eliminating 3D TSV crosstalk coupling noise", in Proceedings of Design Automation Conference, Yokohama Japan, pp. 675-680, January 2013.

[28] T. Dumitras and R. Marculescu," On-Chip Stochastic Communication", in Proceedings of Design, Automation and Test in Europe Conference (DATE), MunichGermany, pp. 790-795, March 2003.

[29] S. Akbari, A. Shafiee, M. Fathy and R. Berangi, "AFRA: A low cost high performance reliable routing for 3D mesh NoCs", in Proceedings of (DATE), Dresden, Germany, pp. 332-337, March 2012.

[30] M. Ebrahimi, M. Daneshtalab and J. Plosila," Fault- Tolerant Routing Algorithm for 3D NoC Using Hamiltonian Path Strategy", in Proceedings of Design, Automation and Test in Europe (DATE), Grenoble France, pp. 1601-1604, March 2013.