طراحی همزمان بلوکهای تقویت کننده کم نویز و محدودکننده توان برای تطبیق بهینه نویز

سید حسین علوی لواسانی[۱]*، علی مدی[۲]

[۱]پژوهشکده برق و فناوری اطلاعات، سازمان پژوهشهای علمی و صنعتی ایران

[۲]دانشیار دانشکده برق و کامپیوتر، دانشگاه صنعتی شریف

چکیده

در این مقاله طراحی همزمان بلوکهای تقویت کننده کم نویز (LNA) به همراه محدودکننده توان (limiter) به روش تطبیق امپدانس نویز بمنظور حداقل نمودن عدد نویز ورودی سیستم مورد بررسی قرار گرفته است. در این راستا روش طراحی بلوک تقویت کننده کم نویز برای حداقل نویز و بهره توان 15 dB در فرکانس مرکزی، بلوک محدودکننده توان برای تحمل توان ورودی ۵ وات (37 dBm)، روش تطبیق دو بلوک بمنظور رسیدن به حداقل عدد نویز و حداکثر توان انتقالی از محدودکننده توان به تقویت کننده کم نویز به تفصیل ارائه شده و نتایج با حالتی که تطبیق امپدانس ۵۰ اهم بین تقویت کننده کم نویز و محدودکننده توان برقرار باشد، مقایسه شده است. همچنین در خروجی سیستم از یک فیلتر میان‌گذر بمنظور حذف سیگنالهای ناخواسته خارج از پهنای باند و جلوگیری از ایجاد نویز در بلوکهای بعدی استفاده شده است. روش مذکور در طراحی و ساخت تقویت کننده کم نویز به همراه محدودکننده توان با پروسه ۰.۲۵ AlGaAs/InGaAs pHEMT برای باند فرکانسی 8.5-9.5GHz با فرکانس مرکزی 9GHz و تضعیف 25dB در خارج از محدوده 1GHz از محدوده فرکانس کاری مدار بکارگرفته شده و نتایج شبیه‌سازی شده و اندازه‌گیری شده نمونه ساخته شده آن نمایش داده شده است.

کلیدواژه

تقویت کننده کم نویز، محدودکننده توان، فیلتر میان گذر

مقدمه

تقویت کننده کم نویز به همراه محدودکننده توان یک بخش اصلی از سیستم گیرنده است که بهینه‌سازی عملکرد آن تاثیر بسزایی در عملکرد کل سیستم گیرنده دارد. محدودکننده توان بمنظور محافظت از گیرنده و مخصوصا تقویت کننده کم نویز در برابر آسیب‌های ناشی از سیگنال توان بالای بلاکر یا سیگنال نشتی فرستنده به گیرنده مورد استفاده قرار می‌گیرد. اما از آنجاکه محدودکننده توان در ورودی گیرنده قرار دارد، لذا می‌بایست نسبت به حداقل رساندن تاثیرات نامطلوب آن در سیستم راهکار مناسب در نظر گرفت. مهمترین تاثیر نامطلوب این بخش در عدد نویز گیرنده است.

یکی از انواع مرسوم محدودکننده توان را می‌توان محدودکننده غیرفعال مبتنی بر دیود بدلیل عملکرد خوب آنها برشمرد. در این روش درهنگام عبور سیگنال کوچک، دیودها خاموش بوده و محدودکننده توان دیودی امکان عبور سیگنال را می‌دهد ولی در زمان عبور سیگنال بزرگ که مقدار آن از سطح آستانه دیودهای موازی-معکوس بالاتر باشد، دیودها روشن شده و باعث تضعیف سیگنال در شبکه محدودکننده شده و مانع از آسیب رسیدن به بخش‌های بعدی گیرنده می‌شود. محدودکننده توان غیرفعال مبتنی بر دیود شاتکی بدلیل عدم وجود اثرات طبقه حامل‌های اقلیت، عملکرد بهتری نسبت به دیود p-i-n مخصوصا در فرکانس مایکرویوی بالاتر و موج میلیمتری نشان می‌دهد و در عین حال بدلیل امکان ادغام با تقویت کننده کم نویز و پاسخ فرکانسی پهن باند گزینه مناسبی هستند. این ساختار متشکل از چند طبقه دیود شاتکی موازی-معکوس می‌باشد که در آن طبقات ابتدایی از دیودهای شاتکی بزرگتر جهت محدودکردن بیشتر توان و طبقات انتهایی با استفاده از دیودهای کوچکتر برای محدود نمودن توان باقیمانده نشتی استفاده می‌شود. ساختار مدار مجتمع تقویت کننده کم نویز و محدودکننده توان با دیود شاتکی برای باند فرکانسی Ku و تحمل حداکثر توان 2W از 24-33dBm در پروسه GaAs-mHEMT در مرجع [۱] و برای باند فرکانسی X و Ka برای تحمل توان 1.5W با مقدار تضعیف مختلف در دوباند فرکانسی

تاریخ دریافت: ۱۳۹۸/۱۲/۲۷ تاریخ پذیرش: ۱۳۹۹/۰۵/۰۷

در پروسه GaAs با دیود PIN در مرجع [۲] بررسی شده است.، طراحی و پیاده سازی با دیود شاتکی برای تحمل توان 28.9dBm برای باند فرکانسی 34-36GHz و تلفات انتقالی 4dB در مرجع [۳] و برای باند فرکانسی 20.2-20.9GHz بطوریکه با استفاده از کوپلر هیبریدی 3dB 90 بهبود داده شده در مرجع [۴] آورده شده است.

بصورت مرسوم ورودی LNA و خروجی محدودکننده توان به 50Ω تطبیق می‌یابند و نهایتا این دو بر روی تراشه و یا بصورت اتصلات بیرونی به یکدیگر متصل می‌شوند. در این روش اضافه-شدن اتصالات بیرونی بعنوان منابع پارازیتی باعث کاهش پهنای باند در فرکانس بالای مایکرویوی و از همه مهمتر باعث افزایش عدد نویز می‌شود. در این راستا طراحی همزمان دو مدار به این صورت که در ابتدا مدار تقویت کننده کم نویز با امپدانس ورودی بهینه نویز بجای امپدانس ورودی ۵۰ اهم طراحی شده و خروجی محدودکننده توان بصورت تطبیق یافته با امپدانس ورودی تقویت کننده کم نویز طراحی گردد. این امر باعث عملکرد نویزی بهینه مدار گیرنده و نیز حذف اتصالات اضافه که منابع پارازیتی بوده و باعث بهبود کیفیت عملکرد گیرنده می-شوند.

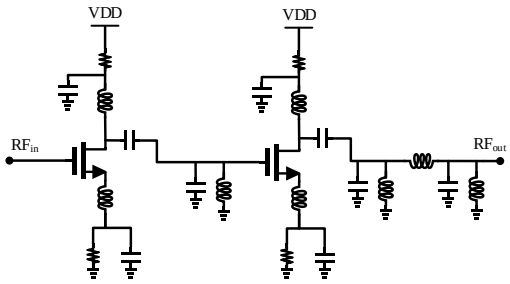
در این مقاله تقویت کننده کم نویز به همراه محدودکننده توان به روش تطبیق یافته بهینه نویزی و نیز تطبیق ۵۰ اهم طراحی و عملکرد نویزی آنها مقایسه می‌شود. در قسمت ۱ طراحی تقویت کننده کم نویز برای بهترین عدد نویز به همراه فیلتر میان‌گذر در خروجی مورد بررسی قرار می‌گیرد. در قسمت ۲ محدودکننده توان 5W با تطبیق امپدانس خروجی دلخواه مورد بررسی قرار می‌گیرد. در قسمت ۳ نتایج شبیه سازی و اندازه-گیری شده بررسی و در قسمت ۴ نتیجه گیری ارائه می‌گردد. مراجع نیز در قسمت ۵ بیان می‌گردد.

تقویت کننده کم نویز فیلتر میان‌گذر

توپولوژی تقویت کننده کم نویز براساس مشخصات مورد نیاز از جمله پهنای باند، عدد نویز و بهره توان مشخص می‌گردد.

توپولوژی‌های مختلف تقویت کننده کم نویز از قبیل سورس مشترک CS [۱۰]، Current reuse [۱۱] و فیدبکی [۱۲]و ... در فرکانس‌های مایکروویو و موج میلیمتری مورد استفاده قرار می‌گیرد. در این مقاله برای داشتن عدد نویز بهینه و بهره بالا از توپولوژی دو طبقه سورس مشترک CS، خود بایاس به همراه سلف تبهگنی در سورس استفاده شده است. توپولوژی سورس مشترک بدلیل عملکرد نویز بهتر نسبت به دیگر توپولوژیها مزیت داشته و در این ساختار، طبقه اول برای حداقل عدد نویز و طبقه دوم برای حداکثر بهره توان مطابق شکل ۱ طراحی می‌شود. همچنین یک فیلتر میان‌گذر در خروجی جهت تضعیف سیگنالهای ناخواسته خارج از محدوده پهنای باند سیستم بمنظور جلوگیری از اثرات نامطلوب در بخش‌های بعدی طراحی شده است.

ساختار خود بایاس به اینگونه عمل می‌کند که بدون نیاز به بایاس گیت ترانزیستور با قراردادن مقاومت بین سورس و زمین یک ولتاژ منفی بین سورس و گیت (V_{GS}) ایجاد می‌شود. این امر باعث کم شدن تعداد منابع تغذیه بایاس و در نتیجه کاهش نویز پارازیتی حاصل از این منابع خواهد شد. بمنظور جلوگیری از تاثیر نامطلوب مقاومت بین سورس و زمین در کارکرد سیگنال متناوب، مقاومت خود بایاس با یک خازن بایپس می‌شود. استفاده از سلف تبهگنی باعث کاهش حداقل عدد نویز ترانزیستور می‌گردد.



شکل ۱.شماتیک مدار تقویت کننده کم نویز

در یک شبکه دو پورتی که نویز ولتاژ و نویز جریان بصورت همزمان در آن وجود دارد در صورت غالب بودن نویز ولتاژ بالا بردن امپدانس منبع و در صورت غالب بودن نویز جریان، پایین بردن امپدانس منبع باعث حداقل شدن عدد نویز می‌گردد. لذا برای مدار مذکور که هر دو منبع نویز بصورت مشخص وجود دارند، حداقل عدد نویز مدار را که در امپدانس ورودی بهینه نویز بوجود می‌آید محاسبه خواهیم نمود. برای مدار مربوطه دوایر عدد نویز ثابت برای فرکانس مورد نظر استخراج خواهد شد. بطور مرسوم تقویت کننده کم نویز به گونه‌ای طراحی می-شود که تطبیق امپدانسی و تطبیق نویزی بصورت همزمان اعمال گردد. اما در این مقاله تقویت‌کننده کم نویز تنها برای عدد نویز بهینه طراحی شده و مدار محدودکننده برای تطبیق امپدانسی با امپدانس ورودی مدار تقویت کننده کم نویز طراحی می شود. لذا در انتخاب سلف تبهگنی و دیگر اجزاء مدار تنها شرایط حداقل نویز در نظر گرفته می‌شود. همچنین برای جلوگیری از ورود سیگنالهای مزاحم خارج از باند به داخل سیستم و اشباع سیستم، مدار تانک LC در بین دو طبقه و فیلتر میان‌گذر درجه ۶ در خروجی تعبیه شده است. همچنین مدار تقویت کننده کم نویز و محدودکننده توان با همان مشخصات ولی با تطبیق امپدانسی ۵۰ اهم طراحی شده و نتایج با حالت قبل مقایسه می‌شود.

برای بدست آوردن حداقل عدد نویز مدار بطوریکه مقادیر F_{min}، R_n و Γ_{opt} مشخص باشد، دوایر عدد نویز ثابت بصورت زیر ترسیم می‌شوند [۹]:

$$C_F = \frac{\Gamma_{opt}}{1+N_i} \quad (۱)$$

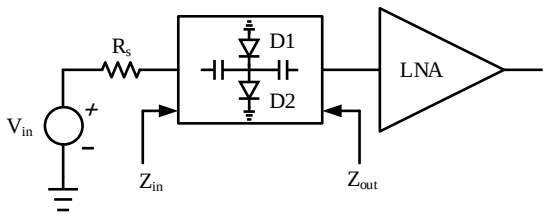
$$R_F = \frac{\sqrt{N_i^2+N_i(1-|\Gamma_{opt}|^2)}}{1+N_i} \quad (۲)$$

$$N_i = \frac{Z_0}{4R_n}(F-F_{min})|1+\Gamma_{opt}|^2 \quad (۳)$$

بطوریکه C_F مرکز دوایر و R_F شعاع آنها است. لذا هدف تنظیم امپدانس ورودی تقویت کننده در امپدانس بهینه نویز و یا در دوایر نزدیک آن است.

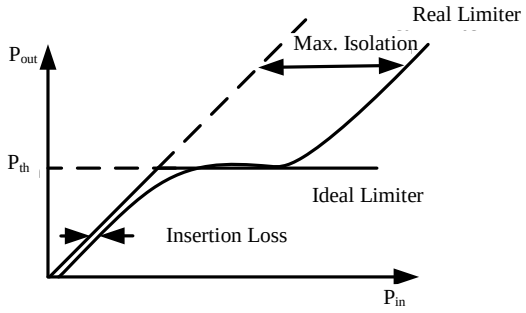
محدودکننده توان

همانطور که پیشتر نیز اشاره شد، محدودکننده توان دیودی بدلیل توان تحملی بالا یکی از انواع مرسوم جهت جلوگیری از آسیب‌رسیدن به ورودی حساس سیستم گیرنده از طریق بلاکر و یا سیگنال نشتی فرستنده می‌باشد. از آنجاکه محدودکننده توان قبل از تقویت کننده کم نویز قرار می‌گیرد لذا اثر قابل توجهی بر روی عدد نویز سیستم خواهد داشت. در این راستا با تطبیق نویز در خروجی محدودکننده و با حداقل رساندن تلفات در مدار محدودکننده، مقدار نویز تحمیلی به مدار به حداقل رسانده می‌شود. محدودکننده توان با فناوری‌های مختلف از قبیل محدودکننده فریتی، پلاسمایی و ادوات نیمه هادی نیز قابل تحقق می‌باشد. برای تولید انبوه و هزینه کمتر، فناوری تقویت کننده کم نویز و محدودکننده توان می‌بایست سازگار و قابل تجمیع بر روی یک تراشه مدار مجتمع باشد. در این حالت دو روش محدودکننده توان فعال با ترانزیستور و غیر فعال با دیود امکان‌پذیر است. دیود شاتکی نسبت به دیود p-i-n مزیت سرعت بالاتر و زمان بازیابی کوتاهتر را دارد[۱-۷].



شکل ۲. بلوک دیاگرام محدودکننده توان و تقویت کننده کم نویز در ورودی گیرنده

برای طراحی یک محدودکننده توان مهمترین مشخصه مقدار توان تحملی مورد نیاز است. برای تحمل 5W توان ورودی می‌بایست محدودکننده توان بصورت شبکه دیودی موازی-معکوس مناسب طراحی گردد. این نوع محدودکننده بر اساس ساختار دیود موازی-معکوس با دو سری دیود D1 و D2، مطابق شکل ۲ می‌باشد که به عنوان یک سوییچ محدودکننده جریان عمل می‌کند. درحالتیکه نوسان سیگنال نامطلوب توان بالا منفی باشد، سری دیودهای D_2 روشن و سیگنال در آنها جذب میـشود و درحالتیکه نوسان مثبت سیگنال نامطلوب توان بالا وارد محدودکننده توان شود سری دیودهای D_1 روشن شده و بخش اصلی سیگنال نامطلوب جذب می‌شود. نهایتا سیگنال نامطلوب توان بالای ورودی از طریق دیودهای سری D_1 و D_2 جذب شده و توان خروجی کوچکی وارد تقویت کننده کم نویز در طبقه بعدی می‌شود. در حالتیکه سیگنال کوچک مطلوب وارد محدودکننده توان شود بدلیل خاموش بودن دیودها تنها مسیر عبوری از محدودکننده به همراه اجزاء پارازیتی دیودها دیده خواهد شد. لذا این اجزاء به گونه‌ای طراحی خواهند شد که نهایتا تطبیق امپدانسی در خروجی به مقدار دلخواه صورت گیرد.

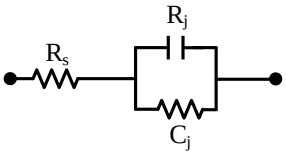


شکل ۳. توان ورودی به توان خروجی

براساس شکل ۳ در اینجا محدودکننده توان بصورتی طراحی می‌شود که برای توان ورودی 5W (37dBm) توان خروجی آن زیر 100mW (20dBm) قرار گرفته و به بیان دیگر ایزولاسیون 17dB در برابر سیگنال نامطلوب 5W از خود نشان دهد.

مسئله اصلی دیگر در طراحی محدودکننده توان، نگهداشتن جریان عبوری از دیودها در مقداری کمتر از حداکثر جریان مجاز پروسه بمنظور جلوگیری از سوختن اجزاء محدودکننده توان است. برای حداکثر نمودن توان ورودی قابل تحمل، از مدل توزیع شده که متشکل از تعدادی شاخه دیودی است استفاده می‌شود. در این حالت عمل محدودکنندگی بین چندین شاخه توزیع می‌شود. ابعاد دیود در شاخه‌های ابتدایی بزرگتر بوده تا قادر به تحمل توان 37dBm باشند و در شاخه-های بعدی از دیودهای کوچکتر جهت تحمل توان نشتی از شاخه اول در محدوده 30dBm استفاده می‌شود.

دیودهای شاتکی در حالتی که غیرفعال هستند بصورت مدار باز عمل می‌کنند و اجزاء پارازیتی آن متشکل از یک خازن و مقاومت موازی C_j و R_j و یک مقاومت سری R_s بصورت شکل ۴ مدل می‌شود.



شکل ۴ : مدار امپدانس داخلی دیود شاتکی

زمانیکه دیودها فعال می‌شوند بخش اصلی سیگنال نامطلوب توان بالا میبایست جذب دیودها گردد و بخشی از آن نیز به سمت منبع تغذیه بازتابیده می‌شود. بمنظور طراحی دیودها به گونه ای که در اثر سیگنال توان بالای ورودی آسیب نبینند، حداکثر جریان قابل تحمل توسط شاخه‌های محدودکننده توان را بدست خواهیم آورد [۱۳]:

$$P_{in} = \frac{V_G^2}{4R_{in}} \quad (۴)$$

بطوریکه V_p ولتاژ rms ورودی و R_{in} امپدانس ورودی است که برابر با 50Ω تطبیق یافته است.

$$I_d = \frac{V_G}{R_{in}} = \frac{\sqrt{2}}{5}\sqrt{P_{in}} \quad (۵)$$

که I_d جریان rms عبوری از دیودها بوده و پیک جریان عبوری از دیودها I_P بصورت زیر خواهد بود:

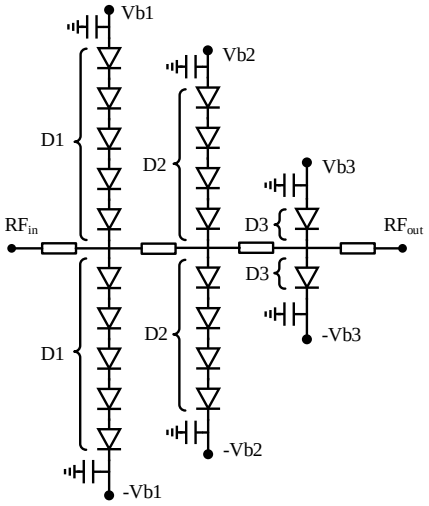
$$I_P = \sqrt{2}I_d = \frac{2}{5}\sqrt{P_{in}} \quad (۶)$$

برای سیگنال با توان 5W مقدار پیک جریان عبوری برابر با 894mA خواهیم داشت. برای این منظور محدودکننده مورد استفاده از سه طبقه تشکیل می‌شود. طبقه اول از دو دسته ۵ عددی از دیود ۱۷ فینگر بصورت موازی – معکوس تشکیل شده است بطوریکه دیودهای سری باعث افزایش توان تحملی در هر دسته می‌شود. طبقه دوم از دو دسته ۴ عددی از دیود ۱۳ فینگر بصورت موازی – معکوس و طبقه سوم از دو دسته تک دیود ۱۸ فینگر بصورت موازی معکوس تشکیل شده است. بر اساس داده های موجود در کتاب مرجع پروسه P25 به ازای هر فینگر حدود 7.21mA امکان عبور جریان وجود دارد. لذا بصورت تئوری مدار مذکور امکان تحمل تا 7.8W توان ورودی را خواهد داشت.

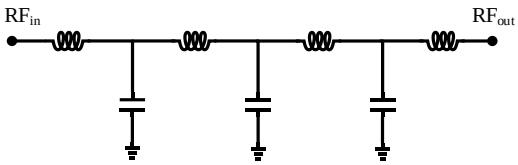
نهایتا با در نظرگرفتن مدل سلفی خطوط مایکرواستریپ بین طبقات و مدار معادل طبقات محدودکننده توان مطابق شکل ۶، مقادیر اجزاء به گونه‌ای درنظر گرفته می‌شود که امپدانس ورودی محدودکننده توان به 50Ω و امپدانس خروجی آن با مقدار بدست آمده از تقویت کننده کم نویز تطبیق یابد.

نتایج شبیه سازی

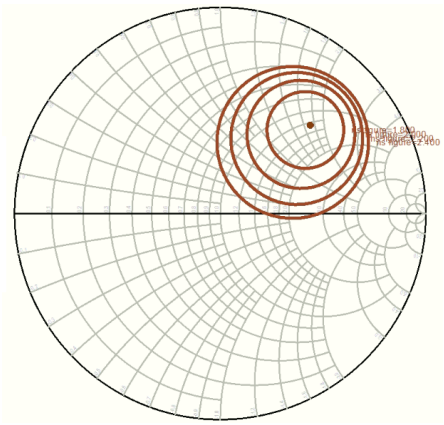
طراحی و شبیه‌سازی‌های تقویت‌کننده کم نویز به همراه محدودکننده توان دیودی با استفاده از نرم افزار Agilent Advance Design System (ADS2014) با کیت طراحی WIN PP25 انجام شده و ساخت آن با پروسه فناوری pHEMT AlGaAs-InGaAs 0.25µm انجام شده است.



شکل ۵. شماتیک مدار محدودکننده توان دیودی



شکل ۶. مدار معادل سلف و خازنی محدودکننده توان دیودی



شکل ۷: دوایر عدد نویز

در ابتدا تقویت کننده کم نویز برای باند فرکانسی 8.5-9.5GHz به گونه ای طراحی می‌شود که بهره توان بالای 10dB در این بازه فرکانسی داشته و مقدار تضعیف خارج باند برابر 25dB در فاصله 1GHz داشته باشد. برای این منظور از فیلتر درجه ۶ در خروجی استفاده می‌شود. با استفاده از دوایر کمینه عدد نویز مدار، امپدانس ورودی را برابر امپدانس بهینه نویز قرار می‌دهیم. با شبیه سازی مدار تقویت کننده کم نویز دوایر نویز بصورت شکل ۷ خواهد شد.

جدول ۱. مقادیر خطوط انتقال مایکرواستریپی

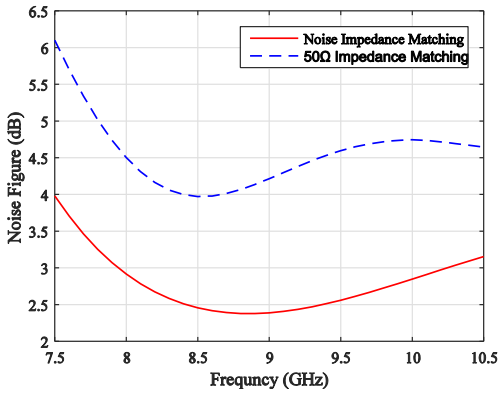
تطبیق امپدانس نویز	تطبیق امپدانس 50 ohm	مقادیر سلف
475 µm	10000 µm	L1
434 µm	777 µm	L2
326 µm	1252 µm	L3
2510 µm	746 µm	L4

بطوریکه امپدانس منبع بهینه نویز برابر با 62.5+j85.6 خواهد شد. لذا در صورتیکه امپدانس خروجی محدودکننده توان با امپدانس بهینه نویز تطبیق داده شود می‌توان به حداقل نویز مدار دست یافت.

جدول ۲. مقایسه مشخصات مدار پیشنهادی با سایر کارها

منبع	تکنولوژی	توپولوژی	فرکانس (GHz)	توان CW (dBm)	عدد نویز NF (dB)	بهره توان Gain (dB)
۱	0.15um GaAs mHEMT	Diode-Limiter / LNA	2-18	33	2.6	NA
۱	0.15um GaAs mHEMT	Diode-Limiter / LNA	Ku-Band	24	NA	NA
۲	PIN GaAs Diode	Diode-Limiter	33-40	31.7	1.6	-1.6
۵	MSAG MESFET	Diode-Limiter/LNA	7-12	40	2.7	14
مدار پیشنهادی	0.25 GaAs pHEMT	Diode-Limiter / LNA	8.5-9.5	37	2.7	14.5

مقادیر خطوط مایکرواستریپ در حالت تطبیق امپدانسی نویز و تطبیق امپدانس ۵۰ اهم در جدول ۱ و نتایج عدد نویز مدار شبیه‌سازی شده در شکل ۸ آورده شده است. همانطورکه مشاهده می‌شود تطبیق ۵۰ اهم برای همان مشخصات مداری باعث افزایش حدود 1.5dB عدد نویز مدار نسبت به حالت تطبیق نویز می‌شود.



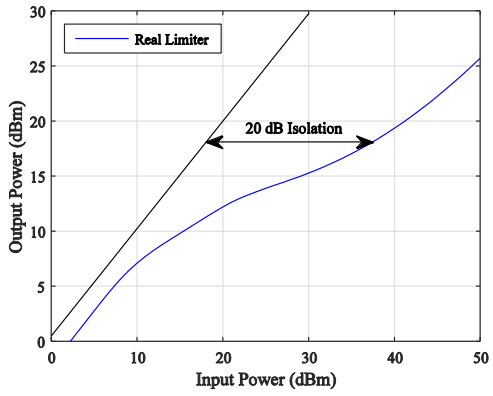
شکل ۸. عدد نویز مدار پیشنهادی با مدار تطبیق یافته ۵۰ اهم

مشخصات اجزاء تشکیل دهنده محدودکننده توان برای تحمل توان 5W در جدول ۳ آورده شده است.

جدول ۳. مقادیر اجزاء مدار

اجزاء	مقادیر
VDD	5 v
D1	5×17×20 µm
D2	4×13×20 µm
D3	1×18×20 µm
Vb1	2 V
Vb2	2 V
Vb3	1 V

نمودار توان خروجی به توان ورودی محدودکننده توان بصورت مجزا و در شرایطی که امپدانس خروجی مدار بصورت تطبیق یافته با امپدانس بهینه نویز تقویت کننده کم نویز در نظر گرفته شود، مطابق شکل ۹ می‌شود. همانطور که در نمودار مشاهده می‌شود، توان خروجی محدودکننده با ورودی 40dBm کمتر از 20dBm یا 100mW خواهد شد که توان قابل تحمل برای ورودی گیت تقویت کننده کم نویز است. لذا در نظر گرفتن نتایج بخش قبل نسبت به اینکه جریان عبوری از شاخه-های دیودی نیز کمتر از حداکثر جریان قابل تحمل دیود است می‌توان انتظار داشت این بخش بدرستی بتواند توان بالای ورودی را محدود ساخته و مانع از آسیب دیدن مدار شود.



شکل ۹. توان خروجی

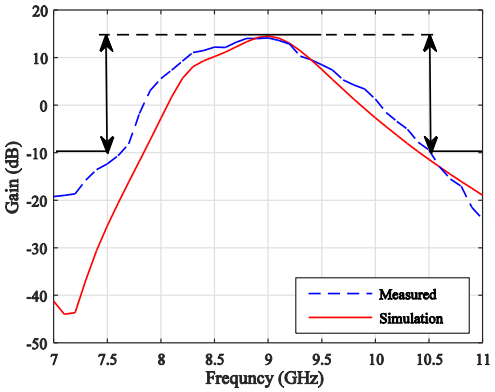
نمودار شبیه سازی و اندازه‌گیری شده بهره توان محدودکننده و تقویت کننده کم نویز بر حسب فرکانس کاری مطابق شکل ۱۰ خواهد شد. این نمودار بیانگر حداکثر بهره توان 15dB در فرکانس مرکزی 9GHz و بهره بالا 10dB در محدوده پهنای باند فرکانسی مدار و تضعیف بالای 25dB در فاصله 1GHz از محدوده کاری 8.5-9.5 GHz مدار است که بدرستی با مقادیر اندازه‌گیری شده آن مطابقت دارد.

مقدار شبیه سازی عدد نویز مدار مقدار 2.4 dB در شبیه سازی و مقدار 2.7dB اندازه‌گیری شده است. این مقدار نویز اضافه را می‌توان ناشی از پروسه ساخت و اجزاء اضافه‌تر در مدار تست ماژول از قبیل کانکتور SMA و تلفات PCB برشمرد. مشخصات مدار پیشنهادی با کارهای قبلی در جدول ۲ آمده است.

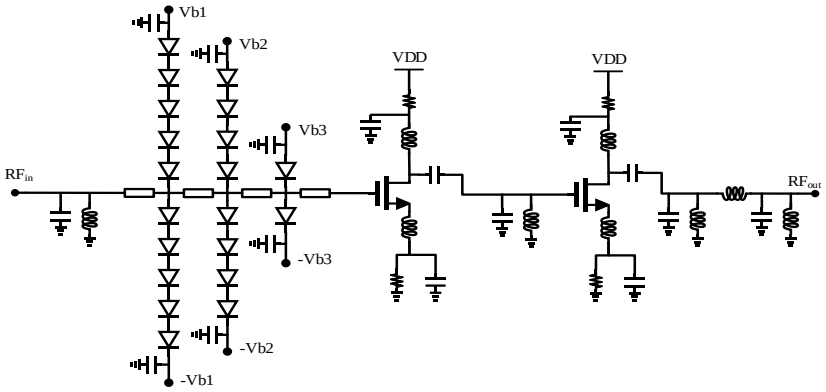
نمای مدار مجتمع تراشه ساخته شده در شکل ۱۲ نمایش داده شده است.

نتیجه‌گیری

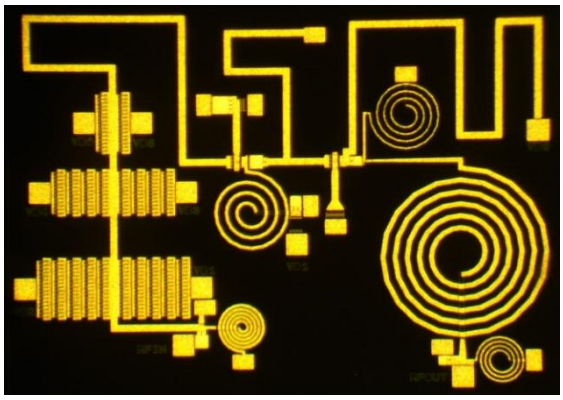
در این مقاله روند طراحی همزمان تقویت کننده کم نویز با مدار تطبیق بهینه نویز در ورودی به همراه محدودکننده توان با امپدانس خروجی تطبیق یافته در امپدانس بهینه نویز تقویت کننده و مدار فیلتر در خروجی جهت حذف سیگنال ناخواسته خارج باند ارائه شده است. لذا مزیت این طراحی نسبت به استفاده از مدارات تطبیق در امپدانس 50Ω در عدم استفاده از دو مدار تطبیق امپدانس و حداقل شدن عدد نویز مدار می‌باشد. مدار نهایی دارای حداقل 15dB بهره توان در پهنای باند کاری و 25dB تضعیف در فاصله 1GHz از محدوده فرکانس کاری بوده و عدد نویز اندازه‌گیری شده برابر با 2.7dB گزارش داده است.



شکل ۱۰: نمودار تغییرات بهره توان مدار شبیه سازی و اندازه گیری شده



شکل ۱۱. شماتیک مدار کامل تقویت کننده کم نویز و محدودکننده توان


شکل ۱۲: میکروعکس از تراشه ساخته شده

مراجع

[1] N. Billstrom, M. Nilsson, and K. Estmer, “GaAs MMIC integrated diode limiters,” in IEEE European Microwave Integrated Circuits Conference (EuMIC), 2010, pp. 126–129.

[2] D. J. Seymour, D. D. Heston, and R. Helmann, “X-band and Ka-band monolithic GaAs PIN diode variable attenuation limiters,” in IEEE MTTS International Microwave Symposium Digest, 1988, pp. 255–258.

[3] L. Yang, H. Hu, and J. Xu, “Ka-band Schottky diode limiter,” in IEEE International Conference on Computational Problem-Solving (ICCP), 2011, pp. 639–640.

[4] D. Lopez, J. F. Villemazet, D. Geffroy, J. L. Cazaux, G. Mouchon, J. Maynard, M. Perrel, and M. Amarouali, “Ka band power limiter for satellite channel amplifier,” in IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC), 2009, pp. 200–203.

[5] I. J. Bahl, “10-W CW broadband balanced limiter/LNA fabricated using MSAG MESFET process,” International Journal of RF and Microwave Computer-Aided Engineering, vol. 13, no. 2, pp. 118–127, 2003.

[6] S. S. Yang, T. Y. Kim, D. K. Kong, S. S. Kim, and K. W. Yeom, “A novel analysis of a Ku-band planar PIN diode limiter,” IEEE Transactions on Microwave Theory and Techniques, vol. 57, no. 6, pp. 1447 1460, 2009

[7] A. Maas, J. Janssen, and F. van Vliet, “Set of X-band distributed absorptive limiter GaAs MMICs,” in European Radar Conference (EuRAD), 2007, pp. 17–20.

[8] B. Razavi, RF microelectronics, vol. 1, New Jersey: Prentice Hall, 1998.

[9] D. M. Pozar, Microwave and RF design of wireless systems, John Wiley & Sons, Inc., 2000.

[10] J. B. Hacker, J. Bergman, G. Nagy, G. Sullivan, C. Kadow, H.-K. Lin, A. Gossard, M. Rodwell, and B. Brar, “An ultra-low power InAs/AlSb HEMT W-band low-noise amplifier,” in IEEE MTT-S International Microwave Symposium Digest, 2005, pp. 4–pp.

[11] M. Sato, T. Takahashi, and T. Hirose, “68–110-GHz-band low-noise amplifier using current reuse topology,” IEEE Transactions on Microwave Theory and Techniques, vol. 58, no. 7, pp. 1910–1916, 2010.

[12] Y. H. Yu, W. H. Hsu, and Y. J. Chen, “A Ka-band low noise amplifier using forward combining technique,” IEEE Microwave and Wireless Components Letters, vol. 20, no. 12, pp. 672–674, 2010.

[13] I. Bahl, Fundamentals of RF and microwave transistor amplifiers, John Wiley & Sons, 2009.