طراحی و شبیه‌سازی یک مخلوط‌کننده فراپهن‌باند فوق کم‌توان بدون سلف با استفاده از ساختار تزریق به بدنه

کیوان غلامی[۱]، جواد یاوند حسنی[۲]

[۱]دانش آموخته کارشناسی ارشد برق الکترونیک، دانشگاه علم و صنعت ایران

[۲]استادیار دانشکده مهندسی برق، دانشگاه علم و صنعت ایران، yavand@iust.ac.ir

چکیده

در این مقاله یک مخلوط کننده پایین آورنده فراپهن باند فوق کم توان CMOS[۱]ارائه شده است. به‌منظور کاهش ولتاژ و توان مصرفی از ساختار تزریق به بدنه برای کاهش تعداد طبقات پشته مورد استفاده قرار گرفته است. با بکار گیری از ترانزیستورهای کانال p در هسته مخلوط‌کننده می‌توان نویز زیاد مخلوط‌کننده‌های تزریق به بدنه را بهبود بخشید. به هدف افزایش بهره تبدیل[۲] در طبقه IF[۳]از بافر افزاینده ترارسانایی استفاده شده است. همچنین برای کمتر کردن توان مصرفی، ترانزیستورها در ناحیه وارونگی ضعیف بایاس شده‌اند. مخلوط کننده پیشنهادی در فناوری ۰.۱۸ um TSMC RF-CMOS طراحی شده است. برای ارزیابی کارایی مخلوط‌کننده پیشنهادی شبیه سازی و پساجانمائی صورت گرفته است. نتایج حاصل از شبیه سازی پساجانمائی نشان می‌دهد که مخلوط کننده ارائه شده بهره تبدیل بیشینه ۸.۶ dB، عدد نویز کمینه ۱۵.۳dB، IIP3[۴] بیشینه ۱ dBm و جداسازی دریچه به دریچه بهتر از ۴۳dB با توان سیگنال LO[۵] متوسط ۲dBm ارائه می‌دهد. توان مصرفی کل این مخلوط کننده ۲۵۰ µW در باند فرکانسی ۱۱ GHz–۳ بدست آمده است.

کلیدواژه

مخلوط‌کننده فراپهن‌باند، مخلوط‌کننده فوق کم‌توان، تزریق به بدنه، وارونگی ضعیف، افزاینده ترارسانایی، CMO

۱ Complementary Metal Oxide Semiconductor
۲ g_m Boosting
۳ Intermediate Frequency
۴ Third Order Input Intercept Point
۵ Local Oscillator

تاریخ دریافت: ۱۳۹۹/۰۶/۱۰ تاریخ پذیرش: ۱۴۰۰/۰۷/۰۸

مقدمه

امروزه، در بسیاری از کاربردهای بی‌سیم مانند شبکه‌های حسگر بی‌سیم، زیست پزشکی و RFID[۶] ها، توان مصرفی خیلی کم، ابعاد کوچک، ارزان بودن و سادگی از مهم‌ترین ملزومات طراحی است. دستگاه‌های ارتباطی قابل حمل باید این قابلیت را دارا باشند که در مدت زمان طولانی بدون نیاز به شارژ مجدد به کار خود ادامه دهند. علاوه بر این، در برخی کاربردها شرایط به نحوی است که امکان دسترسی به دستگاه میسر نیست. بنابراین طراحی باید به گونه‌ای باشد که توان مصرفی به حداقل برسد که دستگاه به وسیله باتری توان مورد نیاز خود را تا مدت زمانی کافی تامین کند و یا اینکه به حدی کم مصرف باشد که با فناوری‌های برداشت انرژی توان مورد نیاز کل دستگاه تامین شود [۲-۱]. فرستنده و گیرنده‌های فراپهن باند بدلیل خاصیت انتشار توان کم با نرخ داده زیاد در فواصل کوتاه، امنیت زیاد و سادگی، انتخاب مناسبی برای طراحی در مصارف اشاره شده است.

مخلوط کننده یکی از اصلی ترین بلوک‌های یک فرستنده و گیرنده است که عمل تبدیل فرکانسی را انجام می‌دهد. از ویژگی‌های مهم یک مخلوط کننده، بهره تبدیل، توان مصرفی، جداسازی بین دریچه‌ها، خطینگی و نویز است. اگر مخلوط کننده با دقت و به درستی طراحی شود، می‌تواند محدودیت‌های تحمیل شده به سایر بلوک‌ها از قبیل تقویت‌کننده کم نویز و نوسان‌ساز محلی را کاهش دهد و مشخصات کلی دستگاه را بهینه کند.

در میان مخلوط کننده‌های مبتنی بر فناوری CMOS، سلول گیلبرت[۷] از پرکاربرد ترین نوع مخلوط کننده‌ها به شمار می‌آید. بدلیل معماری تمام تفاضلی از جداسازی دریچه به دریچه خیلی خوبی برخوردار هستند اما بخاطر ساختار پشته، نیاز به ولتاژ تغذیه بیشتری دارند و بنابراین توان مصرفی نیز افزایش پیدا می‌کند [۵-۳]. ساختارهایی برای رفع این مشکل ارائه شده است. استفاده از تکنیک تاشده برای آنکه بتوان ولتاژ تغذیه را کاهش داد، اما به جریان DC بیشتری نیاز دارد. بنابراین از نظر توان مصرفی همانند ساختار گیلبرت است [۹-۶]. در [۱۱-۱۰] از روش تزریق جریان برای آرام کردن سقف ولتاژ و کاهش نویز ناشی از طبقه کلیدزنی بکار گرفته است. هرچند، مشکلی که این ساختار دارد، بدلیل بزرگ شدن خازن پارازیتی بین دو طبقه ترارسانایی و کلیدزنی، پهنای باند کاهش پیدا می‌کند.

برای حذف اثر خازن پارازیتی می‌توان از سلف تشدید کننده استفاده کرد [۱۳-۱۲] اما سطح تراشه را بزرگ خواهد کرد.

در ساختار تزریق به بدنه، با اعمال سیگنال نوسان‌ساز محلی به بدنه ترانزیستور MOSFET ولتاژ آستانه ترانزیستور تغییر می‌کند و ترانزیستور با فرکانس نوسان‌ساز محلی کلیدزنی می‌شود. به همین دلیل هر دو طبقه ترارسانایی و کلیدزنی با یکدیگر ترکیب شده و سطح ولتاژ تغذیه کاهش پیدا می‌کند[۱۸-۱۴]. در [۱۴] برای کاهش توان مصرفی ترانزیستورهای هسته در ناحیه واورنگی ضعیف بایاس شده‌اند. اما بهره تبدیل کم با توان سیگنال LO خیلی زیاد ۱۳dBm بدست آمده است. در [۱۵] به کمک بار فعال و بایاس ترانزیستورهای هسته در ناحیه زیرآستانه، بهره تبدیل افزایش پیدا کرده است اما خطینگی آن کم است. در [۱۶] به کمک ساختار مبتنی بر وارونگر با جریان مصرفی کمتر می‌توان به بهره تبدیل بیشتر دست یافت. اما بدلیل بزرگ شدن اثرات پارازیتی ترانزیستورها در فرکانس‌های بالاتر، پهنای باند کاهش پیدا کرده است. در [۱۷] برای کاهش نویز مخلوط کننده روش بایاسینگ کلیدزن ارائه شده است. برای بهبود بهره نیز بار فعال مورد استفاده قرار گرفته است. هرچند که کاهش عدد نویز به ازای توان‌های ورودی زیاد محقق می‌گردد و خطینگی به اندازه کافی زیاد نیست.

در مقایسه با سلول گیلبرت، ساختار تزریق به بدنه تعداد قطعات پشته کمتری دارد. علاوه بر این، بدلیل حذف شدن اثرات پارازیتی بین دو طبقه، امکان دستیابی به پهنای باند وسیع میسر می‌شود. از طرفی برای تغییر ولتاژ آستانه به هدف عمل کلیدزنی لازم است که سیگنال نوسان‌ساز محلی به حد کافی بزرگ باشد و به دلیل آنکه سیگنال بزرگی مستقیما به بدنه ترانزیستور متصل می‌شود، جریان نویز درین افزایش پیدا خواهد کرد [۱۷].

در این مقاله، مخلوط‌کننده پیشنهادی از معماری تزریق به بدنه برای کاهش ولتاژ تغذیه بهره گرفته است. به منظور کاهش جریان مصرفی، ترانزیستورهای هسته در ناحیه زیرآستانه بایاس شده‌اند. بدین ترتیب، به‌علت کاهش جریان مصرفی و ولتاژ تغذیه، توان مصرفی مخلوط‌کننده به طرز قابل توجهی کاهش پیدا می‌کند. برای کاهش نویز مخلوط‌کننده از ترانزیستورهای کانال p در هسته استفاده شده است. زیرا این نوع ترانزیستور ذاتا نویز کمتری تولید می‌کنند. علاوه بر این، معماری مخلوط‌کننده پیشنهادی به نحوی است که با تنظیم ولتاژ سورس ترانزیستورهای هسته در نقطه‌ای بهینه، اثرات غیر خطینگی را می‌توان کاهش داد و IIP3 را بهبود بخشید.

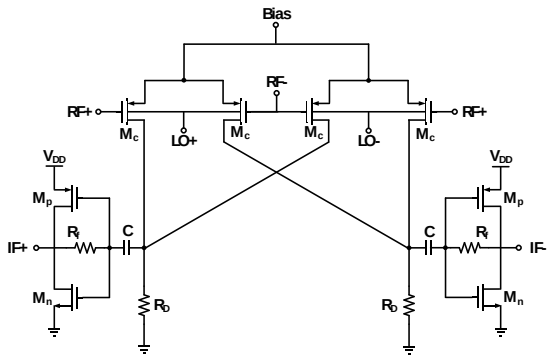
---

[۶] Radio Frequency Identification
[۷] Gilbert Cell

همچنین از بافر افزاینده g_m در طبقه IF برای افزایش بهره تبدیل استفاده شده است. در مخلوط‌کننده فراپهن‌باند ارائه شده، بدون آنکه از سلف استفاده شود، بهره تبدیل تخت در پهنای باند ۳~۱۱GHz فراهم شده است. به دلیل عدم استفاده از سلف، مساحت اشغالی مخلوط‌کننده بسیار کوچک خواهد بود که در کاربردهای ارتباطات بی‌سیم اهمیت فراوانی دارد.

طراحی و تحلیل

طرح مداری مخلوط کننده پیشنهادی در شکل ۱ نشان داده شده است. این مخلوط کننده از سه بخش هسته تزریق به بدنه شامل ترانزیستورهای M_c، طبقه بار جهت تبدیل سیگنال جریان به ولتاژ توسط مقاومت R_D و طبقه تقویت‌کننده TIA[۸] به وسیله ترانزیستورهای M_n-M_pو مقاومت R_f برای افزایش بهره تشکیل شده است. معماری سلول گیلبرت بدلیل جداسازی دریچه به دریچه زیاد و اثر پذیری کمتر از هارمونیک های زوج به عنوان پیکربندی پایه مخلوط کننده پیشنهادی انتخاب شده است. در ساختار تزریق به بدنه، دو طبقه ترارسانایی و کلیدزنی با یکدیگر ادغام می‌شوند و در نتیجه سطح ولتاژ تغذیه را می‌توان کاهش داد که برای کاربردهای کم توان روشی مناسب است. همچنین خازن پارازیتی بین دو طبقه وجود نخواهد داشت. بنابراین افت سیگنال در فرکانس‌های بالاتر کاهش پیدا می‌کند و در نتیجه بدون نیاز به سلف‌های تشدید کننده، پهنای باند وسیع محقق می‌گردد.



شکل ۱. شماتیک ساده شده مخلوط کننده تزریق به بدنه پیشنهادی

تفاوت مخلوط‌کننده پیشنهادی با سایر مخلوط‌کننده‌های تزریق به بدنه، استفاده از ساختار تمام PMOS در هسته مخلوط کننده است. امتیازی که این معماری نسبت به ساختار مبتنی بر NMOS دارد آن است که نویز کمتری ایجاد می‌کند. زیرا در ترانزیستورهای NMOS، تحت میدان الکتریکی قوی انرژی حامل‌ها زیاد شده، می‌توانند از سیلیکان خارج شوند و به اکسید گیت تونل بزنند. به این پدیده اثر حامل داغ[۹] گفته می‌شود که در ترانزیستورهای کانال کوتاه به راحتی اتفاق می‌افتد و سبب افزایش نویز حرارتی کانال می‌گردد. همچنین نویز سوسویی بدلیل نواقص شبکه و ناخالصی‌های نامنظم که بیشتر در سطوح و پیوندها وجود دارند، ایجاد می‌شود. اما در ترانزیستورهای PMOS، حامل‌ها بسیار پایین تر از فصل مشترک سیلیسوم-اکسید هستند به همین علت نویز ناشی از اثر حامل داغ و نویز سوسویی در PMOS کمتر است [۱۹-۲۰]. علاوه بر این، در توپولوژی ارائه شده نسبت به ساختار معادل NMOS، تعداد منبع ولتاژ بایاس را می‌توان کاهش داد.

در این طرح، ولتاژ سیگنال کوچک RF[۱۰] به گیت ترانزیستور و سیگنال LO جهت خاموش و روشن کردن ترانزیستورها و عمل کلیدزنی به بدنه ترانزیستور اعمال می‌شود. سپس ضرب دو سیگنال در جریان درین سورس ظاهر می‌گردد و توسط مقاومت بار به ولتاژ تبدیل می‌شود. در نهایت در طبقه IF به کمک تقویت کننده افزاینده g_m (M_n-M_p) سیگنال ولتاژ تقویت می‌گردد. ترانزیستورهای کانال p نسبت به ترانزیستورهای کانال n ترارسانایی کمتری دارند و بنابراین بهره کمتری ارائه می‌دهند. به همین علت، جهت افزایش بهره تبدیل مخلوط کننده از بافر افزاینده g_m در طبقه IF استفاده شده است. جهت کاهش توان مصرفی، ولتاژ و جریان باید هردو با هم کم شوند. بنابراین برای آنکه توان مصرفی کمتر شود، ترانزیستورها در ناحیه وارونگی ضعیف بایاس شده اند. در این ناحیه جریان درین با ولتاژ سورس گیت رابطه نمایی دارد، به همین دلیل با کاهش اندک ولتاژ سورس گیت، جریان درین به طور قابل ملاحظه ای افت پیدا می‌کند. در این صورت جریان و ولتاژ را می‌توان به طور هم‌زمان کاهش داد. به طور تقریبی جریان درین ترانزیستور در ناحیه وارونگی ضعیف یک ترانزیستور PMOS بدست می‌آید [۲۱]:

$$I_D = \left(\frac{W}{L}\right) I_0 \exp\left(\frac{V_{SG} - |V_{th}|}{nV_T}\right)\left(1-\exp\left(\frac{-V_{SD}}{V_T}\right)\right) \qquad (۱)$$

V_{th} ولتاژ آستانه، W و L به ترتیب عرض و طول گیت هستند، n فاکتور شیب ناحیه وارونگی ضعیف است که مقداری بین ۱ تا ۳ دارد، V_T ولتاژ حرارتی (حدود ۲۵mV) و I_0 پارامتر وابسته به فرایند است و تعریف می‌شود:

$$I_0 = (n - 1)\mu_0 C_{ox} V_T^2 \qquad (۲)$$

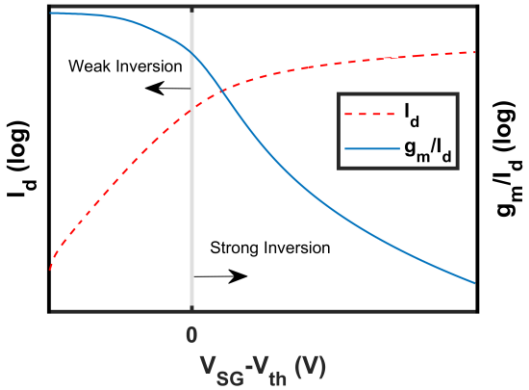
μ_0 تحرک میدان کم و C_{ox} خازن اکسید گیت در واحد سطح است. شکل ۲ جریان درین و نسبت ترارسانایی به جریان درین

[۸] Trans-Impedance Amplifier

[۹] Hot Carrier Effect

[۱۰] Radio Frequency

(g_m/I_D) را به ازای تغییرات ولتاژ سورس-گیت نشان می‌دهد. جریان درین در سطوح ولتاژ سورس گیت کمتر از ولتاژ آستانه به صورت نمایی کم می‌شود در حالی که ترارسانایی به نسبت افت کمتری دارد. همانطور که مشاهده می‌شود، نسبت ترارسانایی به جریان درین در ناحیه وارونگی ضعیف در مقایسه با ناحیه فعال بیشتر است. بنابراین عملکرد در ناحیه وارونگی ضعیف برای اهداف کم توان مطلوب می‌باشد.



شکل۲. منحنی مشخصه جریان درین و نسبت (g_m/I_D) ترانزیستور PMOS نسبت به ولتاژ سورس-گیت (W/L = 90µm/0.18µm)

فرض شود که سیگنال RF یک سیگنال سینوسی با دامنه $\widehat{V_{RF}}$ و فرکانس زاویه ای ω_{RF} و LO یک سیگنال مربعی با چرخه وظیفه ۵۰٪ با دامنه $\widehat{V_{LO}}$ در فرکانس زاویه ای ω_{LO} باشد.

$$V_{RF} = \widehat{V_{RF}} \cos(\omega_{RF} t) \qquad (۳)$$

به کمک بسط فوریه سیگنال مربعی را می‌توان با مجموعه‌ای بی نهایت از سیگنال‌های سینوسی تعریف کرد:

$$V_{LO} = Sq(\omega_{LO} t) = \frac{4}{\pi}\widehat{V_{LO}}\left[\cos(\omega_{LO} t) + \frac{1}{3}\cos(3\omega_{LO} t) + \frac{1}{5}\cos(5\omega_{LO} t) + \ldots\right] \approx \frac{4}{\pi}\widehat{V_{LO}}\cos(\omega_{LO} t) \qquad (۴)$$

V_{th_p} از رابطه (۵) محاسبه می‌شود:

$$V_{th_p} = V_{th_0} - \gamma\left(\sqrt{2\varphi_f} - \sqrt{2\varphi_f - V_{BS}}\right) \qquad (۵)$$

که ϕ_f پتانسیل سطح، γ ضریب اثر بدنه و V_{th_0} ولتاژ آستانه در حالت زیرلایه با بایاس صفر است. با در نظر گرفتن نصف مدار بهره تبدیل کل مخلوط کننده بدست می‌آید:

$$CG = \left(\frac{W}{L}\right)_c I_{D_0}\frac{1}{\pi}\frac{\gamma\widehat{V_{LO}}}{n^2 V_T^2\sqrt{2\varphi_f}}(g_{mn}+g_{mp})(R_D \| r_{o_c})\left(R_f \| r_{on} \| r_{op}\right) \qquad (۶)$$

$\widehat{V_{LO}}$ دامنه سیگنال LO، g_{mp} ،g_{mn} و r_{op} و r_{on} به ترتیب ترارسانایی NMOS، ترارسانایی PMOS، مقاومت خروجی NMOS و مقاومت خروجی PMOS ترانزیستورهای افزاینده g_m است. R_f مقاومت بازخورد برای پایدار نگه داشتن ولتاژ بایاس استفاده شده است. از رابطه (۶) مشخص است که افزایش دامنه سیگنال LO بهره تبدیل را افزایش می‌دهد. همچنین افزایش مقاومت بار به افزایش بهره تبدیل کمک می‌کند اما افزایش مقاومت بار سبب افزایش افت ولتاژ در درین ترانزیستورهای هسته می‌شود و مشکل سقف ولتاژ رخ می‌دهد. بنابراین محدوده نوسان ورودی را کاهش پیدا می‌کند. در نتیجه خطینگی کم می‌شود. بنابراین بایاس تقویت کننده IF با هسته مخلوط کننده از یکدیگر جدا شده اند و درجه آزادی برای بهینه سازی پارامترها میسر شده است.

غیر خطینگی یک ترانزیستور ماسفت سورس مشترک اصولا از ترارسانایی نشات می‌گیرد. با در نظر گرفتن تحلیل سیگنال کوچک، جریان درین ترانزیستور MOS به کمک سری تیلور[۱۱] تعریف می‌شود:

$$i_{ds} = g_m v_{sg} + \frac{g_m'}{2!}v_{sg}^2 + \frac{g_m''}{3!}v_{sg}^3 + \ldots \qquad (۷)$$

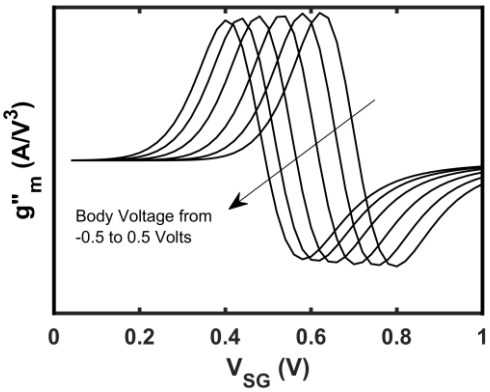
v_{sg} ولتاژ سورس-گیت سیگنال کوچک، g_m ترارسانایی، g_m' و g_m'' به ترتیب مشتق مرتبه اول و دوم ترارسانایی نسبت به v_{sg} هستند. IP3 مخلوط‌کننده را به طور تقریبی می‌توان تعریف کرد [۷].

$$IP3 = \sqrt{\frac{4}{3}\frac{g_m}{g_m''}} \qquad (۸)$$

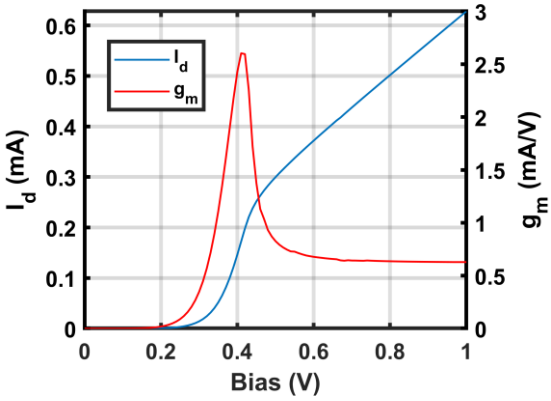
از معادله (۸) می‌توان نتیجه گیری کرد که برای دستیابی به IP3 زیاد باید g_m'' کمینه شود. شکل ۳ منحنی g_m'' نسبت به ولتاژ سورس گیت به ازای تغییرات ولتاژ بدنه یک ترانزیستور PMOS را نشان می‌دهد. در یک سطح معینی از ولتاژ سورس گیت، مقدار g_m'' به صفر می‌رسد. در مخلوط‌کننده UWB تزریق به بدنه پیشنهادی، بدلیل آنکه سیگنال بزرگ LO به بدنه ترانزیستور متصل است و ولتاژ آستانه را تغییر می‌دهد، g_m و به همین صورت g_m'' در زمان نیز تغییر می‌کنند. علاوه براین، بافر TIA نیز در تعیین خطینگی نقش دارد. بنابراین با ترسیم منحنی g_m'' نسبت به ولتاژ سورس گیت، نمی‌توان سطح ولتاژ سورس-گیت بهینه جهت کمینه کردن g_m'' را بدست آورد. در نتیجه ساده ترین راه حل آن است که IIP3 نسبت به تغییرات ولتاژ سورس گیت بدست آید و نقطه‌ای که IIP3 بیشینه می‌شود را پیدا کرد. شکل ۴ منحنی جریان و

[۱۱] Taylor Series

ترارسانایی ترانزیستورهای هسته را نشان می‌دهد. بدلیل وجود مقاومت بار، افزایش ولتاژ سورس باعث وارد شدن ترانزیستورهای هسته به ناحیه خطی می‌شود. در نتیجه تنظیم کردن نقطه بایاس ترانزیستورهای هسته درمحدوده V_{SG}=۰.۴V می‌تواند IP3 را افزایش دهد.



شکل۳. ترارسانایی مرتبه سوم نسبت به ولتاژ سورس قطعه MOS به ازای تغییرات ولتاژ بدنه



شکل۴. منحنی جریان درین و ترارسانایی یکی از ترانزیستورهای هسته به ازای تغییرات ولتاژ سورس

مخلوط کننده‌های تزریق به بدنه نویز بیشتری نسبت به ساختار گیلبرت از خود نشان می‌دهند. به دلیل اینکه سیگنال دامنه بزرگ نوسان‌ساز محلی مستقیما به بدنه متصل می‌شود و جریان نویز درین افزایش پیدا می‌کند [۱۷]. برای همین از ترانزیستورهای PMOS در هسته مخلوط کننده استفاده شده که ذاتا نسبت به نوع NMOS کم نویز تر هستند. استفاده از بار فعال در خروجی باعث افزایش بهره می‌شود اما از طرفی عدد نویز را افزایش می‌دهد. به همین دلیل از بار مقاومتی از جنس پالی که نویز کمی دارد بکار گرفته شده است [۲۲].

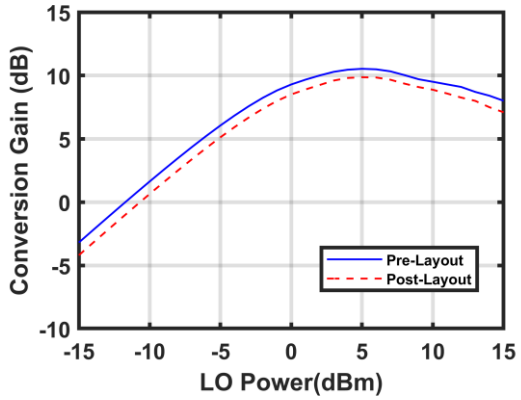
در ساختار تزریق به بدنه جداسازی بین بدنه و گیت توسط مقاومت بزرگ بین بدنه و گیت ایجاد می‌گردد و جداسازی بین بدنه و سورس و درین توسط مقاومت دیود بایاس معکوس اتصال pn حفظ می‌شود که در فرکانس‌های بالاتر اهمیت بیشتری پیدا می‌کنند. طراحی جانمایی قرینه به بهبود جداسازی بین دریچه‌ها کمک می‌کند [۲۳]. علاوه بر این، کاهش توان LO نیز جداسازی بین دریچه‌ها را افزایش می‌دهد اما بر بهره و عدد نویز اثر منفی می‌گذارد [۲۴].

نتایج شبیه‌سازی و پساجانمایی

شبیه سازی بر روی مخلوط کننده فراپهن باند فوق کم توان پیشنهادی، به‌وسیله نرم‌افزار کیدنس[۱۲] در محیط Spectre فناوری TSMC 180-nm CMOS انجام شده است و سپس طراحی جانمایی در محیط Virtuoso جهت شبیه سازی پساجانمایی صورت گرفت. درتمامی مراحل شبیه سازی، توان ورودی سیگنال RF = -۳۰dBm در محدوده فرکانسی ۱-۳GHz و فرکانس میانی ثابت ۱۰۰MHz تنظیم شده است. اندازه ترانزیستورهای هسته برابر با ۹۰/۰.۱۸ = (W/L) و مقاومت بار ۸۰۰Ω برای کارکرد در ناحیه وارونگی ضعیف انتخاب شده اند. مقدار ترانزیستورهای بافر IF با نسبت W_p/W_n = ۳ معادل $(W/L)_n$ = ۱۲/۰.۱۸ و $(W/L)_p$ = ۴۸/۰.۱۸ در نظر گرفته شده است. توان مصرفی کل مخلوط کننده به همراه بافرها ۲۵۰uW است.

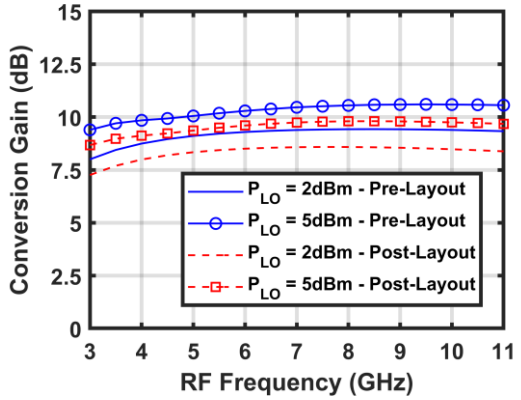
در شکل ۵ بهره تبدیل به ازای تغییرات توان سیگنال LO ترسیم شده است. از نمودار می‌توان نتیجه گیری کرد که در توان LO = ۵dBm بهره تبدیل بیشینه می‌گردد. همانطور که اشاره شد، در ساختار تزریق به بدنه در حالت اعمال سیگنال LO به بدنه، عمل کلیدزنی با تغییر ولتاژ آستانه ترانزیستور انجام می‌گردد و باعث خاموش و روشن شدن ترانزیستور می‌شود. به همین علت، سیگنال LO باید بزرگ باشد. در صورتی که سیگنال LO به گیت ترانزیستور و سیگنال RF به بدنه اعمال گردد، نیاز به توان LO بزرگ مخصوصا در ساختار PMOS به طرز چشمگیری کاهش پیدا می‌کند، اما نسبت به ساختار قبلی بهره تبدیل کاهش و عدد نویز افزایش پیدا می‌کند.

[۱۲] Cadence



شکل۵. بهره تبدیل شبیه سازی شده مخلوط کننده پیشنهادی نسبت به تغییرات توان سیگنال LO (RF Frequency = 6GHz)

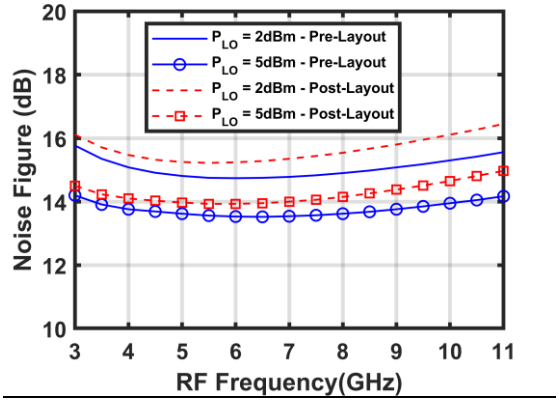
در شکل ۶ بهره تبدیل به ازای توان نوسان‌ساز محلی ۲dBm و ۵dBm شبیه سازی شده است. همانطور که مشاهده می‌شود، بهره تبدیل تخت در کل پهنای باند بدست آمده است.



شکل۶. بهره تبدیل شبیه سازی شده مخلوط کننده پیشنهادی

بیشینه بهره تبدیل از نتایج پساجانمایی به ازای توان LO ۲dBm و ۵dBm به ترتیب برابر ۸.۶dB و ۹.۸dB است. در شکل ۷ نیز بهره تبدیل در باند IF با تنظیم فرکانس RF ورودی ثابت ۶GHz ترسیم شده است. بدلیل وجود بافرها در خروجی، پهنای باند IF کاهش پیدا می‌کند که از طرفی قابلیت فیلتر پایین گذر را به همراه دارد. پهنای باند ۳–dB در باند IF حدود ۴۴۰MHz از نتایج شبیه سازی پساجانمایی بدست آمده است. شکل ۸ عدد نویز دوگانه باند جانبی[۱۳] مخلوط کننده طراحی شده، را نشان می‌دهد که در توان ۲dBm LO و ۵dBm کمینه عدد نویز به ترتیب برابر ۱۵.۳dB و ۱۴dB است.

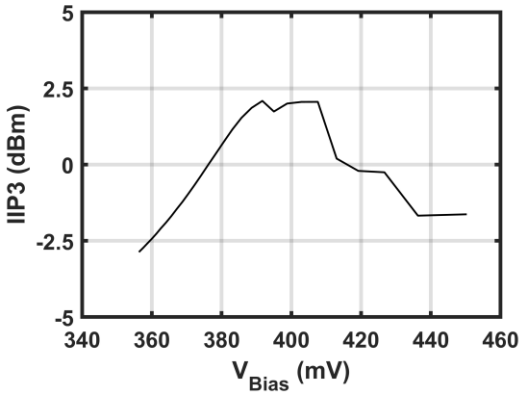
شکل۷. بهره تبدیل شبیه سازی شده در باند میانی مخلوط کننده پیشنهادی (RF Frequency = 6GHz)



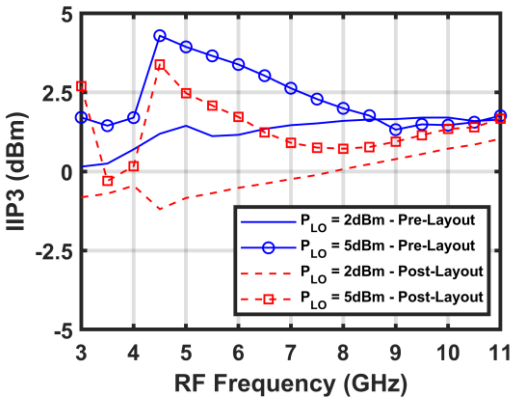
شکل۸. عدد نویز دوگانه باند جانبی شبیه سازی شده مخلوط کننده پیشنهادی

برای محاسبه IIP3 مخلوط‌کننده ارائه شده از آزمون دو نتی با فاصله 1MHz از یکدیگر شبیه سازی انجام گرفته است. شکل ۹ نتایج شبیه سازی IIP3 را نسبت به تغییرات ولتاژ سورس ترانزیستورهای هسته به هدف پیدا کردن بیشینه IIP3 نشان می‌دهد. از منحنی بدست آمده دریافت می‌شود که با تنظیم ولتاژ سورس-گیت ترانزیستورهای هسته در ولتاژ ۰.۴V، IIP3 به بیشترین مقدار خود می‌رسد. همچنین ترانزیستورهای هسته در ناحیه زیرآستانه به هدف کم کردن توان مصرفی قرار خواهند گرفت. در شکل ۱۰ IIP3 نسبت به تغییرات فرکانس ورودی RF رسم شده است. از نتایج شبیه‌سازی پساجانمایی بیشینه مقدار IIP3 به ازای توان ۲dBm LO و ۵dBm به ترتیب برابر ۱dBm و ۳.۴dBm بدست آمده است.. علاوه بر این، بدلیل ساختار تفاضلی، هارمونیک‌های زوج همدیگر را حذف می کنند که این امر به افزایش IIP3 کمک می‌کند.

[۱۳] Double Side-Band

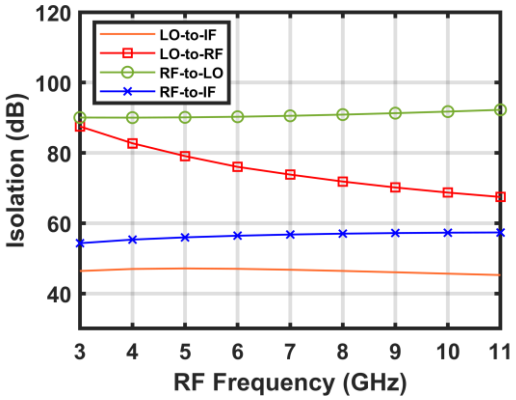


شکل۹. IIP3 شبیه سازی شده مخلوط کننده پیشنهادی نسبت به تغییرات ولتاژ سورس ترانزیستورهای هسته
(RF Frequency = 6GHz , LO Power = 2dBm)



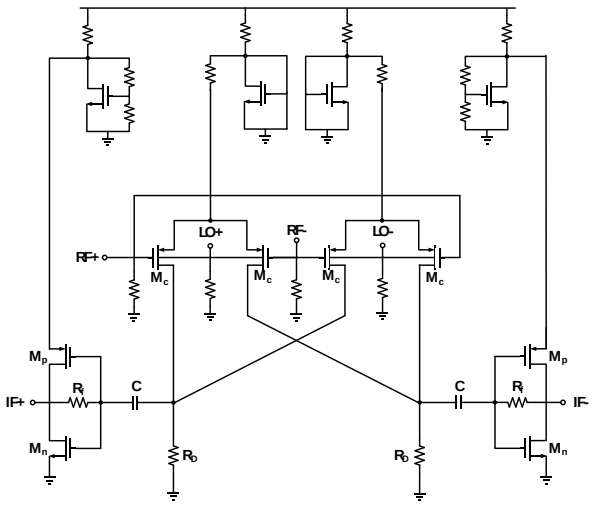
شکل۱۰. IIP3 شبیه سازی شده مخلوط کننده پیشنهادی نسبت به تغییرات فرکانس ورودی RF

شکل ۱۱ جداسازی دریچه به دریچه را نشان می‌دهد. جداسازی بین دریچه‌ها در مخلوط کننده ارائه شده، بهتر از ۴۳dB بدست آمده است.



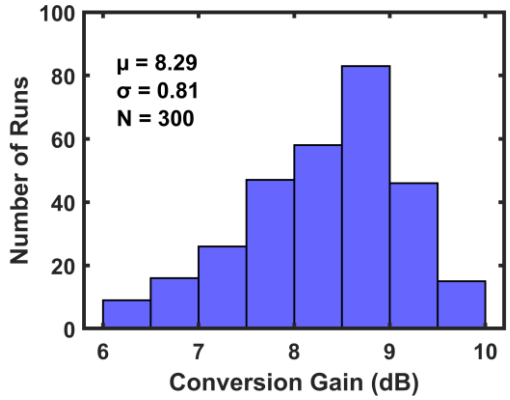
شکل۱۱. جداسازی دریچه به دریچه نتایج حاصل از پساجانمایی مخلوط کننده پیشنهادی

برای بررسی پایداری مخلوط‌کننده ارائه شده لازم است که پارامترهای کارایی در برابر تغییرات فرآیند، ولتاژ و دما بررسی شوند. بنابراین، از مدار مقسم ولتاژ فعال برای ایجاد منبع ولتاژ مقاوم در برابر تغییرات ولتاژ تغذیه استفاده شده است. شمای کامل مخلوط‌کننده پیشنهادی به همراه مدار منبع ولتاژ در شکل ۱۲ مشخص شده است.

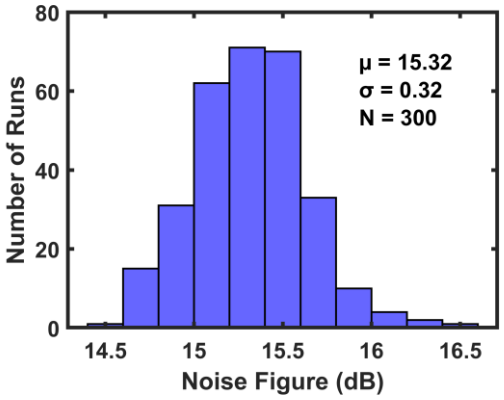


شکل۱۲. شماتیک کامل مخلوط کننده تزریق به بدنه پیشنهادی

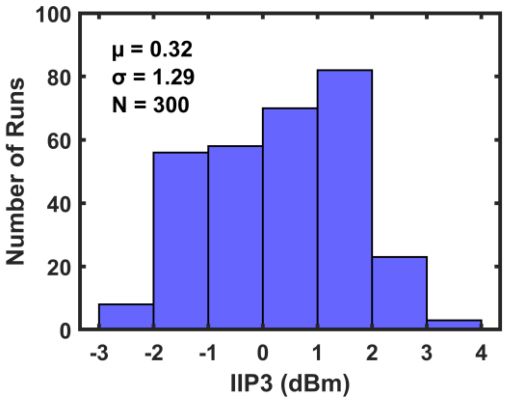
تحلیل مونت کارلو برای بررسی میزان حساسیت مخلوط‌کننده در برابر خطاهای عدم انطباق و دگرگونی‌های فرآیند ساخت انجام شده است. شکل ۱۳ نمودار هیستوگرام بهره تبدیل، عدد نویز و IIP3 حاصل از شبیه‌سازی مونت کارلو را نشان می‌دهد. برای هر پارامتر ۳۰۰ مرتبه شبیه سازی تکرار شده است. در فرکانس ورودی ۶GHz به ازای توان LO برابر ۲dBm در پساجانمایی، میانگین بهره تبدیل معادل ۸.۳dB، میانگین عدد نویز ۱۵.۳dB و میانگین IIP3 معادل ۰.۳dBm بدست آمده است.



(الف)



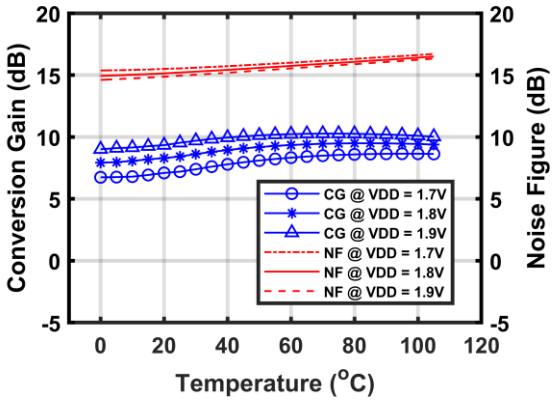
(ب)



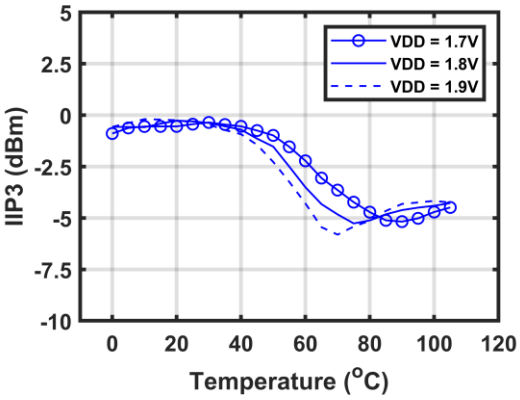
(پ)

شکل۱۳. تحلیل مونت کارلو بهره تبدیل (الف) عدد نویز (ب) و IIP3 (پ) مخلوط‌کننده تزریق به بدنه پیشنهادی

در دماهای مختلف و تغییرات ولتاژ تغذیه بهره‌تبدیل، عدد نویز و خطینگی در شکل ۱۴ نیز ترسیم شده است. از نمودارهای بدست آمده مشخص می‌شود که طرح پیشنهادی در برابر تغییرات فرآیند، ولتاژ و دما پایداری مناسب و قابل قبولی دارد.

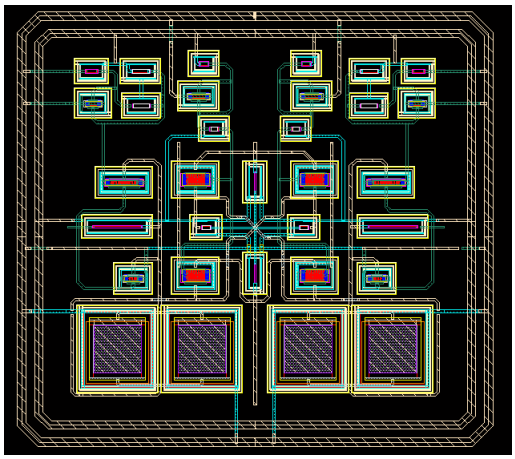


(الف)



(ب)

شکل۱۴. منحنی بهره تبدیل، عدد نویز (الف) و IIP3 (پ) مخلوط‌کننده تزریق به بدنه پیشنهادی نسبت به تغییرات ولتاژ و دما



شکل۱۵. جانمایی مخلوط‌کننده پیشنهادی

شکل ۱۵ جانمایی مخلوط‌کننده پیشنهادی طراحی شده را نشان می‌دهد. این قطعه مساحتی به اندازه ۲۰۰μm × ۲۱۷μm بدون در نظر گرفتن پد اشغال می‌کند. همانطور که از تصویر پیداست،برای بهبود جداسازی دریچه به دریچه و حذف هارمونیک‌های زوج ناشی از سیگنال‌های ورودی جانمایی کاملا قرینه ترسیم شده است.

عملکرد مخلوط کننده پیشنهادی در جدول ۱ خلاصه و با برخی از مطرح ترین کارهای مشابه مقایسه شده است. همچنین برای ارزیابی طرح پیشنهادی از معیار شایستگی متناسب با مخلوط‌کننده‌ها نیز بهره گرفته شده است، که تعریف می‌شود [۱۵] و [۱۸]:

$$FOM=10\log\left(\frac{10^{\frac{G}{20}}\times 10^{\frac{IIP3-10}{20}}}{10^{\frac{NF}{10}}\times P_{DC}}\right) \quad (۹)$$

G بهره تبدیل به dB، IIP3 به dBm، NF عدد نویز به dB و P_{DC} توان مصرفی DC به وات است. مخلوط کننده پیشنهادی نسبت به سایر طرح‌های مشابه ارائه شده از بیشترین معیار شایستگی برخوردار است.

نتیجه گیری

در این مقاله یک مخلوط کننده فراپهن باند فوق کم‌توان بدون سلف با استفاده از روش تزریق به بدنه ارائه گردید. نتایج شبیه سازی پساجانمایی نشان می‌دهد که با توان سیگنال نوسان ساز محلی ۵dBm بهره تبدیل بیشینه این مخلوط کننده ۹.۸dB، عدد نویز کمینه ۱۴dB، IIP3 بیشینه ۳.۴dBm و جداسازی پورت به پورت بهتر از ۴۳dB با توان مصرفی فوق العاده کم ۲۵۰µW در باند فرکانسی ۱۱GHz-۳ بدست آمده است.

جدول ۱. مقایسه مشخصات مخلوط‌کننده پیشنهادی با برخی از بهترین کارهای مشابه

Ref.	LO Power (dBm)	Frequency (GHz)	CG (dB)	IF (MHz)	DSB NF (dB)	IIP3 (dBm)	Power (mW)	Chip Area (mm^2)	Tech. (um)	FOM
[14]	13	10~35	-1~3	100	N/A	-4	6	0.240†	0.13	N/A
[15]	5	0.5~7.5	5.7	100	15	-5.7	0.48	0.036	0.18	13.19
[16]	8.7	1~6	7	100	13.5	0	0.63	0.011	0.18	17.01
[17]	5	0.2~13	9.9	264	11.7	-10	0.88	0.360†	0.18	13.81
[18]	0	0.5~6	6	100	15.2*	0	0.28	0.035	0.18	21.33
[23]	7	1~6	10~13	170	12~18	-4.5	3.45	0.544†	0.18	11.87
[25]	-1	1~10	15.5~17.5	250	4~5.2	-1.1	8.3	0.165	0.13	20.01
[26]	-3	3.1~10.6	9.8~14	264	14.5~19.6	-11	1.85	0.342†	0.13	9.33
This Work	2	3~11	7.3~8.6	100	15.3~16.5	-1.2~1	0.25	0.042	0.18	20.52
	5	3~11	9.8~8.7	100	13.9~15	-0.3~3.4	0.25	0.042	0.18	23.62.

* SSB Noise Figure
† Including Pads

مراجع

[1] Burasa, Pascal, Nicolas G. Constantin, and Ke Wu. "Low-Power Injection-Locked Zero-IF Self-Oscillating Mixer for High Gbit/s Data-Rate Battery-Free Active µRFID Tag at Millimeter-Wave Frequencies in 65-nm CMOS." *IEEE Transactions on Microwave Theory and Techniques* 64.4 (2016): 1055-1065.

[2] Pursula, Pekka, et al. "Millimeter-wave identification—A new short-range radio system for low-power high data-rate applications. " *IEEE Transactions on Microwave theory and techniques* 56.10 (2008): 2221-2228.

[3] Wang, Min, Shan He, and Carlos E. Saavedra. "+ 14 dB improvement in the IIP 3 of a CMOS active mixer through distortion cancellation." *2013 IEEE International Wireless Symposium (IWS)*. IEEE, (2013).

[4] Li, Chin-Fu, and Po-Chiun Huang. "A 4.8-mW 4-GHz CMOS class-B-like down-converter for harmonic mixing rejection." *IEEE transactions on microwave theory and techniques* 59.10 (2011): 2504-2512.

[5] Liang, Kung-Hao, et al. "A new linearization technique for CMOS RF mixer using third-order transconductance cancellation." *IEEE Microwave and wireless components letters* 18.5 (2008): 350-352.

[6] Rao, Pei-Zong, et al. "An ultra-wideband high-linearity CMOS mixer with new wideband active baluns." *IEEE Transactions on Microwave Theory and Techniques* 57.9 (2009): 2184-2192.

[7] Chen, Chih-Hao, Pei-Yuan Chiang, and Christina F. Jou. "A low voltage mixer with improved noise figure." *IEEE Microwave and wireless components letters* 19.2 (2009): 92-94.

[8] Dan, Song, and Zhang Xiaolin. "Low-voltage CMOS folded-cascode mixer." *Chinese Journal of Aeronautics* 23.2 (2010): 198-203.

[9] Chiou, Hwann-Kaeo, et al. "A 1-V 5-GHz self-bias folded-switch mixer in 90-nm CMOS for WLAN receiver." *IEEE Transactions on Circuits and Systems I: Regular Papers* 59.6 (2011): 1215-1227.

[10] Kim, Jong-Ha, Hee-Woo An, and Tae-Yeoul Yun. "A low-noise WLAN mixer using switched biasing technique." *IEEE microwave and wireless components letters* 19.10 (2009): 650-652.

[11] Hsieh, Hsieh-Hung, and Liang-Hung Lu. "Design of ultra-low-voltage RF frontends with complementary current-reused architectures."

IEEE transactions on microwave theory and techniques 55.7 (2007): 1445-1458.

[12] Ho, Stanley SK, and Carlos E. Saavedra. "A CMOS broadband low-noise mixer with noise cancellation." *IEEE Transactions on Microwave Theory and Techniques* 58.5 (2010): 1126-1132.

[13] Guo, Benqing, Huifen Wang, and Guoning Yang. "A wideband merged CMOS active mixer exploiting noise cancellation and linearity enhancement." *IEEE Transactions on Microwave Theory and Techniques* 62.9 (2014): 2084-2091.

[14] Kuo, Chun-Lin, et al. "A 10–35 GHz Low Power Bulk-DrivenMixer Using 0.13μm CMOS Process." *IEEE Microwave and Wireless Components Letters* 18.7 (2008): 455-457.

[15] Liang, Kung-Hao, Hong-Yeh Chang, and Yi-Jen Chan. "A 0.5–7.5 GHz Ultra Low-Voltage Low-Power Mixer Using Bulk-Injection Method by 0.18-μm CMOS Technology." *IEEE microwave and wireless components letters, vol. 17, no. 7, pp. 531-533, (2007).*

[16] Bhatt, Darshak, Jayanta Mukherjee, and Jean-Michel Redouté. "Low-power linear bulk-injection mixer for wide-band applications." *IEEE Microwave and Wireless Components Letters* 26.10 (2016): 828-830.

[17] Kim, Myoung-Gyun, et al. "A low-voltage, low-power, and low-noise UWB mixer using bulk-injection and switched biasing techniques." *IEEE Transactions on microwave theory and techniques* 60.8 (2012): 2486-2493.

[18] Liang, K-H., and H-Y. Chang. "0.5–6 GHz low-voltage low-power mixer using a modified cascode topology in 0.18 μm CMOS technology." *IET microwaves, antennas & propagation* 5.2 (2011): 167-174.

[19] Razavi, Behzad. *RF microelectronics*. Vol. 2. New York: Prentice Hall, (2012).

[20] Lee, Thomas H. *The design of CMOS radio-frequency integrated circuits*. Cambridge university press, (2003).

[21] Reynders, Nele, and Wim Dehaene. *Ultra-Low-Voltage Design of Energy-Efficient Digital Circuits*. Leuven: Springer, (2015).

[22] Kassiri, B. Hossein, and M. Jamal Deen. "Low power highly linear inductorless UWB CMOS mixer with active wideband input balun." *2013 IEEE International Wireless Symposium (IWS)*, pp. 1-4, (2013).

[23] Bhatt, Darshak, Jayanta Mukherjee, and Jean-Michel Redoute. "A Self-Biased Mixer in 0.18 μm CMOS for an Ultra-Wideband Receiver."*IEEE Transactions on Microwave Theory and Techniques* 65.4 (2017): 1294-1302.

[24] Yen, Wei-Han, Hsin-Yu Chang, and Sen Wang. "A conversion-gain enhanced ultra-wideband mixer with cross-coupled pair architecture." *2017 International Conference on Applied System Innovation (ICASI)*. IEEE, 2017.

[25] Li, Hao, Ahmed M. El-Gabaly, and Carlos E. Saavedra. "A low-power low-noise decade-bandwidth switched transconductor mixer with AC-coupled LO buffers." *IEEE Transactions on Circuits and Systems I: Regular Papers* 65.2 (2017): 510-521.

[26] Seo, Jeong-Bae, et al. "A low-power and high-gain mixer for UWB systems." *IEEE Microwave and Wireless Components Letters* 18.12 (2008): 803-805.