ارائه‌ی روشی برای دست‌یابی به مدولاتورهای دلتا–سیگمای مرتبه‌ی بالا با کوانتایزرهای دقت بالا

رضا محمدی[۱]
حسین شمسی[۲]

چکیده

در این مقاله، یک مدولاتوردلتا-سیگما با مرتبه‌ی چهار طراحی و شبیه‌سازی شده است. این مدولاتور از کوانتایزر چند بیتی استفاده می‌کند بدون آن‌که به مدارهای خطی‌ساز نیاز داشته باشد. مدولاتور طراحی شده از دو مدولاتور مرتبه‌ی ۲ تک بیتی در طبقات اول و دوم و یک مبدل آنالوگ به دیجیتال پایپ‌لاین ۸ بیتی در طبقه‌ی سوم تشکیل شده است. همچنین به منظور کاهش توان مصرفی طبقه‌ی آخر، فرکانس نمونه‌برداری این طبقه کاهش داده شده است. نحوه‌ی پیاده‌سازی روش کاهش نرخ نمونه‌برداری بر روی مدولاتور ارائه شده به گونه‌ای انجام شده است که منجر به حذف تعدادی از فیلترهای دیجیتال شده و صرفه‌جویی در مقدار توان مصرفی بخش دیجیتال را رقم می‌زند. ساختار ارائه شده به صورت رفتاری با استفاده از نرم‌افزارMATLAB/SIMULINK شبیه‌سازی شده است. در نهایت به منظور ارزیابی دقیق‌تر و مقایسه با ساختارهای دیگر، تخمینی از توان مصرفی در فرکانس ۴۰ مگاهرتز ارائه شده است.

کلیدواژه

شکل‌دهی طیف نویز، مدولاتور دلتا-سیگما، مبدل آنالوگ به دیجیتال پایپ‌لاین، نرخ فرانمونه-برداری

---

[۱] دانشجوی کارشناسی ارشد برق، دانشگاه صنعتی خواجه نصیرالدین طوسی، r.mohammadi@ee.kntu.ac.ir
[۲] استادیار دانشکده برق، دانشگاه صنعتی خواجه نصیرالدین طوسی
تاریخ دریافت: ۲۹ بهمن ۱۳۹۱ تاریخ پذیرش: ۱۸ خرداد ۱۳۹۲

مقدمه

مدولاتورهای دلتا-سیگما[۳] گزینه‌ای مناسب برای کاربردهای بادقت بالا و پهنای باند متوسط به پایین می‌باشند. افزایش پهنای باند در این مدولاتورها منجر به افزایش توان مصرفی وکاهش دقت مدولاتور خواهد شد که این موضوع به عنوان یک چالش مهم در طراحی این مدولاتورها محسوب می‌شود. افزایش نرخ فرانمونه‌برداری[۴] روشی برای دستیابی به دقت‌های بالا به شمار می‌آید، اما نرخ فرانمونه‌برداری بالا منجر به کاهش پهنای باند خواهد شد[۱].

مبدل‌های آنالوگ به دیجیتال پایپ‌لاین[۵] برای دقت‌های متوسط و سرعت متوسط به بالا طراحی می‌شوند. عامل محدود کننده‌ی دقت در مبدل‌های پایپ‌لاین، عدم تطابق خازن‌های داخل مدار می‌باشد که برای رفع این مشکل از مدارهای کالیبراسیون استفاده می‌شود. این مدارها منجر به افزایش سطح تراشه و درنتیجه افزایش توان مصرفی می‌شوند[۲].
استفاده از ساختار پیوندی (هیبرید)[۶] دلتا-سیگما-پایپ‌لاین که اخیرا مورد توجه قرار گرفته است، مصالحه‌ای بین چالش‌های یاد شده برقرار می‌کند[۳]،[۴]. این ساختار برای کاربردهای پهن باند (نرخ فرانمونه برداری پایین) مناسب است. این ساختار، از یک مدولاتور دلتا-سیگمای تک حلقه[۷] در طبقه‌ی اول و یک مبدل آنالوگ به دیجیتال پایپ‌لاین در طبقه‌ی دوم به عنوان کوانتایزر[۸] خارجی، تشکیل شده است[۳-۴]. با توجه به اینکه در مدولاتور فوق از یک مدولاتور تک حلقه استفاده شده است ضروری است که به محدودیت‌های مدولاتور تک حلقه اشاره شود. در مدولاتورهای تک حلقه، برای افزایش مرتبه‌ی مدولاتور با مشکل پایداری مواجه هستیم و برای غلبه بر این مشکل بایستی از کوانتایزر داخلی چند بیتی در حلقه‌ی مدولاتور استفاده کنیم. استفاده از کوانتایزر چند بیتی در حلقه‌ی مدولاتور به این معناست که طراح بایستی در مسیر بازخورد از یک مبدل دیجیتال به آنالوگ[۹](DAC) چند بیتی استفاده کند. مبدل‌های دیجیتال به آنالوگ چند بیتی مشکل خطینگی[۱۰] داشته و خطای ناشی از آن‌ها توسط مدولاتور تضعیف نمی-شود. این خطا به همراه سیگنال ورودی در خروجی مدولاتور ظاهر می‌شود. بنابراین، DAC مورد استفاده باید دقتی معادل با دقت کل مدولاتور داشته و به این میزان خطی باشد. به منظور خطی

---

[۳] Delta-Sigma Modulators
[۴] Over Sampling Ratio (OSR)
[۵] Analog-to-Digital Converter
[۶] Hybrid
[۷] Single-Stage
[۸] Quantizer
[۹] Digital-to-Analog Converter (DAC)
[۱۰] Linearity

سازی DAC از روش تطبیق‌دهی دینامیکی اجزای مدار[۱۱](DEM) استفاده می‌شود که منجر به افزایش توان مصرفی و سطح تراشه خواهد شد[۵]، [۶].

این مقاله، روشی برای امکان دستیابی به مدولاتور دلتا-سیگمای مرتبه‌ی بالای ذاتا پایدار با کوانتایزر چند بیتی، بدون نیاز به مدارهای خطی‌ساز راپیشنهاد می‌کند. برخلاف ساختارهای متداولدلتا-سیگما-پایپ‌لاین، در این روش برای افزایش مرتبه‌ی مدولاتور، همانند ساختارهای با حلقه‌های متعدد شکل‌دهی طیف نویز[۱۲] (MASH)، از مدولاتورهای با مرتبه‌ی پایین که ذاتاً پایدار می‌باشند، استفاده می‌شود. در مدولاتور طراحی شده از دو مدولاتور مرتبه‌ی دو تک‌بیتی در طبقات اول و دوم و یک مبدل آنالوگ به دیجیتال پایپ‌لاین ۸ بیتی به عنوان کوانتایزر خارجی در طبقه‌ی سوم استفاده شده است.

پس از معرفی ساختار پیشنهادی، فرکانس نمونه‌برداری مبدل پایپ‌لاین کاهش داده شده است بدون آن‌که در عملکرد کل مدولاتور اختلال ایجاد شود[۷].کاهش نرخ نمونه برداری در مدولاتور ارائه شده به گونه‌ای انجام می‌شود که منجر به حذف تعدای از فیلترهای دیجیتال شده و علاوه بر کاهش توان مصرفی قسمت آنالوگ، صرفه‌جویی در مقدار توان مصرفی بخش دیجیتال را نیز رقم زده است.

در ادامه‌ی مقاله پس از بخش دوم که مروری بر تحقیقات انجام شده می‌باشد، در بخش سوم مدولاتور با مرتبه‌ی ۲-۲-۰ پیشنهادی ارائه شده است. در بخش چهارم، ساختار ارائه شده با نرخ نمونه برداری کاهش داده شده در قسمت پایپ‌لاین مطرح شده است. در بخش پنجم نتایج شبیه-سازی‌های مورد بحث و بررسی قرار گرفته است. بخش ششم به مقایسه‌ی سخت‌افزار و توان مصرفی ساختار ارائه شده با ساختارهای متداول پرداخته و نهایتا بخش آخر نتیجه‌گیری از این مقاله را بیان می‌کند.

ساختارهای متداول

در این بخش، ابتدا به معرفی مدولاتورهای دلتا-سیگما و دلتا-سیگما-پایپ‌لاین پرداخته می‌شود. پس از آن، ساختار با نرخ نمونه‌برداری کاهش داده شده در قسمت کوانتایزر خارجی معرفی شده و مزایا و معایب آن مورد بررسی قرار می‌گیرد.

---

[۱۱] Dynamic Element Matching (DEM)

[۱۲] Mult- stAge noise SHaping (MASH)

مدولاتورهای دلتا-سیگمای تک طبقه و چند طبقه

شکل ۱ معماری یک مدولاتور دلتا-سیگما با کوانتایزر چند بیت را نشان می‌دهد. معادلات حاکم بر این مدولاتوردر روابط زیر بیان شده‌اند.

$$Y_{out}(z)=\frac{H(z)}{1+H(z)}X(z)+\frac{1}{1+H(z)}Q(z) \quad (۱)$$

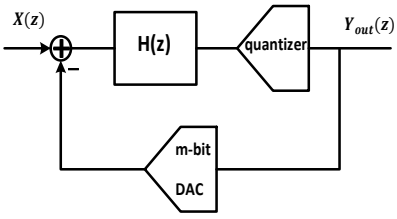
$$STF(z)=\frac{Y_{out}(z)}{X(z)}=\frac{H(z)}{1+H(z)}Q(z) \quad (۲)$$

$$NTF(z)=\frac{Y_{out}(z)}{Q(z)}=\frac{1}{1+H(z)}Q(z) \quad (۳)$$

در روابط بالا، STF تابع تبدیل سیگنال[۱۳]، H(z) فیلتر حلقه، NTF تابع تبدیل نویز[۱۴] می‌باشد. به منظور شکل‌دهی طیف نویز، فیلتر حلقه را طوری انتخاب می‌کنند که اندازه‌ی آن در پهنای باند مورد نظر بی‌نهایت شود. با این انتخاب، در محدوده‌ی فرکانسی مورد نظر مقدارSTF برابر واحد و مقدارNTF برابر صفر می‌شود[۸]، [۹].

یکی از روش‌های تحقق مدولاتورهای دلتا-سیگما، استفاده از ساختار متوالی یا شکل‌دهی طیف نویز چند طبقه است. در این نوع از پیاده‌سازی، مدولاتورهای مرتبه‌ی بالاتر با استفاده از مدولاتورهای با مرتبه پایین‌تر محقق می‌شوند. این روش دو مزیت اساسی دارد:۱- باتوجه به اینکه هر حلقه‌ی مجزا از پایداری ذاتی برخوردار است، لذا کل مدولاتور نیز پایدار خواهد بود.

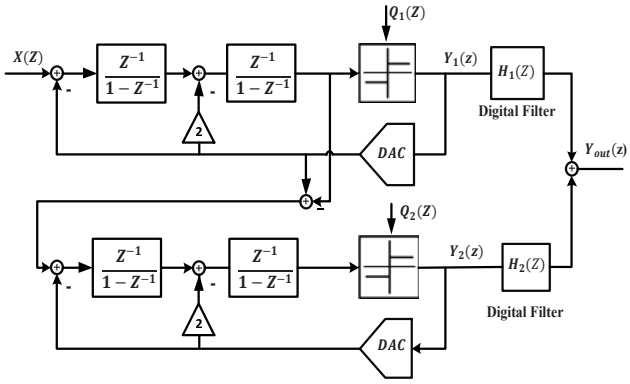
۲- با این روش می‌توان به مدولاتورهای مرتبه‌ی بالا با کوانتایزرهای تک‌بیتی دست یافت. شکل ۲ ساختار یک مدولاتور مرتبه‌ی چهار متشکل از دو مدولاتور مجزای مرتبه‌ی دو را نشان می‌دهد. در اثر ترکیب دو مدولاتور مجزای مرتبه‌ی دوم، شکل‌دهی طیف نویز کوانتیزاسیون در حالت ایده‌آل همانند یک مدولاتور مرتبه‌ی چهارم می‌باشد.



شکل ۱. مدولاتور دلتا-سیگما با کوانتایزر چند بیت[۸]

---

[۱۳] Signal Transfer Function
[۱۴] Noise Transfer Function



شکل۲. مدولاتور مرتبه‌ی چهار متشکل از دو مدولاتور مرتبه‌ی دو[۱۰]

از معایب این نوع مدولاتورها می‌توان به حساسیت به محدودیت‌های مداری و همچنین مشکلات طراحی فیلتر دیجیتال به علت ورودی چند بیتی آن اشاره کرد که منجر به کاهش عملکرد مدولاتور می‌شوند[۸]، [۱۰]، [۱۱].

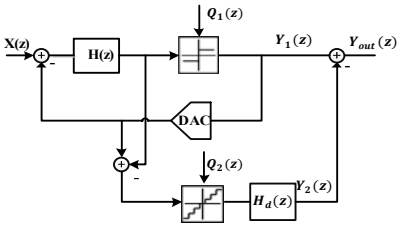
روابط زیر توصیف ریاضی حوزه‌ی Z مدولاتور مذکور را نشان می‌دهند.

$$Y_{out}(z) = H_1(z)Y_1(z) + H_2(z)Y_2(z) \qquad (۴)$$

پس از انجام محاسبات و فرض $H_1(z) = Z^{-2}$ و $H_2(Z) = -(1-Z^{-1})^2$ خواهیم داشت:

$$Y_{out}(z) = Z^{-2}X(z) + (1-Z^{-1})^4 Q_2(z) \qquad (۵)$$

با فرض این‌که بین فیلترهای آنالوگ و دیجیتال تطابق کامل وجود داشته باشد، مشاهده می‌شود که نویز طبقه‌ی اول حذف شده و فقط طیف نویز طبقه‌ی آخرکه آن هم با مرتبه‌ی چهار شکل‌دهی می‌شود در خروجی ظاهر خواهد شد. در روابط بالا $X(z)$ و $Y(z)$ به ترتیب ورودی و خروجی مدولاتور کلی، $Y_1(z)$ و$Y_2(z)$ خروجی‌های مدولاتورهای طبقه اول و دوم می‌باشند. $H_1(z)$ و $H_2(z)$ به ترتیب، فیلترهای دیجیتال طبقه‌ی اول و دوم ، $Q_1(z)$ و $Q_2(z)$ نویز کوانتیزاسیون کوانتایزر اول و دوم می‌باشند.



شکل۳. ساختار مدولاتور دلتا-سیگما-پایپ‌لاین[۳]

مدولاتورهای دلتا-سیگما-پایپ‌لاین

به دلیل سرعت بالای مبدل‌های آنالوگ به دیجیتال فلش[۱۵]، کوانتایزر داخلی مدولاتورهای دلتا-سیگما را از این نوع انتخاب می‌کنند. با افزایش دقت کوانتایزر، دو چالش مهم پیش روی طراحان قرار می‌گیرد: ۱- با توجه به اینکه سخت‌افزار مبدل‌های فلش به ازای هر بیت افزایش دقت، دو برابر می‌شود، بنابراین نمی‌توان از مبدل فلش با دقت بالا استفاده کرد (معمولا کمتر از ۶ بیت استفاده می‌شود). ۲- چالش‌های طراحی DAC در شاخه بازخورد و مشکلات غیرخطینگی[۱۶] آن پدیدارخواهد شد[۴]. مبدل دلتا-سیگما-پایپ‌لاین برای غلبه بر چالش‌های یادشده و همچنین برقراری مصالحه بین مزیت‌های مبدل‌های دلتا-سیگما و پایپ‌لاین ارائه شده است[۱]، [۲]، [۴]. ساختار این نوع مدولاتور و روابط حاکم بر آن در حوزه‌ی Z به ترتیب در شکل۳و معادلات (۶) تا (۹) بیان شده است. با توجه به معادلات حوزه‌ی Z، در صورتی که تطابق کامل در NTF حلقه و فیلتر دیجیتال $H_d(z)$ وجود داشته باشد، اثر خطای کوانتیزاسیون مبدل فلش حذف شده و خطای کوانتیزاسیون مبدل پایپ‌لاین در خروجی ظاهر خواهد شد. بنابراین، می‌توان با افزایش دقت کوانتایزر پایپ‌لاین به SNR بالاتری دست یافت بدون این‌که به DAC با دقت بالا نیاز باشد[۳].

$$Y_1(z) = STF_1(z)X(z) + NTF_1(z)Q_1(z) \quad (۶)$$

$$Y_2(z) = H_d(z)[Q_1(z) + Q_2(z)] \quad (۷)$$

$$Y_{out}(z) = Y_1(z) - Y_2(z) \quad (۸)$$

اگر $H_d(z) = NTF_1(z)$ باشد:

$$Y_{out}(z) = STF_1(z)X(z) + H_d(z)Q_2(z) \quad (۹)$$

---

[۱۵] Flash

[۱۶] Non-linearity

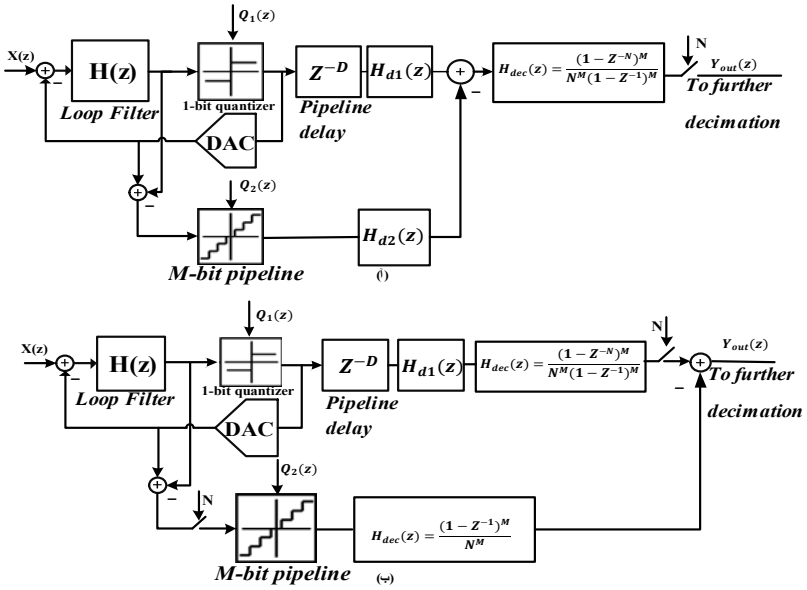
ساختار با نرخ نمونه برداری کاهش داده شده

شکل۴- الف معماری یک مدولاتور دلتا-سیگما با کوانتایزر خارجی چند بیتی به همراه طبقه‌ی اول فیلتر را نشان می‌دهد. این فیلتر که یک فیلتر از نوع سینک[۱۷] است به منظور حذف نویز خارج از باند و کاهش نرخ کاری به نرخ نایکوئیست استفاده می‌شود. شکل۴-ب ساختار با نرخ نمونه‌برداری کاهش داده شده در قسمت پایپ‌لاین را نشان می‌دهد. این ساختار، با ترکیب کردن فیلتر یک-دهی[۱۸]از نوع سینک[۱۹] با فیلتر دیجیتال استفاده شده در طبقه‌ی دوم،$H_d(z)$، امکان کاهش نرخ نمونه‌برداری کوانتایزر خارجی را فراهم می‌آورد. اگر مخرج کسر تابع تبدیل فیلتر یک‌دهی و$H_d(z)$ برابر باشند، در این صورت مخرج کسر تابع تبدیل فیلتر یک‌دهی فیلتر $H_d(z)$ را حذف خواهدکرد. در این حالت می‌توان عملیات کاهش نمونه‌برداری را همانند شکل ۴-ب، به قبل از کوانتایزر چند بیت آورد. این کار منجر به کاهش نرخ نمونه‌برداری کوانتایزر خارجی شده و در نتیجه صرفه‌جویی در توان و مساحت تراشه را رقم می‌زند[۱۲]. برای اینکه بتوان ساختار دلتا-سیگما-پایپ‌لاین با نرخ نمونه برداری کاهش داده شده را پیاده‌سازی‌کرد، اولاً باید مدولاتور و فیلتر یک‌دهی را با هم و به صورت یک‌جا در نظر گرفت. ثانیاً، برای این‌که ساده‌سازی‌های مذکور امکان‌پذیر باشد، مرتبه‌ی فیلتر یک‌دهی باید با مرتبه‌ی مدولاتور برابر باشد. تابع تبدیل فیلتر یک‌دهی از نوع سینک برای مدولاتور مرتبه‌یM که نرخ اطلاعات را N برابر کاهش می‌دهد، در رابطه‌ی زیر بیان شده است.

$$H_{dec}(z)=\frac{(1-Z^{-N})^{M'}}{N^{M'}(1-Z^{-1})^{M'}} \qquad (۱۰)$$

که در آن $M'>M$ می‌باشد. برای اینکه بتوان فرایند کاهش نمونه‌برداری را بدون کاهش SNR انجام داد باید مرتبه‌ی فیلتر یک‌دهی، حداقل یک مرتبه از مرتبه‌ی مدولاتور بیشتر باشد[۱۳].

[۱۷] SINus Cardinals
[۱۸] Decimation Filter
[۱۹] Sinc



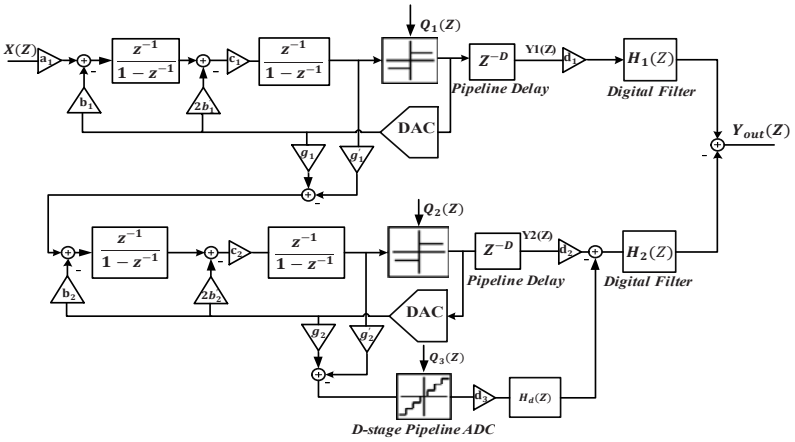
شکل۴. ساختار دلتا-سیگما-پایپ‌لاین الف) به همراه فیلتر یک‌دهی ، ب) به همراه فیلتر یک‌دهی و با نرخ فرانمونه-برداری کاهش داده شده [۱۴]

همان‌طور که گفته شد، برای اینکه بتوان در ساختار دلتا-سیگما پایپ‌لاین نرخ نمونه‌برداری مبدل پایپ‌لاین را کاهش داد، باید $M' = M$ باشد. این کار توان نویز خروجی را N برابر کرده و باعث افزایش سطح نویز در خروجی مدولاتور می‌شود. همچنین این مساله نیز مطرح می‌باشد که با دو برابر کردن N، نویز کوانتیزاسیون سفید در کوانتایزر دوم دو برابر شده و بنابراین میزان SNR اندکی کاهش می‌یابد[۱۲]، [۱۴]،[۱۵].

مدولاتور با مرتبه‌ی ۲-۲-۰ پیشنهادی

در این بخش، یک مدولاتور دلتا-سیگما-پایپ‌لاین با مرتبه‌ی ۲-۲-۰ پیشنهاد می‌شود. معماری مدولاتور ارائه شده، در شکل۵ و ضرایب آن در شکل ۵ آورده، بیان شده است. لازم به ذکر است که اگر مقدار تمام این ضرایب برابر واحد باشد، در عملکرد مدولاتور اختلال ایجاد نخواهد شد ولیکن پیاده‌سازی مداری مدولاتور به جهت دامنه نوسانات زیاد آن مشکل خواهد شد. این ساختار از دو مدولاتور مرتبه‌ی دو با کوانتایزر تک‌بیتی در طبقات اول و دوم و یک مبدل آنالوگ به دیجیتال

پایپ‌لاین ۸ بیتی به عنوان کوانتایزر خارجی استفاده می‌کند. ساختار ارائه شده امکان پیاده‌سازی مدولاتور دلتا-سیگمای مرتبه‌ی چهار با کوانتایزر ۸ بیت بدون نیاز به DAC چند بیتی و مدارهای DEMرا مطرح می‌کند. معادلات (۱۱) تا (۱۶) روابط حوزه‌یZ این مدولاتور با فرض ضرایب واحد را نشان می‌دهند.



شکل۵. معماری مدولاتور با مرتبه‌ی ۲-۲-۰

جدول۱. ضرایب مدولاتور ارائه شده

۰/۲۵	۰/۲۵	۰/۲۵	۰/۲۵	۰/۲۵	۰/۵	۰/۵
۰/۴۲	۰/۰۵۲۵	۰/۲۱	۱/۶۸	۱	۴/۷۶۱۹	۴/۷۶۱۹

$$Y_{out}(z)=[H_1(z)Y_1(z)+H_2(z)Y_2(z)]Z^{-D} \quad (۱۱)$$

$$Y_1(z)=[STF_1(z)X(z)+NTF_1(z)Q_1(z)]Z^{-D}=[Z^{-1}X(z)+(1-Z^{-1})^2Q_1(z)]Z^{-D} \quad (۱۲)$$

$$Y_2(z)=\{STF_2(z)Q_1(z)+[NTF_2(z)-H_d(z)]Q_2(z)+H_d(z)Q_3(z)\}Z^{-D} \quad (۱۳)$$

اگر تطابق کامل بین قسمت‌های آنالوگ و دیجیتال وجود داشته و همه‌ی بخش‌ها ایده‌آل فرض شود و همچنین :

$$NTF_2(z)=H_d(z)=(1-Z^{-1})^2 \quad (۱۴)$$

در این صورت:

$$Y_2(z)=[STF_2(z)Q_1(z)+H_d(z)Q_3(z)]Z^{D}=[Z^{-1}Q_1(z)+(1-Z^{-1})^2Q_3(z)]Z^{-D} \quad (۱۵)$$

در نهایت، اثر خطای کوانتایزرهای طبقه اول و دوم حذف شده و فقط خطای کوانتایزر طبقه‌ی آخر در خروجی ظاهر خواهد شد که آن هم با مرتبه چهار شکل‌دهی شده است.

$$Y_{out}(z) = Z^{-2}X(z) + (1-Z^{-1})^4 Q_3(z) \qquad (۱۶)$$

در روابط بالا $H_1(z) = Z^{-1}, H_2(z) = -(1-Z^{-1})^2$ فرض شده‌اند. D تعداد طبقات مبدل پایپ‌لاین یا میزان تأخیر آن است. $Q(z)$ مقدار خطای کوانتایزرها و $H_d(z)$ فیلتر دیجیتال استفادهشده در قسمت پایپ‌لاین است. حال با فرض عدم تطابق بین فیلتر دیجیتال استفاده شده در طبقه‌ی پایپ-لاین و NTF طبقه‌ی دوم که به صورت آنالوگ پیاده‌سازی می‌شود ($\boldsymbol{NTF_2(z) \neq H_d(z)}$)، و با بازنویسی روابط بالا خواهیم داشت:

$$Y_{out}(z) = Z^{-2}X(z) + [NTF_2(z) - H_d(z)](1-Z^{-1})Q_2(z) + (1-Z^{-1})^4 Q_3(z) \qquad (۱۷)$$

همان‌طور که مشاهده می‌شود، خطای ناشی از این عدم تطابق با مرتبه‌ی دو تضعیف شده و اثر آن درخروجی کمتر شده است. تضعیف اثر این عدم تطابق بین NTF طبقه‌ی دوم و فیلتر دیجیتال $H_d(z)$، منجر به آسان شدن طراحی مدارهای آنالوگ در این طبقه خواهد شد. لازم به ذکر است که عدم تطابق بین فیلتر دیجیتال طبقه‌ی پایپ‌لاین و NTF مدولاتور دلتا-سیگما در مدولاتورهای متداول دلتا-سیگما-پایپ‌لاین مهمترین چالش طراحی بوده که اثر آن در مدولاتور پیشنهادی به دلیل تضعیف با مرتبه‌ی دو بسیار کمتر شده است. لازم به یادآوری می‌باشد که در مدولاتور پیشنهادی اثر نشتی خطای کوانتیزاسیون ناشی از عدم تطابق در بخش دیجیتال و آنالوگ در طبقه اول که از معایب ذاتی ساختار MASH می‌باشد، چالش طراحی محسوب می‌گردد.

ساختار ارائه شده با نرخ نمونه‌برداری کاهش داده شده

ساختار دلتا-سیگما-پایپ‌لاین با نرخ فرانمونه‌برداری کاهش داده شده در قسمت پایپ‌لاین، در بخش قبل توضیح داده شد. در این بخش، امکان کاهش نرخ نمونه‌برداری در قسمت پایپ‌لاین بر روی ساختار پیشنهادی بیان شده است. نحوه‌ی کاهش نرخ نمونه‌برداری و ساده‌سازی‌های انجام شده بر روی مبدل فرانمونه بردار دلتا-سیگما پایپ‌لاین مرتبه‌ی ۲-۲-۰ به وضوح در شکل۶ تبیین

شده است. رابطه‌ی زیر تابع انتقال طبقه اول فیلتر یک‌دهی که یک فیلتر از نوع سینک است را نشان می‌دهد.

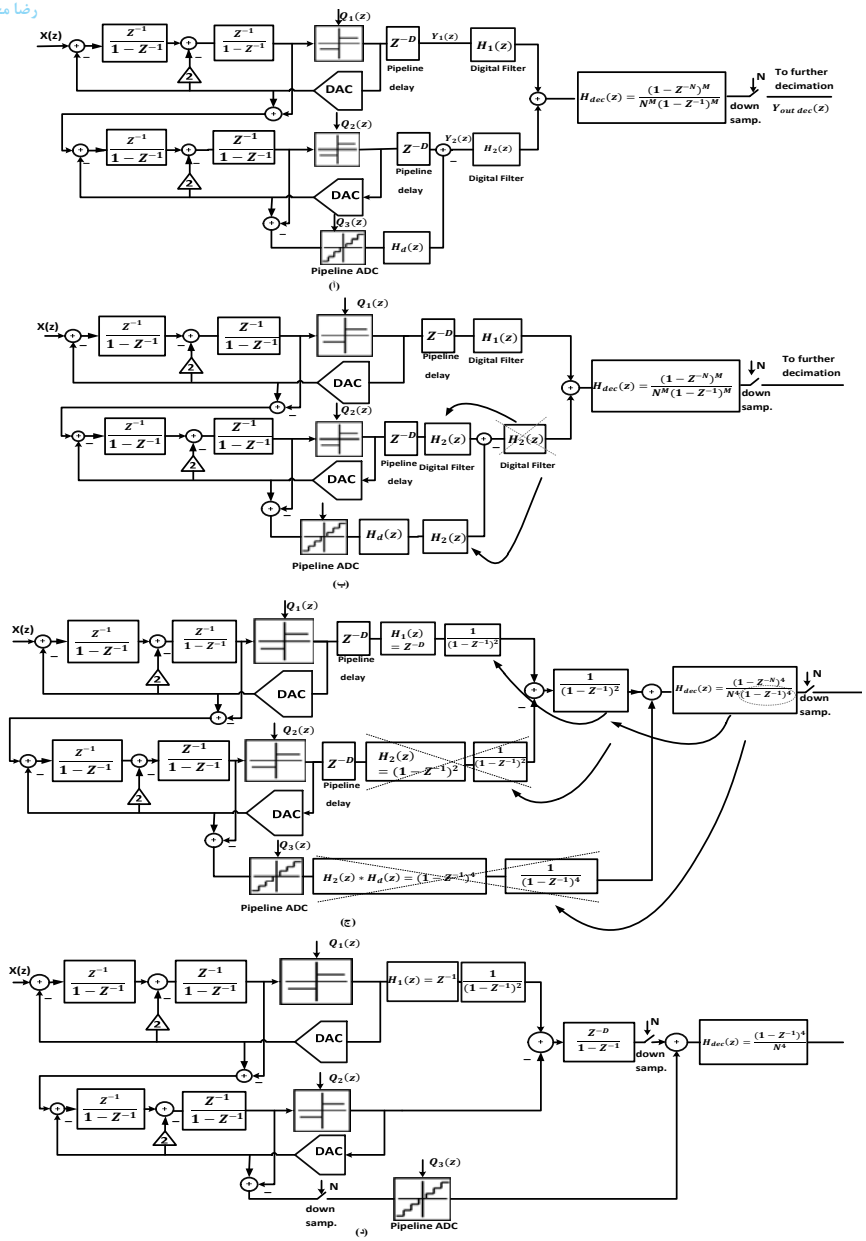
$$H_{dec}(z)=\frac{(1-Z^{-N})^{M'}}{N^{M'}(1-Z^{-1})^{M'}} \qquad (۱۸)$$

در رابطه‌ی بالا، M' برابر با مرتبه‌ی مدولاتور دلتا-سیگما یعنی ۴ است و N میزان کاهش نرخ نمونه برداری می‌باشد. کاهش نرخ نمونه‌برداری توسط فیلتر سینک می‌تواند از فرکانس نمونه‌برداری تا ۴ برابر فرکانس ورودی یا همان دو برابر نرخ نایکوئیست باشد. شکل ۶-الف معماری مدولاتور پیشنهادی به همراه فیلتر سینک را نشان می‌دهد. مخرج فیلتر سینک یعنی $\frac{1}{(1-Z^{-1})^4}$ با توجه به خاصیت سیگنال‌های خطی، می‌تواند تجزیه شده و همان‌طور که شکل‌های ب و ج نشان می‌دهند، در طبقه دوم با فیلتر $H_2(Z)$ و در طبقه سوم با حاصل ضرب $H_2(Z)$ و$H_d(Z)$ ساده شود. نهایتا، کاهش نرخ نمونه‌برداری می‌تواند در طبقه‌ی آخرهمانند شکل۶-د به قبل از مبدل پایپ‌لاین منتقل‌شده و منجر به کاهش فرکانس کاری این مبدل شود. روش پیاده‌سازی بهینه‌ی ارائه شده دارای مزایای قابل قبولی در ازای از دست دادن اندکی SNR است که به آن‌ها اشاره می‌شود: ۱.حذف فیلتر دیجیتال طبقه دوم ،$H_2(Z)$۲. حذف فیلتر دیجیتال $H_d(z)$ ۳.کاهش فرکانس نمونه برداری کوانتایزر پایپ‌لاین که منجر به کاهش توان، مساحت و همچنین طراحی آسان‌تر خواهد شد. ۴. حذف N-1 سلول تأخیر در فیلتر یک‌دهی. مطالب بیان شده به صورت ریاضی در روابط ۱۹ و ۲۰ آورده شده است:

$$\begin{aligned}Y_{out}(z)_{decimated}=&H_{dec}(z)\{H_1(z)[STF_1(z)X(z)+NTF_1(z)Q_1(z)]\\&+H_2(z)[STF_2(z)Q_1(z)+NTF_2(z)Q_2(z)-H_d(z)Q_2(z)-H_d(z)Q_3(z)]\}\end{aligned} \qquad (۱۹)$$

$$Y_{out}(z)_{decimated}=\frac{(1-Z^{-N})^4}{N^4}Z^{-D}[\frac{1}{(1-Z^{-1})^4}Z^{-2}X(z)+Q_3(z)] \qquad (۲۰)$$

در این روابط $\mathbf{Y_{out}(z)_{decimated}}$، خروجی مدولاتور بعد از اولین کاهش نرخ یا همان میانگین‌گیری می‌باشد.



شکل۶. نحوه‌ی پیاده‌سازی معماری ارائه شده با نرخ نمونه‌برداری کاهش داده شده

نتایج شبیه‌سازی‌ها

در این بخش، نتایج شبیه‌سازی‌های انجام شده با استفاده از نرم‌افزار MATLAB/SIMULINK بیان شده است. برای مدل‌سازی رفتاری و شبیه‌سازی‌ها در سطح سیستم و نحوه‌ی مدل‌کردن مشکلات مدارهای آنالوگ و عدم تطابق آنها با مدارهای دیجیتال از مراجع[۱۰-۱۱]، [۱۶-۲۲] استفاده شده است. برای بررسی تاثیر محدودیت‌های پیاده‌سازی مداری، ۰/۱ درصد عدم تطابق ضرایب مدولاتور که ناشی از عدم تطابق بین خازن‌های مدار است در نظر گرفته شده است. این میزان دقت در تطابق بین خازن‌ها در تکنولوژی‌های مرسوم CMOS به آسانی قابل دستیابی است[۱۶]. لازم به یادآوری است با توجه به میزان بالایSNR مقدار خازن‌های مدار که مقدار کمینه‌ی آن‌ها توسط نویز حرارتی تعیین می‌شود، مقادیر تقریبا بالایی خواهد بود. بنابراین خطای مذکور برای عدم تطابق بین خازن‌ها حالتی بدبینانه محسوب می‌گردد[۱۷]. میزان بهره‌ی تقویت-کننده‌های عملیاتی برای شروع شبیه‌سازی‌ها برابر با ۶۰ دسی‌بل در نظر گرفته شده است.

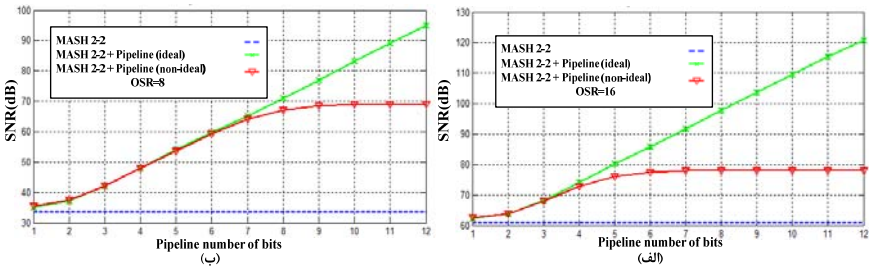
ابتدا مدولاتور پیشنهادی به ازای OSRهای مختلف شبیه‌سازی شده است. دراین شبیه‌سازی دقت مبدل پایپ‌لاین نیز جاروب[۲۰] شده است. در حالت ایده‌آل به ازای هر بیت افزایش در تعداد بیت‌های مبدل پایپ‌لاین، مقدار ۶ دسی‌بل به SNR افزوده می‌شود. اما مدل‌سازی‌ها با در نظرگرفتن محدودیت‌های مداری نشان می‌دهند که افزایش تعداد بیت‌های مبدل پایپ‌لاین از حدی به بعد، در افزایش مقدارSNR عملا بی‌تاثیر خواهد بود. نمودارهای شکل۷- الف و ب به وضوح آنچه که بحث شد را نشان می‌دهند. نهایتا، همان‌طورکه در شکل مشاهده می‌شود، تعداد بیت بهینه‌ی مبدل پایپ‌لاین به ازایOSR=۱۶ برابر با ۵ بیت و به ازای OSR=۸ برابر با ۸ بیت می‌باشد. با توجه به مطالب ذکر شده، مقدار مناسب OSR برای ساختار ارائه شده ۸ و تعداد بیت بهینه‌ی کوانتایزر پایپ‌لاین برای دستیابی به بهترین SNR به ازایOSR مذکور، ۸ بیت می‌شود.

با توجه به مقدار پایینOSR، اولین مرحله از فیلتر یک‌دهی با مرتبه‌ی دو تحقق می‌یابد. شکل۸- الف طیف خروجی مدولاتور پیشنهادی با SNR بیشینه را در حالت ایده‌آل نشان می‌دهد. نمودار

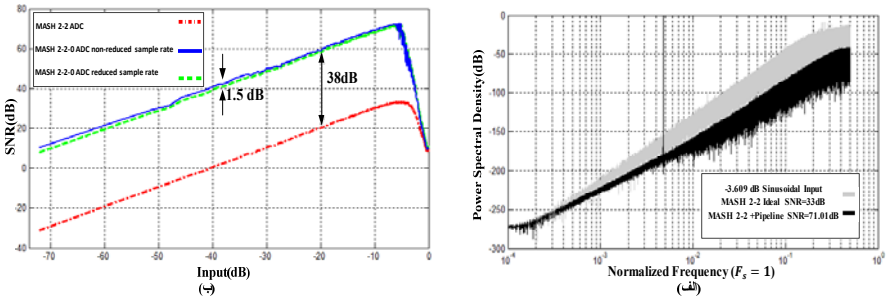
[۲۰] Sweep

محدوده‌ی دینامیکی[۲۱] مدولاتور مرتبه‌ی ۲-۲ با کوانتایزر تک بیتی و مدولاتور ۲-۲-۰ متشکل از همان مدولاتور با مشخصات یکسان و همچنین ساختار با نرخ نمونه‌برداری کاهش داده شده، بعد از اولین فیلتر یک‌دهی در شکل۸ -ب نشان داده شده است.

در این شبیه‌سازی‌ها به ازای ورودی برابر با ۳/۶- دسی‌بل، مقدار SNR برای مدولاتور مرتبه‌ی ۲-۲ برابر با ۳۳ و برای مدولاتور با مرتبه‌ی ۲-۲-۰ برابر با۷۱ دسی‌بل به‌دست آمده است. همان‌طورکه مشاهده می‌شود میزان SNR در حالتی که نرخ نمونه‌برداری کوانتایزر پایپ‌لاین کاهش داده شده است، ۱/۵ دسی‌بل افت پیدا کرده است. شکل ۹-الف اثرمیزان عدم تطابق بین ضرایب مدولاتور و بهره‌ی محدود تقویت‌کننده‌های عملیاتی تک‌تک انتگرال‌گیرها را نمایش می‌دهد. با توجه به نتایج به‌دست آمده، بهره‌ی تقویت‌کننده‌ی عملیاتی در انتگرال‌گیرهای اول تا چهارم به ترتیب ۶۲، ۶۰ ، ۵۸ و ۵۴ دسی بل انتخاب می‌شود.



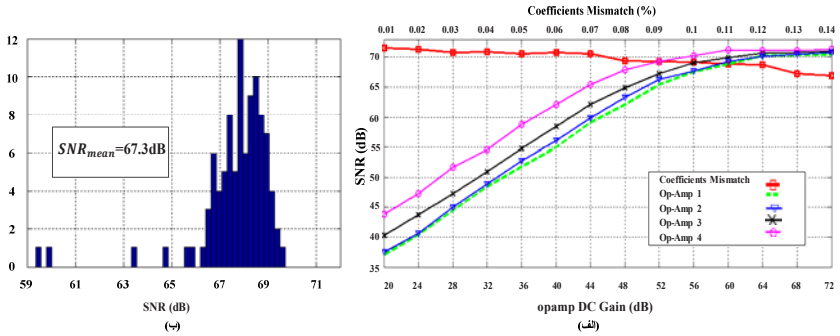
شکل۷.SNR خروجی برحسب تعداد بیت‌های مبدل پایپ‌لاین، الف) OSR=۱۶ ب) OSR=۸



شکل۸. الف) طیف سیگنال خروجی مدولاتور برحسب فرکانس نمونه برداری نرمالیزه قبل از فیلتر دیجیتال، ب) نمودار رنج دینامیکی با نرخ نمونه برداری کاهش داده شده در قسمت پایپ‌لاین و بدون آن، بعد از اولین فیلتر یک‌دهی

---

[۲۱] Dynamic Range



شکل ۹.الف) نمودار SNR خروجی مدولاتور برحسب بهره محدود آپمپ و عدم تطابق بین ضرایب، ب) نتایج شبه‌سازی مونت کارلو به صورت هیستوگرام

مقایسه‌ی سخت‌افزاری و تخمین توان مصرفی

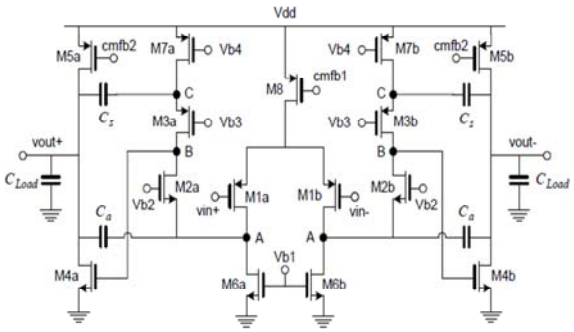
مقایسه سخت افزار

ایده‌ی مطرح شده در این مقاله به صورت ساختاری بوده و بررسی‌ها و شبیه‌سازی‌های انجام شده در سطح رفتاری به ازای OSR برابر با ۸ و مستقل از فرکانس کاری مدولاتور انجام شده است. همان‌طور که قبلا نیز اشاره شد، OSR برابر با نسبت فرکانس نمونه‌برداری به دو برابر پهنای باند ورودی بوده و مستقل از مقدار آن دو می‌باشد. بنابراین با توجه به این‌که مدولاتور پیشنهادی برای کاربرد و فرکانس خاصی ارائه نشده و کارآمدی آن نیز مستقل از فرکانس کاری بررسی شده است، لذا مقایسه‌ی این مدولاتور با ساختارهای متداول نیز باید به گونه‌ای انجام شود که مستقل از فرکانس کاری مدار بوده و برای هر کاربردی قابل تعمیم باشد. برای این منظور،سخت افزار مورد نیاز در مدولاتورهای متداول، پیشنهادی و ساختار با نرخ کاهش داده شده در جدول ۲ بیان شده است. لازم به ذکر است که در این جدول منظور از مدولاتور متداول، یک مدولاتور مرتبه‌ی ۲-۲ که طبقه‌ی اول آن مدولاتور مرتبه‌ی دو تک بیتی و طبقه‌ی دوم آن یک مدولاتور مرتبه‌ی دو با کوانتایزر ۸ بیتی است، می‌باشد.

در این جدول مدولاتورها به لحاظ تعداد مقایسه‌گرهای استفاده شده، تعداد DACهای مورد نیاز و چند بیتی بودن آنها، نیاز به مدارهای تصحیح خطا و همچنین سادگی پیاده سازی، مقایسه شده‌اند. با توجه به این‌که مطالب جدول به صورت واضح گویای مباحث مطرح شده بوده و همچنین به صورت ضمنی در متن مقاله توضیح داده شده‌اند، از توضیح مجدد آنها خودداری می‌شود.

جدول ۲. مقایسه‌ی سخت افزار مورد نیاز برای پیاده‌سازی مدولاتورهای متداول، پیشنهادی و ساختار با نرخ کاهش داده شده

	MASH 2-2 متداول	2-2-0 MASH	2-2-0 MASH با نرخ نمونه برداری کاهش داده شده
کوانتایزرهای مورد استفاده	یککوانتایزر تک بیتی (۱ مقایسه گر) یک مبدل فلش ۸ بیتی (۲۵۵ مقایسه‌گر)	دو کوانتایزر تک بیتی (۲ مقایسه گر) یک مبدل پایپ لاین ۸ بیتی (۱۵ مقایسه‌گر) فرکانس کاری مبدل پایپ‌لاینfs	دو کوانتایزر تک بیتی (۲ مقایسه گر) یک مبدل پایپ لاین ۸ بیتی (۱۵ مقایسه‌گر) فرکانس کاری مبدل پایپلاینfs/N
DACهای مورد استفاده	۱ مبدل تک بیتی ۱ مبدل هشت بیتی	۲ مبدل تک بیتی	۲ مبدل تک بیتی
مدار DEM	نیاز دارد (برای DAC ۸ بیتی)	نیاز ندارد	نیاز ندارد
توضیحات	محدودیت های عملی پیاده‌سازی	پیاده‌سازی آسان	۱. پیاده‌سازی آسان ۲. صرفه جویی در فیلترهای دیجیتال ۳. توان مصرفی کمتر ۴. اندکی کاهش SNR



شکل ۱۰. تقویت کننده‌ی عملیاتی استفاده شده در انتگرال‌گیرها[۱۸]

تخمین توان مصرفی

به منظور بررسی بیشتر ساختار ارائه شده و مقایسه‌ی آن با ساختارهای موجود به لحاظ توان مصرفی، در این قسمت به ارائه‌ی تخمینی از توان مصرفی مبدل ارائه شده با فرکانس ورودی ۲/۵ مگاهرتز و فرکانس نمونه‌برداری ۴۰ مگاهرتز پرداخته می‌شود. برای پیاده سازی انتگرال‌گیرهای

موجود، تقویت کننده‌ی عملیاتی ارائه شده در [۱۸] که در شکل۱۰ نشان داده شده است انتخاب گردیده است. این تقویت‌کننده در تکنولوژی ۹۰ نانومتر سی‌ماس با منبع ولتاژ تغذیه ۱ ولت شبیه سازی شده و توان مصرفی آن به ازای خازن بار ۰/۸ پیکو فاراد برابر با ۱/۱ میلی‌وات به دست آمده است. طبق یک قاعده‌ی سرانگشتی، توان مصرفی تقویت‌کننده‌های عملیاتی دوم تا چهارم نیز مجموعا توانی در همین حد خواهند داشت [۱۹].

جدول۳. مشخصات مبدل‌های آنالوگ به دیجیتال پایپ‌لاین موجود

شماره‌ی مرجع	تعداد بیت	فرکانس کاری (مگانمونه بر ثانیه)	تکنولوژی (نانومتر)	توان مصرفی (میلی‌وات)	ضریب شایستگی (نرخ تغییر/پیکوژول)	توان تخمینی برای مشخصات مورد نظر (میلی‌وات)
[۲۰]	۹/۴	۵۰	۹۰	۱/۴۲	۰/۲۱	۰/۴
[۲۱]	۱۰	۵۰	۱۸۰	۱۰	۰/۹۷	۱/۸۷۵
[۲۲]	۱۰	۱۰۰	۹۰	۱۵/۵	۰/۷۵	۱/۴۰۶
[۲۳]	۸	۱۲۵	۹۰	۹/۴	۱/۴	۳

یکی دیگر از بخش‌هایی که توان مصرفی قابل ملاحظه‌ای را به مدار تحمیل می‌کند، مبدل آنالوگ به دیجیتال پایپ‌لاین ۸ بیتی در طبقه‌ی آخر است. در جدول۳ مشخصات تعدادی از مبدل‌های آنالوگ به دیجیتال پایپ‌لاین در سال‌های اخیر بیان شده است. در ستون ماقبل آخر درجه‌ی شایستگی(FOM)[۲۲] هر مبدل به صورت زیر محاسبه شده است:

$$FOM = \frac{P}{2 \times BW \times 2^{ENOB}} \qquad (۲۱)$$

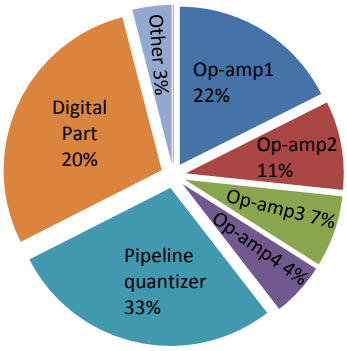
در این فرمولP،BW و ENOB به ترتیب، پهنای باند سیگنال ورودی، توان مصرفی و تعداد بیت موثر می‌باشند.

اگر میانگین توان‌های تخمینی در ستون آخر را محاسبه کنیم، توان۱/۶۷ میلی وات، به عنوان توان مصرفی تخمیمی مبدل آنالوگ به دیجیتال پایپ‌لاین مورد استفاده در طبقه آخر به دست می‌آید. مقدار توان مصرفی بخش دیجیتال نیز برابر با ۱میلی وات در نظر گرفته شده است[۱]. نهایتا توان مصرفی کلی مبدل ارائه شده با فرکانس نمونه‌برداری ۴۰ مگاهرتز و پهنای باند ورودی ۲/۵ مگاهرتز

[۲۲] Figure of Merit

در حدود ۵ میلی وات تخمین زده شده است. شکل۱۱ سهم هر یک از بخش‌های مذکور در توان مصرفی را به صورت درصدی نشان می‌دهد.

همان‌طور که اشاره شد، به منظور تحلیل و مقایسه‌ی عملکرد ADCهای مختلف، از پارامتری به نام درجه‌ی شایستگی استفاده می‌شود. جدول۴ مشخصات مبدل ارائه شده را در مقایسه با چند مبدل آنالوگ به دیجیتال دیگر نشان می‌دهد. عدد شایستگی برای ساختار طراحی شده برابر با ۰/۵۲ پیکوژول بر نرخ تغییر است که نشان از عملکرد قابل قبول آن می‌باشد. همچنین عدد شایستگی برای ساختار با نرخ نمونه‌برداری کاهش داده شده نیز برابر با ۰/۵۳ نرخ تغییر بر پیکوژول به دست آمده است.لازم به ذکر است که در جدول۴ علامت * نشان دهنده‌ی نتایج گزارش شده از ساخت تراشه[۲۳] می‌باشد.



شکل۱۱. نمودار تحلیل توان مصرفی تخمینی

[۲۳] Die

جدول۴. مقایسه‌ی ADC پیاده‌سازی شده در این پایان‌نامه با چند مبدل آنالوگ به دیجیتال دیگر

ضریب شایستگی (نرخ تغییر/پیکوژول)	توان مصرفی (میلی‌وات)	منبع تغذیه (ولت)	تکنولوژی (نانومتر)	فرکانس نمونه برداری (مگاهرتز)	پهنای باند ورودی (مگاهرتز)	SNR (دسی‌بل)	شماره مرجع
۰/۶۷	۲۹/۴	۱/۶۵	۱۸۰	۷۲	۴/۵	۷۵/۵	*[۱]
۱/۳	۵۵۰	۵	۶۰۰	۲۰	۱/۲۵	۸۹	*[۴]
۳/۲	۲۴۰	۳/۳	۱۸۰	۸۰	۱۰	۷۳	*[۲۴]
۰/۵۲	۵	۱	۹۰	۴۰	۲/۵	۶۷/۳	۰-۲-۲
۰/۵۳	۴/۴	۱	۹۰	۴۰	۲/۵	۶۶	۰-۲-۲ نرخ کاهش داده شده

جمع‌بندی و نتیجه‌گیری

در این مقاله، روشی برای امکان دستیابی به مدولاتور دلتا-سیگمای مرتبه‌ی بالا با کوانتایزر چند بیتی، بدون نیاز به مدارهای خطی‌ساز پیشنهاد شده است. در ضمن، ساختار ارائه شده مشکل پایداری نیز نداشته و ذاتاً پایدار می‌باشد. معماری ارائه شده از دو مدولاتور مرتبه‌ی دوی تک‌بیتی در طبقات اول و دوم و یک مبدل آنالوگ به دیجیتال پایپ‌لاین ۸ بیتی به عنوان کوانتایزر خارجی استفاده می‌کند. همچنین پیاده‌سازی روش کاهش فرکانس کاری کوانتایزر خارجی، بر روی این ساختار، ارائه شده است. نحوه‌ی پیاده‌سازی کاهش نرخ نمونه‌برداری، علاوه بر کاهش فرکانس کاری کوانتایزر پایپ‌لاین منجر به حذف تعدادی از فیلترهای دیجیتال و صرفه‌جویی در توان مصرفی بخش دیجیتال شده است. لازم به ذکر است که محدودیت‌های مداری در طبقه‌ی اول، همانند سایر ساختارهای چند طبقه عاملی محدودکننده بوده و چالش اصلی محسوب می‌شود.به ازای OSR برابر با ۸ مقدار SNR بیشینه در حالت ایده‌آل برابر با ۷۱ دسی‌بل و با در نظر گرفتن محدودیت‌های مداری برابر با ۶۷/۳ دسی‌بل به‌دست آمده است. مقدار کاهش SNR با پیاده‌سازی ساختار با نرخ نمونه‌برداری کاهش داده شده حدود ۱/۵ دسی‌بل بوده که مقدار قابل قبولی است.

مراجع

[1] O. Rajaee, T. Musah, N. Maghari, S. Takeuchi, M. Aniya, K. Hamashita, U.-K. Moon, “ Design of a 79dB 80MHz 8X-OSR hybrid deltasigma/pipeline ADC,” *IEEE Journal of Solid-State Circuits* (JSSC), Vol. 45, No.4, pp. 719-730, Apr. 2010.

[2] L. Liang, L. Ruzhang, L. Kaicheng, “A Cascaded Sigma-Delta Pipeline ADC Structure Design,” International Conference on Solid-State and Integrated Circuit Technology (ICSICT), pp. 1757 – 1759, Oct. 2006.

[3] T. C. Leslie and B. Singh, “An improved sigma-delta modulator architecture,” IEEE International Symposium on Circuits and Systems (ISCAS) , pp. 372-375, May 1990.

[4] T. L. Brooks, D. H. Robertson, D.F. Kelly, A. Del Muro, S.W. Harston, “A Cascaded Sigma–Delta Pipeline A/D Converter with 1.25 MHz Signal Bandwidth and 89 dB SNR,” IEEE Journal of Solid-State Circuits (JSSC), Vol. 32, No. 12, Dec. 1997.

[5] W. Bruce, P. Stubberud, “A comparison of hardware efficient dynamic element matching networks for digital to analog converters,” IEEE Midwest Symposium on Circuits and Systems (MWSCAS), Vol.2, pp. 672-675, 2000.

[6] P. Stubberud, W. Bruce, “An Analysis of Dynamic Element Matching Digital to Analog Converters,” IEEE Midwest Symposium on Circuits and Systems (MWSCAS), Vol. 1, pp.481-484, 1999.

[7] B. Wei Qin, L. Xieting “Delta-sigma ADC with reduced-sample- rate multibit quantizer,” IEEE Transaction on Circuits and Systems II (TCASII), Vol. 46, No.6, pp. 824-828, June 1999.

[8] F. Maloberti, “Data Converters,” Springer, Dordrecht, Netherlands, 2007.

[9] D. A. Johns and K. W. Martin, “Analog Integrated Circuit Design,” Wiley, New York, 1997.

[10] F. Medeiro, B. Perez-verdu, J. Manuel de la Rosa, A. Rodriguez-Vazquez, “Fourth-Order Cascade SC ΣΔ Modulators: A Comparative Study,’’ IEEE Transaction of Circuits and Systems I (TCASI), Vol. 45, No.10, pp. 1041-1051, Oct. 1998.

[11] M. Gustavsson, J. Jacob Wikner, N. Nik Tan, “CMOS Data Converters forommunications” KLUWER ACADEMIC PUBLISHERS, 2000.

[12] B. Wei Qin, L. Xieting “Delta-sigma ADC with reduced-sample- rate multibit quantizer,” IEEE Transaction on Circuits and Systems II (TCASII), Vol. 46, No.6, pp. 824-828, June 1999.

[13] J. C. Candy, “Decimation for delta-sigma modulation,” IEEE Transaction on Communication, Vol. 34, pp. 72-76, Jan.1986.

[14] J.Marrkus , G. Temes, “An Efficient Noise-Shaping Architecture forWideband Applications,” International Conference on AdvancedA/D and D/A Conversion Techniques and their Applications; Euroupiean Workshop on ADC Modeling and Testing (ADDA-EWADC), pp.26–28, June 2002.

[15] J.Marrkus , G. Temes, “An efficient architecture for low oversampling ratios,” IEEE Transaction on Circuits and Systems II (TCASII), Vol. 51, No.1, pp. 63-71, Jan. 2004.

[16] S. Sai-Weng, W. He-Gong, Ch. U-Fat, Z. Yan, U. Seng-Pan, M. Rui Paulo, F. Maloberti. "On-Chip Small Capacitor Mismatches Measurement Technique using Beta-Multiplier-Biased Ring Oscillator," IEEE Asian solid-State Circuits Conference, pp.16-18, Nov. 2009.

[17] S. Rabii, BA.Wooley, "The design of low-voltage, low- power sigma-delta modulators," Kluwer, Norwell, MA, 1999.

[18] M. Yavari, O. Shoaei, F. Svelto, "Hybrid cascode compensation for two-stage CMOS operational amplifiers," IEEE International Symposium on Circuits and Systems (ISCAS), Vol. 2, pp. 1565- 1568, May 2005.

[19] Z. Sohrabi, M. Yavari, "A 13 bit 10MHz bandwidth MASH 3–2 ΣΔ modulator in 90 nm CMOS," International Journal of Circuit Theory and Applications, doi: 10.1002/cta. 1816. Apr. 2012.

[20] H. Dolev, B. Murmann, "A 9.4-bit, 50-MS/s, 1.44-mW Pipelined ADC Using Dynamic Source Follower Residue Amplification," IEEE Journal of Solid-State Circuits (JSSC), Vol.44, No.4, pp.1057-1066, April 2009.

[21] I. Ahmed and D. A. Johns, "A Low-Power Capacitive Charge Pump Based Pipelined ADC," IEEE Journal of Solid-State Circuits (JSSC), Vol. 45, No. 5, May 2010.

[22] S. Hashemi, O. Shoaei, "A 0.9V 10-bit 100 MS/s switched-RC pipelined ADC without using a front-end S/H in 90nm CMOS," IEEE International Symposium on Circuits and Systems (ISCAS), pp.13-16, May 2008.

[23] P. Malcovati, P. Luca, L. Crespi, F. Chaahoub, A. Baschirotto, "A 90-nm CMOS, 8-bit pipeline ADC with 60-MHz bandwidth and 125-MS/s or 250-MS/s sampling frequency" Springer Analog Integrated Circuits and Signal Processing, pp. 159–172, 2010.

[24] Bosi, A. Panigada, G. Cesura, and R. Castello, "An 80MHz 4× Oversampled Cascaded ΔΣ -pipelined ADC with 75dB DR and 87dB SFDR," IEEE International Solid-State Circuits Conference (ISSCC), Vol.1, pp. 174-591, Feb. 2005.