طراحی و پیاده‌سازی مدار برنامه‌ریز بهبود یافته برای کاهش اثر فراجهش با تکنیک پوزیکست

معصومه رحیمی[۱]
محمد باقر غزنوی قوشچی[۲]

چکیده

در این مقاله یک مدار قابل برنامه‌ریزی برای ساخت پالس پوزیکست ارائه شده است. در این طرح، ابتدا پالس اصلی تأخیر داده می‌شود، سپس پالس اصلی و تأخیر یافته توسط جمع‌کننده جمع می‌شوند. در مدار تأخیر ارائه شده، تأخیر در لبه بالارونده و پایین‌رونده با دو مجموعه کد متفاوت کنترل می‌شود. همچنین در مدار جمع‌کننده ارائه شده، سطوح اول ولتاژ پالس پوزیکست در لبه بالارونده و پایین‌رونده با دو مجموعه کد ورودی متفاوت کنترل می‌شود. با ترکیب کردن مدار تأخیر و مدار جمع‌کننده، یک مدار قابل برنامه‌ریزی برای ساخت پالس پوزیکست ارائه شده است. نتایج شبیه‌سازی نشان می‌دهد که مدارات تأخیر و جمع‌کننده به صورت خطی نسبت به کد ورودی عمل می‌کنند. در نهایت پالس پوزیکست ساخته شده بر روی مدار RLC اعمال شده است و نتایج شبیه‌سازی نشان می‌دهد که در مدار RLC، متوسط کاهش فراجهش در لبه‌های بالارونده و پایین‌رونده به ترتیب برابر ۹۱/۷۸٪ و ۹۸/۵۶٪ است. همچنین متوسط بهبود زمان نشست در این لبه‌ها برابر ۷۰/۷٪ و ۹۰/۴۷٪ است.

کلید واژه

پاسخ زمانی، پوزیکست، زمان نشست، فراجهش

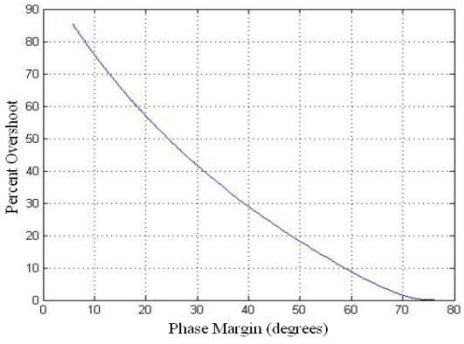
---

[۱] کارشناس ارشد برق الکترونیک، دانشگاه شاهد marahimi@shahed.ac.ir
[۲] استادیار دانشکده برق، دانشگاه شاهد
تاریخ دریافت: ۸ خرداد ۱۳۹۲ تاریخ پذیرش: ۳۰ خرداد ۱۳۹۲

مقدمه

در تحلیل و طراحی سیستم‌ها باید مبنایی برای مقایسه سیستم‌های مختلف داشته باشیم. این مبنا را می‌توان با مشخص کردن سیگنال‌های آزمون خاص و مقایسه پاسخ سیستم‌های مختلف به این سیگنال‌های ورودی ایجاد کرد. یکی از این سیگنال‌های استاندارد ورودی پله می‌باشد. پارامترهای مشخص برای خروجی یک سیستم، زمان صعود، زمان پیک، زمان نشست و فراجهش است.

دو مفهوم مهم در سیستم‌های کنترلی سرعت و پایداری است که در ناحیه زمانی به ترتیب توسط زمان نشست[۳] و فراجهش[۴] مشخص می‌شود. در ناحیه فرکانسی پایداری سیستم‌ها توسط حاشیه فاز[۵] مشخص می‌شود که رابطه عکس با فراجهش ناحیه زمانی دارد. رابطه بین درصد فراجهش و حاشیه فاز در شکل ۱ نشان داده شده است[۱].



شکل ۱. رابطه بین درصد فراجهش و حاشیه‌فاز[۲]

کاهش فراجهش یک سیستم منجر به افزایش پایداری و سرعت سیستم می‌شود. بنابرین فراجهش سیستم‌ها باید کاهش پیدا کند[۱].

هدف ما در این مقاله این است که یک مدار برنامه‌ریز برای ساخت پالس پوزیکست[۶]، برای کاهش فراجهش معرفی کنیم. مدار ارائه شده برای ساخت پالس پوزیکست در مرجع [۳]، قابلیت برنامه‌ریزی با کد ورودی را ندارد. پالس ساخته شده توسط مدار برنامه‌ریز برای ساخت پالس

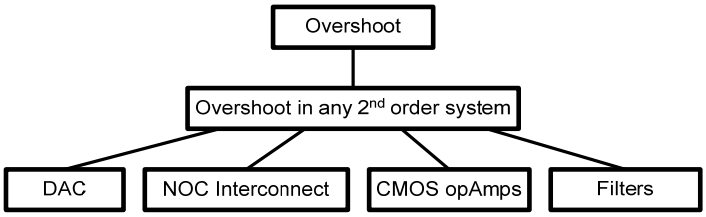
---

۳ Settling Time
۴ Overshoot
۵ Phase Margin
۶ Posicast Pulse

پوزیکست در مرجع [۴] بر روی یک آپ‌امپ[۷] اعمال شده و در این مقاله پالس ساخته شده توسط مدار برنامه‌ریز دو کد بر روی یک مدار RLC اعمال شده است.

حوزه‌های کاربردی کاهش فراجهش و زمان نشست

همانطور که در شکل ۲ نشان داده شده است، فراجهش در هر سیستم مرتبه دوم زیر میرا اتفاق می‌افتد و از آن‌جا که کاهش فراجهش سیستم‌ها منجر به افزایش پایداری و سرعت سیستم می‌شود، بنابراین نیاز به کاهش فراجهش در سیستم‌ها مورد نیاز است.



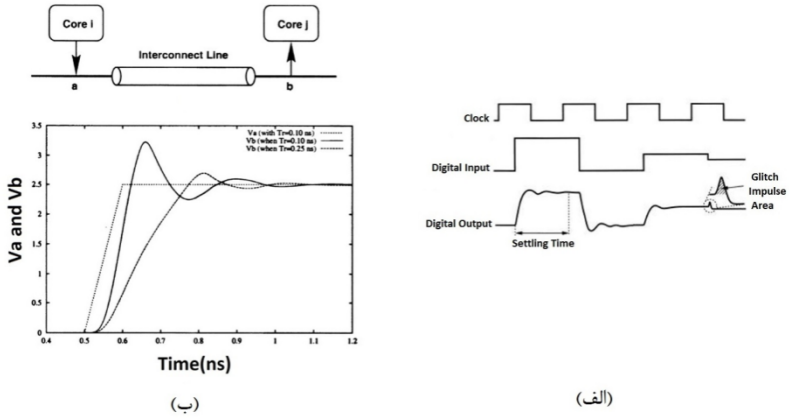
شکل۲. رخداد فراجهش در سیستم‌های مرتبه دوم زیرمیرا

مبدل دیجیتال به آنالوگ[۸] از اجزای ضروری است که ارتباط بین قسمت‌های دیجیتال و آنالوگ از یک سیستم را فراهم می‌کند. زمان نشست، به مدت زمانی اتلاق می‌شود که مبدل دیجیتال به آنالوگ، پس از آن که کد دیجیتال به ورودی‌هایش اعمال شد، خروجی‌اش در باند مجاز خطا به پایداری برسد. زمان نشست پارامتر خیلی مهم برای هر DAC است. اهمیت زمان نشست در سیستم‌های تبدیل اطلاعات این است که عملکردهای مشخص آنالوگ باید در یک توالی انجام شود، و یک عملکرد باید دقیقا قبل از شروع عملکرد بعدی مشخص شود. این پارامتر در DAC اطلاعاتی در مورد زمانی که در مبدل نیاز است تا مقدار خروجی بعد از یک تغییر در کد ورودی دیده شود می‌دهد [۵]. همانطور که در شکل ۳-الف [۶] مشاهده می‌شود، قبل از این که پالس

[۷] Op-Amp
[۸] Digital-to-Analog Converter (DAC)

بعدی دیجیتال در ورودی تغییر کند باید خروجی آنالوگ به حالت پایدار برسد بنابراین کوچک بودن زمان نشست باعث می‌شود که DAC سریعتر داشته باشیم [۶].

کوچک شدن مدارات VLSI و افزایش سریع فرکانس کاری (در محدودهGHz) در سیستم‌های دیجیتالی بر روی تراشه باعث شده است که درستی سیگنال[۹] یک نگرانی عمده برای طراحی و آزمایش مهندسان شده است. یکی از اثرات مضر در درستی سیگنال، فراجهش است. ولتاژ فراجهش یک نقش مهم در عملکرد نهایی، قابلیت اعتماد و طول عمر تراشه‌های GHz زیر میکرون دارد. اثر فراجهش فقط این نیست که ولتاژ از مقدار V_{dd} تجاوز می‌کند بلکه باعث تأخیر نیز می‌شود. اتصال خازن‌ها و سلف‌ها در یک اتصال باعث می‌شود که یک سیگنال با زمان نشست خیلی کم (برای مثال یک سیگنال با فرکانس بالا) بطور آنی از ولتاژ V_{dd} تجاوز کند که این پدیده فراجهش نامیده می‌شود و در شکل ۳- ب نشان داده شده است [۷، ۸].



شکل ۳. (الف) رخداد فراجهش در DAC[۶] (ب) رخداد فراجهش در سیگنال‌های فرکانس بالا[۷، ۸]

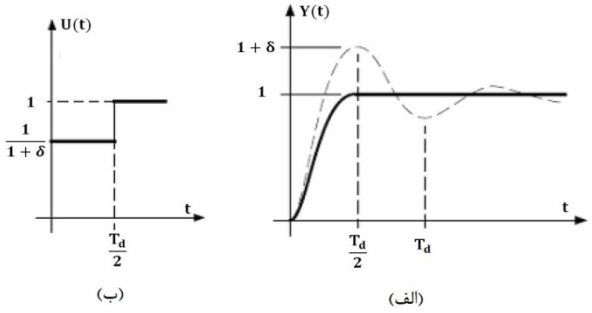
تئوری و مفهوم پوزیکست

سیستمی با پاسخ پله نشان داده در شکل ۴-الف (خط چین) را در نظر بگیرید. فراجهش موجود در پاسخ را می‌توان توسط دو پارامتر توصیف کرد که اولی، زمان پیک اول که نصف دوره تناوب پاسخ

[۹] Signal Integrity

زیرمیرای سیستم یعنی T_d است و دومی مقدار پاسخ در زمان پیک است که با $1 + \delta$ مشخص شده است. δ در واقع فراجهش نرمالیزه است که مقداری بین صفر و یک می‌تواند داشته باشد که فراجهش صفر مربوط به سیستم‌هایی با میرایی بحرانی است.

در روش پوزیکست، ورودی پله مرجع به دو قسمت تقسیم می‌شود که در شکل ۴- ب نشان داده شده است. قسمت اول یک ورودی با دامنه کمتر از یک بوده و طوری تنظیم شده است که پیک اول پاسخ ناشی از اعمال آن دقیقا به دامنه نهایی مطلوب، یعنی "۱" برسد. قسمت دوم پالس پوزیکست، با دامنه‌ای به اندازه دامنه ورودی پله مرجع، یعنی "۱" بوده و دارای یک تاخیر زمانی به اندازه $T_d/2$ نسبت به قسمت اول می‌باشد. پاسخ مربوط به ورودی پوزیکست که توسط دو پارامتر δ و T_d قابل توصیف است، در شکل ۴-الف (خط ممتد) نشان داده شده است که پاسخی بدون نوسان و بدون فراجهش است[۱، ۲، ۳، ۹].



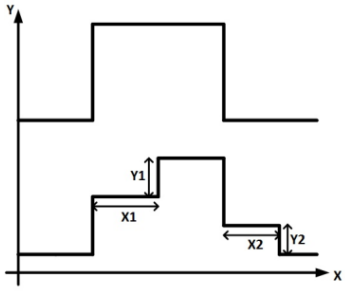
شکل ۴. (الف) پاسخ پله (خط چین)، پاسخ پوزیکست (خط ممتد) (ب) پالس پوزیکست[۱، ۲، ۳، ۹]

طرح پیشنهادی و مقایسه آن با طرح‌های قبلی

اولین مدار برای ساخت پالس پوزیکست در مرجع [۳] ارائه شده است. از مزایای مهم این مدار این است که علاوه بر ساخت لبه بالارونده، می‌توان برای ساخت لبه پایین‌رونده پالس پوزیکست نیز از آن استفاده کرد و تمامی پارامترهای لبه‌های بالارونده و پایین‌رونده مانند سطوح مختلف ولتاژ و نیز زمان وقوع سطوح ولتاژ با دقت بسیار بالایی قابل تنظیم هستند. همچنین مدار سازنده پالس پوزیکست از روی پالس پله، این عمل را کاملا بدون تاخیر انجام می‌دهد و پالس پوزیکست بلافاصله با ورود پالس پله به ورودی مدار، در خروجی تولید می‌شود. نکته دیگر اینکه با استفاده از

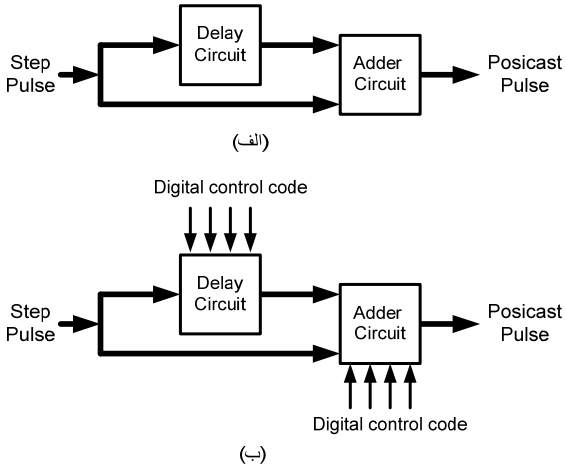
یک طرح بسیار ساده ترانزیستوری بعنوان جمع‌کننده، عمل جمع را می‌توان در بازه‌های زمانی بسیار کوتاه و با دقت بالا انجام داد[۳].

بزرگترین مشکل مدار طراحی شده مرجع [۳] این است که در هنگام انجام کار نمی‌توانیم پارامترهای موثر در پالس پوزیکست را تنظیم مجدد کنیم. هدف ما در این مقاله این است که پارامترهای موثر در پالس پوزیکست که در شکل ۵ نشان داده شده است، قابل برنامه‌ریزی و قابل تنظیم با کد دیجیتال ورودی شوند.



شکل ۵. پارامترهای موثر در پالس پوزیکست

در شکل ۶ مقایسه کارهای قبلی و کار پیشنهادی در این مقاله نشان داده شده است.

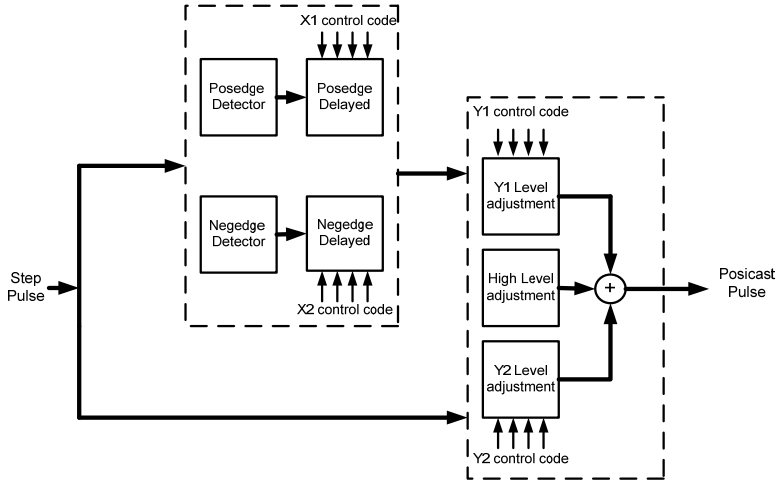


شکل ۶. (الف) بلوک دیاگرام مدار ساخت پالس پوزیکست در کارهای قبلی (ب) نمودار بلوکی مدار ساخت پالس پوزیکست در این مقاله

همانطور که در شکل ۶-ب نشان داده شده است ابتدا پالس پله وارد بلوک تأخیر می‌شود. در این بلوک مقدار تأخیر داده شده به پالس اصلی با کد دیجیتال ورودی کنترل می‌شود و بنابراین مقدار تأخیر داده شده به پالس پله قابل تنظیم با کد ورودی است. در این روش مقدار تأخیر در لبه بالا و پایین‌رونده با یک مجموعه کد ورودی کنترل می‌شود. سپس پالس اصلی و پالس پله تأخیر یافته توسط بلوک جمع‌کننده با هم جمع می‌شوند که در این بلوک نیز سطح اول پالس پوزیکست در لبه بالا و پایین‌رونده با کد دیجیتال ورودی کنترل می‌شود و بنابراین این سطوح هم قابل تنظیم با کد ورودی هستند. در این بلوک نیز مقدار سطح اول پالس پوزیکست در لبه بالا و پایین‌رونده با یک مجموعه کد ورودی کنترل می‌شود.

از آن‌جا که در پالس پوزیکست همواره x_1 وx_2 با هم برابر نیستند، بنابراین نیاز به این است که تأخیرات لبه بالارونده و لبه پایین‌رونده با کدهای متفاوت کنترل شوند. همچنین از آن جا که در پالس پوزیکست همواره y_1 و y_2 نیز با هم برابر نیستند بنابراین نیاز به این است که این سطوح نیز با کدهای متفاوت کنترل شوند. بنابراین نمودار بلوکی کلی مدار ساخت پالس پوزیکست در شکل ۷ ارائه شده است.

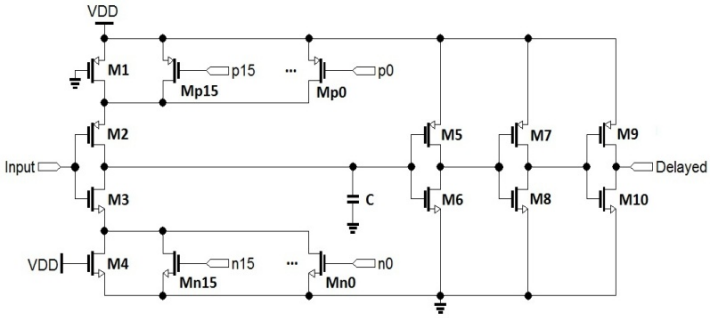
همانطور که در شکل ۷ نشان داده شده است، ابتدا پالس پله به بلوک تأخیر داده می‌شود. در بلوک تأخیر، اندازه تأخیر در لبه بالارونده و اندازه تأخیر در لبه پایین‌رونده با دو کد متفاوت کنترل می‌شود. بنابراین می‌توانیم تأخیرات متفاوت در لبه‌های بالارونده و پایین‌رونده داشته باشیم. سپس پالس اصلی و پالس پله تأخیر یافته توسط بلوک جمع‌کننده با هم جمع می‌شوند که در این بلوک نیز سطح اول پالس در لبه بالا رونده و سطح اول پالس در لبه پایین‌رونده با دو مجموعه کد دیجیتال ورودی کنترل می‌شوند و بنابراین این سطوح نیز به طور جداگانه قابل تنظیم می‌باشند.



شکل ۷. نمودار بلوکی کلی مدار ساخت پالس پوزیکست پیشنهادی

پیاده‌سازی مدار برنامه‌ریز برای ساخت پالس پوزیکست

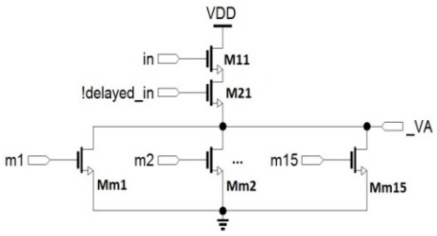
از آن‌جایی که در پالس پوزیکست همواره x_1 و x_2 با هم برابر نیستند، ضروری است که تأخیرات لبه بالارونده و پایین‌رونده با کدهای متفاوت کنترل شوند. در شکل ۸ یک مدار تأخیر که بر مبنای مدار تأخیر مرجع [۱۰،۱۱] است، ارائه شده است. در این مدار اندازه تأخیر لبه بالارونده و پایین‌رونده با دو مجموعه کد متفاوت کنترل می‌شود.



شکل۸. مدار تأخیر پیشنهادی دو کد بر مبنای مرجع [۱۰، ۱۱]

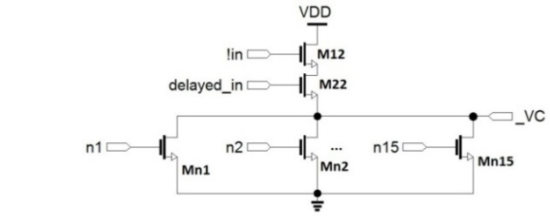
در شکل ۸، p0 تا p15 خروجی‌های یک دیکدر[۱۰] هستند. با تغییر سیگنال دیجیتال ورودی، خروجی دیکدر تغییر می‌کند، در نتیجه ترانزیستور روشن تغییر می‌کند و چون اندازه ترانزیستورهای Mp0 تا Mp15 با هم فرق دارند، بنابراین مقاومتی که در مسیر شارژ خازن C وجود دارد تغییر می‌کندکه در نتیجه آن مقدار x_2 در شکل ۵ قابل برنامه‌ریزی می‌شود. همچنین n0 تا n15 خروجی‌های یک دیکدر هستند. با تغییر سیگنال دیجیتال ورودی، خروجی دیکدر تغییر می‌کند و در نتیجه ترانزیستور روشن تغییر می‌کند و چون اندازه ترانزیستورهای Mn0 تا Mn15 با هم فرق دارند، بنابراین مقاومتی که در مسیر دشارژ خازن C وجود دارد تغییر می‌کندکه در نتیجه آن مقدار x_1 در شکل۵ قابل برنامه‌ریزی می‌شود.

همچنین از آن‌جایی که در پالس پوزیکست، اختلاف بین سطح اول در لبه بالارونده و سطح یک (y_1 در شکل ۵) با سطح اول در لبه پایین رونده (y_2 در شکل ۵) برابر نیستند، نیاز است که این سطوح با کدهای متفاوت کنترل شوند. بنابراین یک مدار جمع‌کننده ارائه شده است که توسط این مدار، اختلاف بین سطح اول در لبه بالارونده و سطح یک (y_1 درشکل ۵) وسطح اول در لبه پایین رونده (y_2 در شکل ۵) با دو مجموعه کد متفاوت کنترل می‌شوند که طرح این جمع‌کننده در شکل ۹ ارائه شده است.

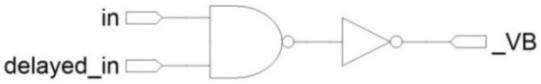


(الف)

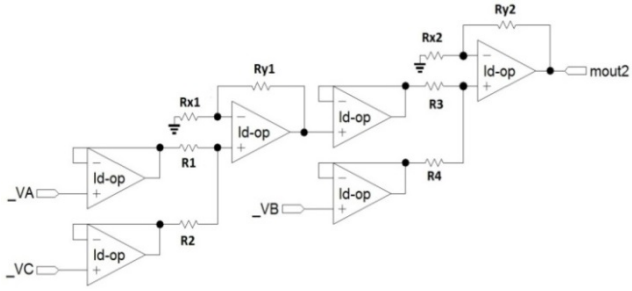
[۱۰] Decoder



(ب)



(پ)



(ت)

شکل ۹. مدار جمع‌کننده پیشنهادی دو کد

توسط ساختار شکل ۹- الف، سطح اول پالس پوزیکست در لبه بالارونده ساخته می‌شود. در این ساختار فقط زمانی که پالس پله در سطح "یک" و پالس پله تأخیر یافته در سطح "صفر" است، هر دو ترانزیستور M11 و M21 همزمان روشن هستند و جریان از ترانزیستورهای Mm1 تا Mm15 می‌گذرد. در این ناحیه، بر اساس کد ورودی سطح اول پالس پوزیکست در لبه بالارونده ساخته می‌شود. در این ساختار m1 تا m15 خروجی‌های یک دیکدر ترمومتریک[۱۱] هستند، که با تغییر سیگنال دیجیتال ورودی، خروجی دیکدر ترمومتریک تغییر می‌کند و در نتیجه تعداد ترانزیستورهایی که روشن هستند تغییر می‌کند، بنابراین مقدار مقاومت خروجی تغییر می‌کند و در

[۱۱] Thermometric Decoder

نهایت سطح اول پالس پوزیکست در لبه بالارونده تغییر می‌کند. در نتیجه اختلاف بین سطح اول در لبه بالارونده و سطح یک (y_1 درشکل ۵) قابل تنظیم با کد ورودی می‌شود.

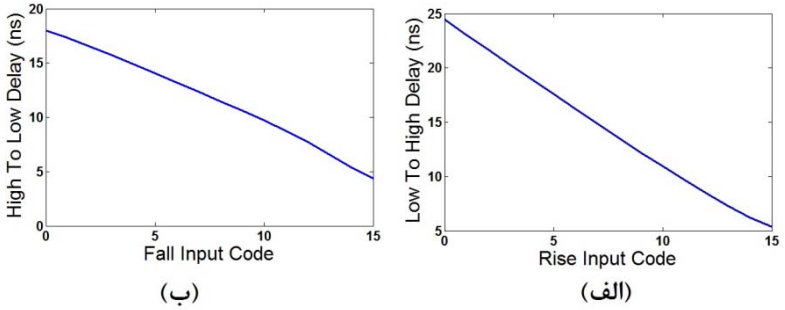
توسط ساختار شکل ۹-ب، سطح اول پالس پوزیکست در لبه پایین‌رونده ساخته می‌شود. در این ساختار فقط زمانی که پالس پله در سطح "صفر" و پالس پله تأخیر یافته در سطح "یک" است، هر دو ترانزیستور M12 و M22 همزمان روشن هستند و جریان از ترانزیستورهای Mn1 تا Mn15 می‌گذرد. در این ناحیه بر اساس کد ورودی سطح اول پالس پوزیکست در لبه پایین رونده ساخته می‌شود. در این ساختار n1 تا n15 خروجی‌های یک دیکدر ترمومتریک هستند، با تغییر سیگنال دیجیتال ورودی، خروجی دیکدر ترمومتریک تغییر می‌کند و در نتیجه تعداد ترانزیستورهایی که روشن هستند تغییر می‌کند، بنابراین مقدار مقاومت خروجی تغییر می‌کند و در نتیجه سطح اول پالس پوزیکست در لبه پایین رونده تغییر می‌کند. بنابراین سطح اول پالس پوزیکست در لبه پایین رونده (y_2 در شکل ۵) قابل تنظیم با کد ورودی می‌شود.

توسط ساختار شکل ۹- پ، سطح یک پالس پوزیکست ساخته می‌شود. معکوس‌کننده فوق با منبع ولتاژ یک ولت کار می‌کند. در این ساختار فقط زمانی که پالس پله و پالس تأخیر یافته هر دو برابر یک هستند، خروجی برابر یک است و در بقیه حالات خروجی صفر است.

در ساختار شکل ۹- ت، سه پالس ساخته شده توسط ساختارهای شکل ۹- الف، ۹- ب و۹- پ، توسط آپامپ ایده‌ال با هم جمع می‌شوند. مقدار مقاومت‌ها طوری تنظیم می‌شوند که پالس‌های ساخته شده بدون هیچ ضریبی با هم جمع شوند.

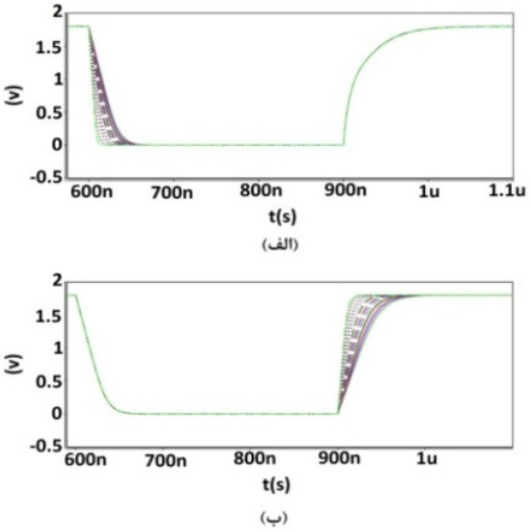
نتایج شبیه‌سازی

در شکل ۱۰ نمودارهای اندازه تأخیر لبه بالا و پایین‌رونده بر حسب کد ورودی برای مدار تأخیر دو کد شکل ۸ نشان داده شده است. همانطور که مشاهده می‌شود اندازه تأخیر در لبه بالارونده و پایین‌رونده به صورت خطی بر حسب کد ورودی تغییر می‌کند.



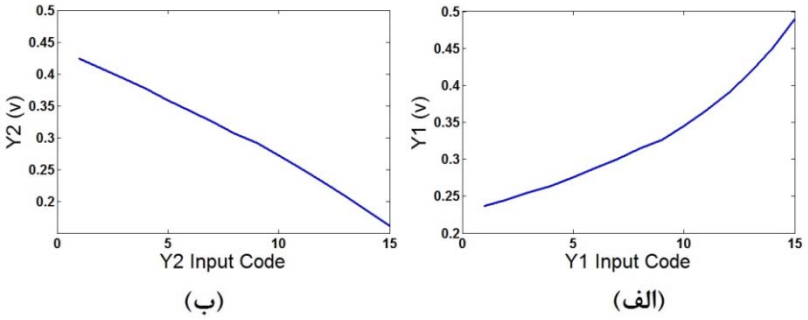
شکل ۱۰. (الف) اندازه تأخیر "صفر" به "یک" شدن خروجی بر حسب کد ورودی (ب) اندازه تأخیر "یک" به "صفر" شدن خروجی بر حسب کد ورودی

شکل موج خروجی برای مدار تأخیر دو کد شکل ۸ به صورت شکل ۱۱ می‌باشد.



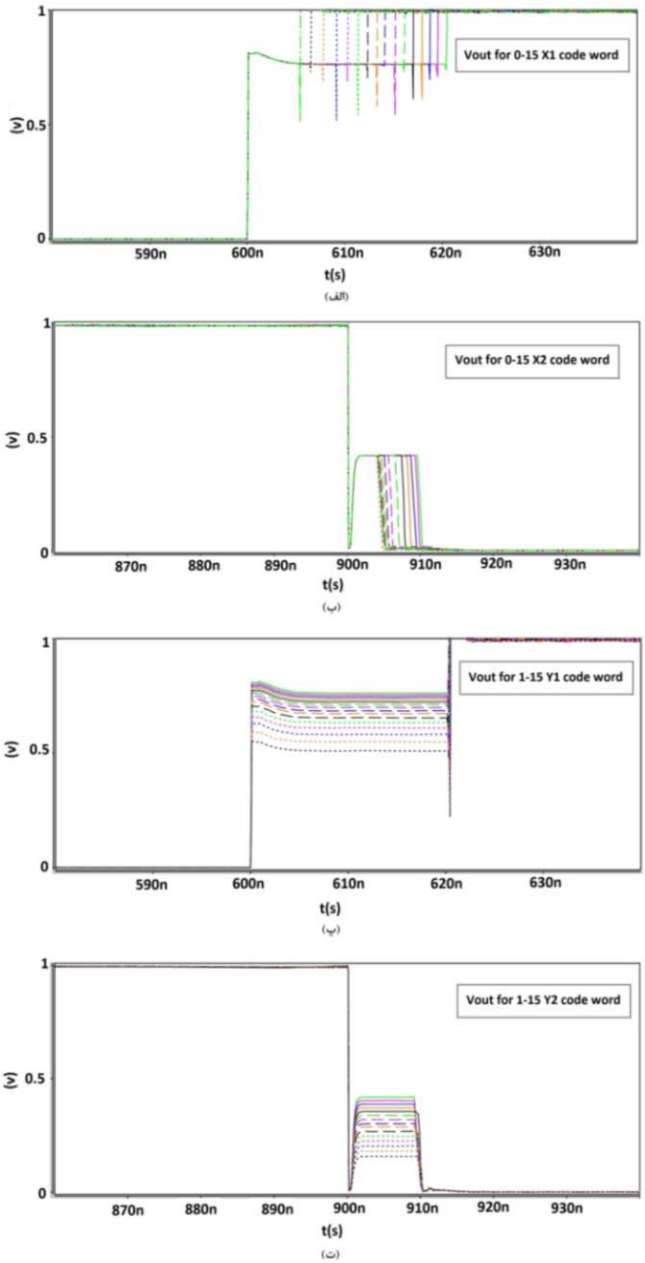
شکل ۱۱. (الف) شکل موج خروجی مدار تأخیر دو کد با تغییر کد ورودی (ب) شکل موج خروجی مدار تأخیر دو کد با تغییر کد ورودی

خطی بودن اندازه y_1 و y_2 بر حسب کد ورودی در مدار جمع‌کننده، در شکل ۱۲ نشان داده شده است.



شکل ۱۲. (الف) y_1 بر حسب کد ورودی در مدار جمع‌کننده دوکد (ب) y_2 بر حسب کد ورودی در مدار جمع‌کننده دو کد

با ترکیب‌کردن مدار تاخیر شکل ۸ و مدار جمع‌کننده شکل ۹، می‌توان یک مدار برنامه‌ریز دو کد برای ساخت پالس پوزیکست بدست آورد که در این مدار هر کدام از پارامترهای موثر در پالس پوزیکست با یک مجموعه کد کنترل می‌شود. شکل موج خروجی مدار برنامه‌ریز دو کد فوق، در شکل ۱۳ نشان داده شده است.



شکل ۱۳. خروجی مدار برنامه‌ریز دو کد برای ساخت پالس پوزیکست(الف) تغییرات x_1(ب) تغییرات x_2(پ) تغییرات y_1(ت) تغییرات y_2

اعمال پالس پوزیکست ساخته شده بر روی سیستم‌ها و مدارات الکترونیکی

در این قسمت پالس پوزیکست ساخته شده توسط مدار برنامه‌ریز دو کد، به سیستم‌های الکترونیکی اعمال می‌شود و رفتار نوسانی این سیستم‌ها توسط این پالس بهبود می‌یابد.

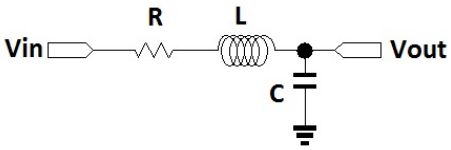
اعمال پالس پوزیکست ساخته شده بر روی سیستم‌های مرتبه دو زیرمیرا

تابع تبدیل مدار RLC که در شکل ۱۴ نشان داده شده است، توسط رابطه ۱ قابل محاسبه است.

$$\frac{Vout}{Vin} = \frac{\frac{1}{LC}}{s^2 + \frac{R}{L} + \frac{1}{LC}} = \frac{{w_n}^2}{s^2 + 2\zeta w_n s + {w_n}^2} \qquad (۱)$$

مقادیر w_n و ζ توسط رابطه ۲ قابل محاسبه است.

$$w_n = \frac{1}{\sqrt{LC}}, \qquad 2\zeta w_n = \frac{R}{L} \rightarrow \zeta = \frac{R}{2}\sqrt{\frac{C}{L}} \qquad (۲)$$



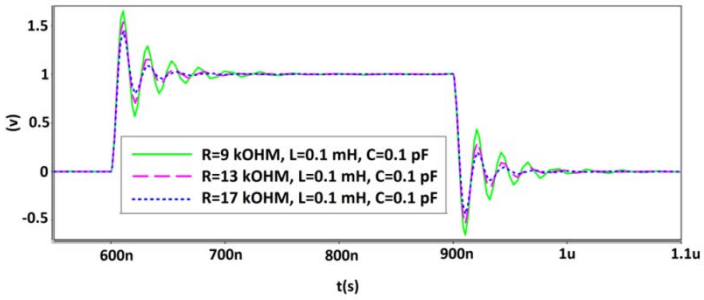
شکل ۱۴.طرح مدار RLC

پاسخ پله مدار RLC به ازای مقادیر مختلف R که در رابطه۳، ۴ و۵ ارائه شده است، درشکل ۱۵ نشان داده شده است.

$$R = 9k\Omega, \quad L = 0.1mH, \quad C = 0.1pF \qquad (۳)$$

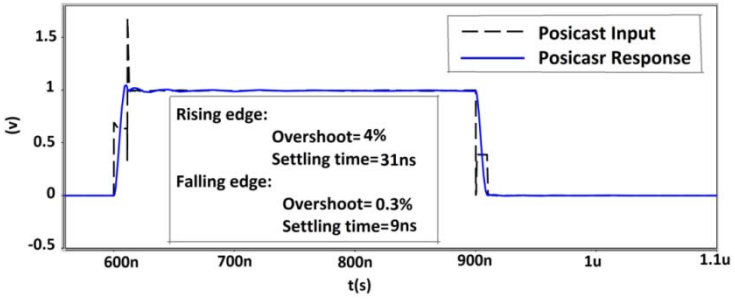
$$R = 13k\Omega, \quad L = 0.1mH, \quad C = 0.1pF \qquad (۴)$$

$$R = 17k\Omega, \quad L = 0.1mH, \quad C = 0.1pF \qquad (۵)$$

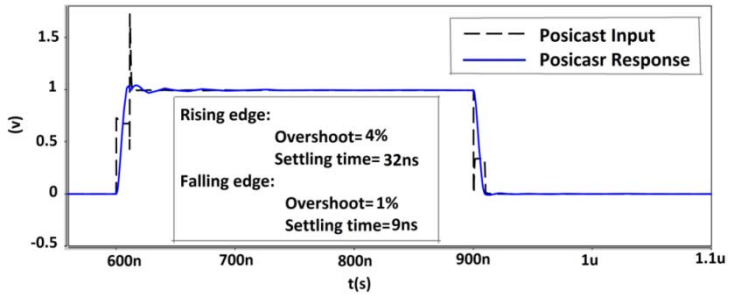


شکل ۱۵. پاسخ پله مدار RLC

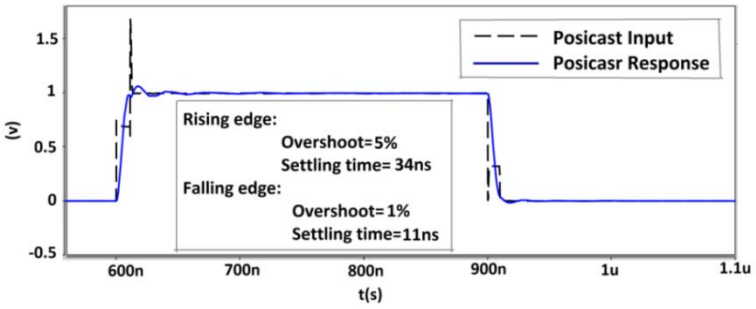
پالس پوزیکست ساخته شده و پاسخ پوزیکست مدار RLC، درشکل ۱۶نشان داده شده است.



(الف)



(ب)



(پ)

شکل ۱۶. پالس پوزیکست ساخته شده و پاسخ پوزیکست مدار RLC

(الف)$(R = 9k\Omega, L = 0.1mH, C = 0.1pF)$(ب)$(R = 13k\Omega, L = 0.1mH, C = 0.1pF)$(پ)$(R = 17k\Omega, L = 0.1mH, C = 0.1pF)$

همانطور که در شکل ۱۶ مشاهده می‌شود با اعمال پالس پوزیکست ساخته شده توسط مدار برنامه‌ریز، پاسخ سیستم بهبود می‌یابد و نوسانات کاهش می‌یابد. نتایج شبیه‌سازی در جدول ۱ ارائه شده است.

جدول ۱. نتایج اعمال پالس پوزیکست ساخته شده بر روی مدار RLC

	پالس ورودی		فراجهش	بهبود	زمان‌نشست	بهبود
$R = 9k\Omega$ $L = 0.1mH$ $C = 0.1\ pF$	پله	لبه بالارونده	٪۶۴	–	۱۶۰ نانوثانیه	–
		لبه پایین‌رونده	٪۶۴	–	۱۴۲نانوثانیه	–
	پوزیکست	لبه بالارونده	٪۴	٪۹۳/۷۵	۳۱نانوثانیه	٪۸۰/۶۲۵
		لبه پایین‌رونده	٪۰/۳	٪۹۹/۵۳	۹نانوثانیه	٪۹۳/۶۷
$R = 13k\Omega$ $L = 0.1mH$ $C = 0.1\ pF$	پله	لبه بالارونده	٪۵۲	–	۱۰۱ نانوثانیه	–
		لبه پایین‌رونده	٪۵۲	–	۹۹ نانوثانیه	–
	پوزیکست	لبه بالارونده	٪۴	٪۹۲/۳	۳۲ نانوثانیه	٪۶۸/۳۲
		لبه پایین‌رونده	٪۱	٪۹۸/۰۸	۹ نانوثانیه	٪۹۰/۹۱
$R = 17k\Omega$ $L = 0.1mH$ $C = 0.1\ pF$	پله	لبه بالارونده	٪۴۲	–	۶۳نانوثانیه	–
		لبه پایین‌رونده	٪۴۲	–	۶۳نانوثانیه	–
	پوزیکست	لبه بالارونده	٪۵	٪۸۸/۱	۳۴ نانوثانیه	٪۴۶/۰۴
		لبه پایین‌رونده	٪۱	٪۹۷/۶۲	۱۱نانوثانیه	٪۸۲/۵۴
متوسط	پله	لبه بالارونده	٪۵۲/۶۶	–	۱۰۸ نانوثانیه	–
		لبه پایین‌رونده	٪۵۲/۶۶	–	۱۰۱/۳۳ نانوثانیه	–
	پوزیکست	لبه بالارونده	٪۴/۳۳	٪۹۱/۷۸	۳۲/۳۳نانوثانیه	٪۷۰/۷
		لبه پایین‌رونده	٪۰/۷۶	٪۹۸/۵۶	۹/۶۶ نانوثانیه	٪۹۰/۴۷

همانطور که در جدول ۱ مشاهده می‌شود، متوسط فراجهش در لبه بالارونده از ۵۲/۶۶٪ به ۴/۳۳٪ و در لبه پایین‌رونده از ۵۲/۶۶٪ به ۰/۷۶٪ کاهش یافته است. همچنین متوسط زمان نشست در لبه بالارونده از ۱۰۸ نانوثانیه به ۳۲/۳۳ نانوثانیه و در لبه پایین‌رونده از ۱۰۱/۳۳ نانوثانیه به ۹/۶۶ نانوثانیه کاهش یافته است.

نتیجه گیری

در این مقاله یک روش جدید برای ساخت پالس پوزیکست معرفی شد. در این روش از ایده تاخیر دادن به پالس پله ورودی و جمع کردن پالس اصلی و تاخیر یافته برای ساخت پالس پوزیکست استفاده شده است. برای تحقق این روش، یک مدار تاخیر دو کد و یک مدار جمع‌کننده دو کد معرفی شد. در مدار تاخیر پیشنهادی، تاخیر در لبه بالارونده و پایین‌رونده با دو مجموعه کد متفاوت کنترل می‌شود. همچنین در مدار جمع‌کننده معرفی شده، سطح اول ولتاژ پالس پوزیکست در لبه بالارونده و پایین‌رونده با دو مجموعه کد متفاوت کنترل می‌شود. در نهایت پالس پوزیکست ساخته شده توسط مدار برنامه‌ریز بر روی مدار RLC اعمال شده و نتایج شبیه‌سازی نشان داد که با اعمال پالس پوزیکست به مدار RLC، متوسط فراجهش در لبه بالارونده از ۵۲/۶۶٪ به ۴/۳۳٪ و در لبه پایین‌رونده از ۵۲/۶۶٪ به ۰/۷۶٪ کاهش یافته است. همچنین، متوسط زمان نشست در لبه بالارونده از ۱۰۸ نانوثانیه به ۳۲/۳۳ نانوثانیه و در لبه پایین‌رونده از ۱۰۱/۳۳ نانوثانیه به ۹/۶۶ نانوثانیه کاهش یافته است.

مراجع

[1] M. Rasoulzadeh, M.B. Ghaznavi-Ghoushchi,“A Novel Method for Oscillation Canceling of CMOS Opeational Amplifires Using Posicast,” SoC Design Conference, 2010, pp. 408 - 411.

[2] M. Rasoulzadeh, M.B. Ghaznavi-Ghoushchi, “Oscillation Controlled Electronic Systems Design Using Posicast-based Pulse Pre-shaping,” IEEE International Midwest Symposium on circuits and systems, 2009, pp. 24 - 28.

[3] M. Rasoulzadeh, M.B. Ghaznavi-Ghoushchi,"Design and Implementation of a CMOS Posicast Pre-Shaper for Vibration Reduction of Op-Amps,"Proceeding of the World Congress on Engineering and Computer Science 2009.

[4] M. Rahimi, M. B. Ghaznavi-Ghoushchi, "Improvement of Timing Specifications in Second Order Electronic Systems Using Programmable CMOS Posicast Pulse Shapers," 20th Iranian conference on electrical engineering, 2012, pp. 309-313.

[5] E. Balestrieri, "Some Critical Notes on DAC Time Domain Specifications," Instrumentation and Measurement Technology Conference, Sorrento, April 2006,pp. 24-27.

[6] B. Razavi, "Principles of data conversion system design," IEEE press New York, 1995.

[7] M. Nourani, A. Attarha, "Detecting Signal-Overshoots for Reliability Analysis in High-Speed System-on-Chip," IEEE Transactions on Reliability, 2002, vol. 51, no. pp. 494-504.

[8] A. Attarha, M. Nourani, "Built-In-Chip Testing of Voltage Overshoots in High-Speed SoCs," IEEE Proceeding on VLSI Test Symposium, 2001, pp. 111-116.

[9] J. Hung, "Posicast Control Past and Present," IEEE Multi disciplinary Engineering Education Magazine, 2007, vol. 2, no. 1.

[10] J. Dunning, G. Garcia, J. Lundberg, E. Nuckolls, "An All-digital Phase-locked Loop with 50-cycle Lock Time Suitable for High Performance Microprocessors," IEEE Journal of Solid-State Circuit, 1995, vol. 30, no. 4, pp. 412 - 422.

[11] M. Saint-Laurent, G. P. Muyshondt, "A Digitally Controlled Oscillator Constructed Using Adjustable Resistor," IEEE Southwest Symposium on Mixed- Signal Design, 2001, pp. 80-82.