بررسی اثر قطر نانولوله در رفتار ترانزیستورهای نانولوله کربنی با نواحی سورس و درین کم‌غلظت

سجاد محمدیان سیاهکلرودی[۱]، علی شاه‌حسینی[۲]، رحیم فائز[۳]

چکیده

در این مقاله، ترانزیستور نانولوله کربنی با نواحی سورس و درین کم‌غلظت را با استفاده از روش توابع گرین غیرتعادلی در یک بعد شبیه‌سازی کرده‌ایم. ترانزیستور نانولوله کربنی که در نزدیکی اتصالات سورس و درین آن نواحی کم‌غلظت در نظر گرفته‌ایم، اصطلاحاً ترانزیستور LDDS-CNTFET نامیده می‌شود. در بخشی از این مقاله تاثیر تغییر قطر نانولوله را بر روی رفتار این نوع ترانزیستور مورد بررسی قرار داده‌ایم. با اعمال این تغییرات مشاهده می‌شود که با افزایش قطر نانولوله جریان حالت روشن افزایش یافته ولی نسبت جریان حالت روشن به حالت خاموش کاهش یافته و زمان تأخیر افزاره نیز کاهش می‌یابد. همچنین با تغییر یاد شده حساسیت جریان نشتی و تأخیر و حاصل‌ضرب توان در تأخیر افزاره همگی نسبت به میزان غلظت سورس و درین کاهش می‌یابد.

کلیدواژه

توابع گرین غیر تعادلی (NEGF)، سورس و درین کم‌غلظت، نسبت جریان حالت روشن به حالت خاموش، زمان تأخیر، حاصل - ضرب توان در تأخیر (PDP).

مقدمه

امروزه با کاهش ابعاد ترانزیستورهای اثرمیدانی MOS و بروز محدودیت‌های آن در ابعاد زیر ده نانومتر ترانزیستورهای اثر میدانی نانولوله کربنی، CNTFET ، از گزینه‌های مهم جایگزینی آنها هستند[۱] . از برتری‌های این ترانزیستور نسبت[۳] به نوع MOSFET، تحرک‌پذیری بیشتر حامل‌ها و درنتیجه تأخیر کمتر است. از سوی دیگر انتقال حامل در این ترانزیستور را می‌توان شبه بالستیک در نظر گرفت. همچنین هدایت انتقالی (gm) بهتر، جریان نشتی کمتر و خصوصیات نوری بهتر از برتری‌های ترانزیستورهای اثر میدانی نانولوله کربنی نسبت به نوع MOS است[۲]. از این میان ترانزیستورهای نانولوله کربنی با سد پتانسیل شاتکی (SB-CNTFET[۴]) بیش از همه مورد توجه قرار گرفتند که ولتاژ آستانه بزرگ، نسبت کوچک جریان حالت روشن به جریان حالت خاموش و رفتار دوقطبی قوی از اشکالات مهم این نوع ترانزیستورها می‌باشد[۳].

با استفاده از ساختار ترانزیستور نانولوله کربنی با نواحی کم-غلظت سورس و درین در نزدیکی کانال ذاتی که در طرفین آن نواحی سورس و درین پرغلظت قرار دارد، LDDS-CNTFET[۵]، به نسبت جریان حالت روشن به جریان حالت خاموش بزرگتر، ولتاژ آستانه کوچکتر، جریان حالت روشن بزرگتر، تأخیر کمتر و حاصل‌ضرب توان در تأخیر کوچکتر نسبت به ترانزیستورهای نانولوله کربنی معمولی دست پیدا خواهیم کرد[۴]. ما برای شبیه‌سازی از روش توابع گرین غیر تعادلی، NEGF[۶]، استفاده کرده‌ایم. این روش معادله شرودینگر را تحت شرایط غیر تعادلی و به روش ماتریسی حل می‌کند[۵و۶]. تغییرات در میزان تغلیظ، تغلیظ خطی سورس/ درین و استفاده از اکسید با ضخامت نامتقارن تلاش‌هایی می‌باشد که تاکنون جهت حل

[۱] دانشجوی کارشناسی ارشد برق الکترونیک، دانشگاه آزاد اسلامی قزوین
[۲] استادیار دانشکده برق، دانشگاه آزاد اسلامی قزوین، Shahhoseini@Qiau.ac.ir
[۳] دانشیار دانشکده برق، دانشگاه آزاد اسلامی قزوین
[۴] Schottky Barrier CNTFET
تاریخ دریافت: ۲ آذر ۱۳۹۲ تاریخ پذیرش: ۲ بهمن ۱۳۹۲

[۵] Lightly Doped Drain and Source CNTFET (Carbon Nano Tube Field Effect Transistor)
[۶] Non-Equilibrium Green's Function

بحث تونل‌زنی باند به باند بکار رفته است[۷]. مقایسه LDDS-DG-MOSFET[۷] و DG-MOSFET[۸] نشان می‌دهد که نوع LDDS دارای خواص بهتری می‌باشد. علت این امر هم داشتن سدهای عریض در ناحیه سورس-کانال و درین-کانال است که موجب کاهش تونل‌زنی بین سورس و درین می‌شود[۸].

از آنجا که نانولوله به عنوان کانال در ترانزیستور مورد استفاده قرار می‌گیرد، هر گونه تغییر در خواص الکتریکی نانولوله می‌تواند در عملکرد ترانزیستور حاصل از آن تاثیر بگذارد. علاوه بر طول، ناخالصی و اثرات نقص، قطر نانولوله نیز می‌تواند خواص الکتریکی را تحت تاثیر قرار دهد. بدیهی است کاهش قطر نانولوله با توجه به انرژی پیوندهای کربنی، محدودیت دارد و از طرفی افزایش قطر از سویی باعث افزایش ابعاد ترانزیستور شده و از سوی دیگر ویژگی‌های غیر بالستیک انتقال را افزایش داده و موجب کاهش تحرک‌پذیری حامل‌ها می‌شود. همچنین با فرض آنکه نحوه رول کردن[۹] نانولوله آن را حالت نیمه‌هادی قرار دهد، با افزایش قطر با شکاف انرژی نسبت عکس دارد ($0.8E_g/D$ eV) و آن را به سمت هادی شدن سوق خواهد داد.

در این تحقیق، با تغییر قطر نانولوله در ترانزیستور نانولوله کربنی LDDS مشخصه‌های مختلف آن را استخراج نموده و اثر قطر در رفتار این نوع ترانزیستورها را بررسی می‌کنیم. در بخش ۲ به شرح ساختار ترانزیستور، شرایط و روش شبیه‌سازی می‌پردازیم. در بخش ۳ نتایج شبیه‌سازی را بررسی نموده و بخش آخر نیز نتیجه‌گیری بحث ارائه خواهد شد.

ساختار افزاره و روش شبیه‌سازی

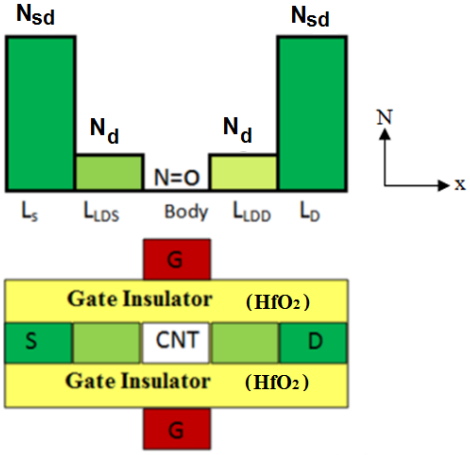
در این بخش ابعاد فیزیکی افزاره به همراه شرایط شبیه‌سازی و تغییرات غلظت ناخالصی در بخش‌های مختلف افزاره را بررسی می‌کنیم. سپس به شرح روش شبیه‌سازی خواهیم پرداخت.

ابعاد فیزیکی افزاره و شرایط شبیه‌سازی

ابعاد ترانزیستور نانولوله کربنی و شرایط شبیه‌سازی در جدول (۱) داده شده است. همچنین شرایط دما، ضریب دی‌الکتریک و نوع عایق نیز در این جدول آورده شده است.

جدول ۱. ابعاد فیزیکی افزاره و شرایط حاکم بر شبیه‌سازی

توضیحات	مقدار
طول سورس/درین	۳۰nm
طول گیت	۱۵nm
همپوشانی سورس/ درین با گیت	۰ nm
ضخامت اکسید عایق گیت	۲nm
ضریب دی الکتریک اکسید عایق	۱۶
دمای شبکه کربنی	۳۰۰K
فاصله اتصال کربن-کربن	۱/۴۲Å
ضریب tight-binding	-۳eV
نوع اکسید عایق	HfO_2



شکل ۱. ساختار ترانزیستور LDDS-CNTFET و تغییرات میزان غلظت در طول افزاره

ساختار غلظت در بخش‌های مختلف افزاره

در این بخش، ساختار یک ترانزیستور نانولوله کربنی با گیت استوانه‌ای هم‌محور که در آن غلظت سورس و درین در نزدیکی کانال ذاتی کم و در طرفین آنها ناحیه‌های پرغلظت تعبیه شده است را تشریح خواهیم کرد. تغییرات غلظت در طول افزاره مذکور در شکل (۱) نشان داده شده است. در این شکل N_{sd} غلظت در سورس و درین و N_d غلظت در ناحیه کم‌غلظت سورس و درین است که مقدار آن در شبیه‌سازی، $0.1N_{sd}$ است. L_{LSD} و L_{LDD} به ترتیب طول نواحی کم‌غلظت سورس و درین است. همانطور که در شکل (۱) دیده می‌شود کانال، نانولوله کربنی خالص بوده و ناخالصی به آن اضافه نشده است و بین دو ناحیه کم‌غلظت قرار گرفته است. غلظت ناحیه کم‌غلظت بین کانال و سورس و درین مقدار یکنواخت و ثابت و برابر $N_d = 0.2\times10^9\,\mathrm{m}^{-1}$ بوده و غلظت در ناحیه پرغلظت سورس و درین نیز مقداری ثابت و برابر $N_{sd} = 2\times10^9\,\mathrm{m}^{-1}$ می‌باشد که این مقدار ده برابر غلظت ناحیه کم‌غلظت است.

[۷] Lightly Doped Drain and Source Double Gate MOSFET
[۸] Double Gate MOSFET
[۹] Chairality

ساختار غلظت در بخش‌های مختلف افزاره

ما از روش NEGF با رویکرد فضای حالت برای شبیه‌سازی و مطالعه رفتار افزاره CNTFET، استفاده کرده‌ایم. فرمولاسیون NEGF عموماً برای سامانه‌هایی با ابعاد نانو بکار می‌رود. این روش معادلهٔ شرودینگر را تحت شرایط غیر تعادلی (اعمال ولتاژ بایاس درین و سورس) حل می‌کند و می‌تواند تاثیر نواحی سورس و درین بر کانال و اثر فرایند پراکندگی را نیز تبیین کند[۶]. به طور کلی روش NEGF در چهار گام اصلی اجرا می‌شود که در ادامه به شرح مختصری از هر گام خواهیم پرداخت.

گام اوّل: تعیین یک مجموعه توابع پایه و نوشتن ماتریس همیلتونین (H) برای ناحیه فعال افزاره است. هنگامی که افزاره مورد نظر یک ترانزیستور باشد، ناحیه فعال همان کانال بین سورس و درین می‌باشد. پتانسیل خود- سازگار[۱۰] نیز در نوشتن ماتریس هامیلتونین در نظر گرفته می‌شود[۵].

گام دوّم: محاسبهٔ ماتریس‌های خود- انرژی[۱۱] (Σ_1) و (Σ_2) و (Σ_3) می‌باشد که به ترتیب اتصال کانال به سورس، اتصال کانال به درین و اثر پراکندگی را توصیف می‌کنند. ما در این تحقیق انتقال بالستیک در نظر گرفته‌ایم و از اثرات پراکندگی صرف نظر کرده‌ایم.

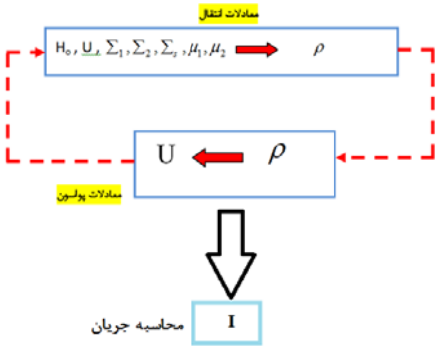
گام سوّم: در این مرحله پس از یافتن H و Σها در دو گام قبلی، نوبت به محاسبه تابع گرین تأخیری[۱۲] (G^r) به صورت

$$G^r(E)=[(E+io^+)I-H-\Sigma_1-\Sigma_2]^{-1} \qquad (۱)$$

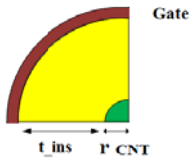
می‌رسد که در آن E انرژی و io^+ ماتریسی قطری است که عناصر روی قطر اصلی آن مقادیر بسیار کوچکی هستندکه در شبیه‌سازی آنها را 10^{-12} در نظر گرفته‌ایم.

گام چهارم: یافتن کمیت‌های فیزیکی مانند چگالی بار و جریان با استفاده از تابع گرین بدست آمده می‌باشد[۶]. در روش فضای حالت ابعاد ماتریس همیلتونین (H) به طور قابل ملاحظه‌ای کاهش می‌یابد که این امر موجب کاهش حجم محاسبات خواهد شد[۶]. حال نسبت به پیاده سازی روش شبیه‌سازی طبق الگوریتم تابع گرین غیر تعادلی(NEGF) اقدام می‌نماییم. از آنجا که در این روش از تکرار خودسازگار استفاده می‌شود گاهی بنام الگوریتم خودسازگار نیز خوانده می‌شود[۹و۱۰]. الگوریتم دیگری نیز وجود دارد که با روش حذف گوسی حجم محاسبات را کاهش می‌دهد[۱۱]. در الگوریتم خودسازگار دو معادله به روش تکرار حل می‌شود.

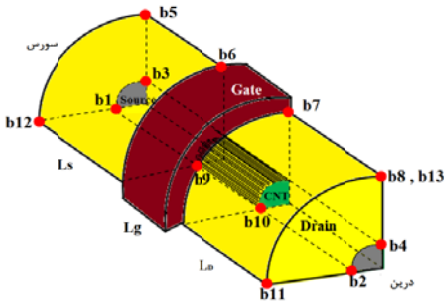
معادله اول، معادله انتقال (شرودینگر) است که در آن ماتریس چگالی بار الکترون‌ها (ρ) بدست می‌آید. سپس درمعادله دیگر یعنی معادلهٔ پواسون با معلوم بودن چگالی بار ρ مقدار جدید پتانسیل (U) بدست می‌آید و این مقدار جدید U مجدداً به معادله انتقال اعمال شده مقادیر جدید چگالی بدست می‌آید[۵]. با حل تکراری معادله انتقال و معادله پواسون مقادیر پتانسیل و چگالی همگرا خواهد شد. روند انجام این روش در شکل (۲) آمده است، برای حل عددی معادله پواسون روش نیوتن-رفسون و اعمال نقاط مرزی به آن اقدام شده است[۱۲]. در محاسبات ما نقاط مرزی به صورت شکل (۳) در نظر گرفته شده است. پس از همگرایی الگوریتم، جریان به ازای شرایط مختلف بایاس (ولتاژ گیت- سورس و درین- سورس) بدست خواهند آمد. شایان ذکر است در این تحقیق از کد برنامه MOSCNT.1.0 از سایت nanoHub.org [۱۳] که مربوط به پژوهش آقای ژائو و همکارانش [۵] بوده استفاده شده است.



شکل۲. روند الگوریتم خودسازگار



(الف)



(ب)

شکل۳. نمایش برش یافته افزاره (الف) سطح مقطع ،(ب) دید از مایل با تعیین نقاط مرزی با نام b1 تا b13 روی شکل بوسیله دایره‌های قرمز رنگ

۱۰ Self-Consistent Potential

۱۱ Self-Energy-

۱۲ Retarded Green's Function

ساختار غلظت در بخش‌های مختلف افزاره

قطر یک نانولوله کربنی را می‌توان از رابطه (۲) محاسبه کرد :

$$d_{CNT} = \frac{n \times \sqrt{3} \times a_{cc}}{\pi} \qquad (۲)$$

که در آن a_{cc} فاصله پیوند کربن- کربن بوده و n تعداد اتم‌های کربن موجود در هر حلقه کربنی می‌باشد[۵]. همانطور که در این رابطه دیده می‌شود، با تغییر تعداد اتم‌های کربن موجود در هر حلقه کربنی، یعنی n، می‌توان در قطر نانولوله تغییر ایجاد نمود. ما در شبیه‌سازی‌های خود از سه مقدار ۱۶، ۲۰ و ۲۵ برای n استفاده کرده‌ایم که به ترتیب قطر نانولوله-های وابسته به ترتیب مقادیر ۱/۲۵۳nm، ۱/۵۶۶nm و ۱/۹۵۷nm خواهند شد.

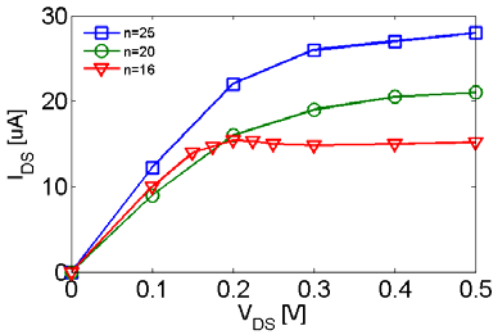
نتایج شبیه‌سازی

حال با افزایش قطر نانولوله نتایج حاصل را بررسی می‌نماییم. در ابتدا اثر این افزایش را بر نمودار $I_{DS}-V_{DS}$ می‌بینیم. شکل(۴) این نمودار را برای سه مقدار مختلف قطر نانولوله اشاره شده در زیر بخش تغییرات قطر نانولوله نشان می‌دهد. با افزایش تعداد اتم‌های موجود در هر حلقه کربنی و در نتیجه افزایش قطر نانولوله، مطابق انتظار جریان افزایش می‌یابد. در مرحله دوم اثر افزایش قطر نانولوله را بر نمودار $I_{DS}-V_{DS}$ بررسی می‌کنیم. شکل (۵) این نمودار را برای سه مقدار متفاوت قطر نانولوله نشان می‌دهد. با دقت در این شکل می-بینیم که استفاده از افزاره با قطر بیشتر سطح جریان خروجی افزاره را تقریباً در تمام نقاط بایاس ولتاژ گیت - سورس افزایش می‌دهد. با توجه به توضیحات فوق افزایش قطر نانولوله، بیشینه جریان نشتی را که به ازای ولتاژهای گیت-سورس منفی بزرگ رخ می‌دهد و همچنین کمینه جریان نشتی را نیز افزایش می-دهد.

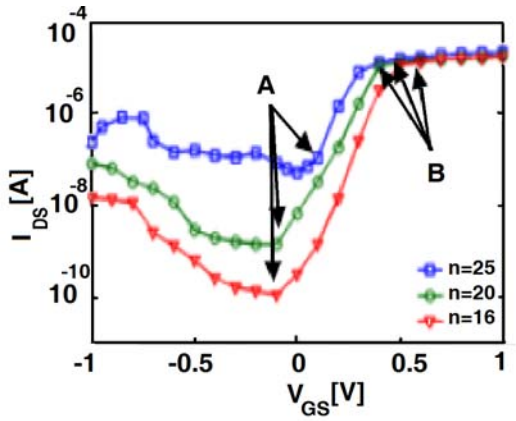
افزایش جریان در حالت روشن بودن افزاره مطلوب است ولی افزایش بیشینه و کمینه جریان نشتی از معایب افزاره با قطر بیشتر است و باید بین این دو مصالحه صورت پذیرد.

نمایش ساختارهای باند انرژی الکترون یکی از مشخصه‌هایی است که در بررسی رفتار یک افزاره و ترازهای انرژی آن مورد تحلیل قرار می‌گیرد. شکل (۶) این ساختار باند را برای مقادیر مختلف از تعداد اتم‌های موجود در هر حلقه کربنی، n نشان می‌دهند.

با دقت در شکل (۶) می‌بینیم که با افزایش n لبه پایینی باند هدایت در ناحیه کانال کاهش یافته و در مقابل لبه بالایی باند ظرفیت افزایش می‌یابد که در واقع شکاف انرژی کم می‌شود. به همین ترتیب با افزایش n، شکاف انرژی در نزدیکی سورس



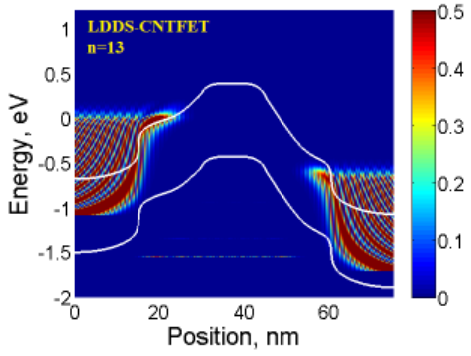
شکل۴. نمودار I_{DS}-V_{DS} برای مقادیر مختلفی ازقطر نانولوله، ∇ مربوط به n=16، ○ مربوط به n=20 و □ مربوط به n=25



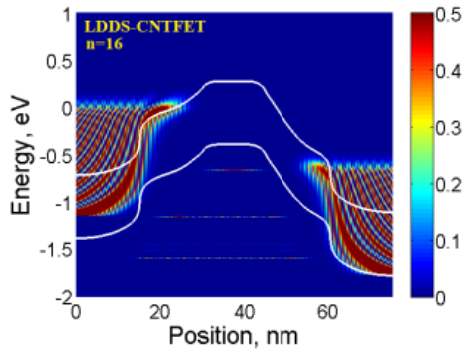
شکل۵. نمودار I_{DS}-V_{GS} برای مقادیر مختلفی ازقطر نانولوله، ∇ مربوط به n=16، ○ مربوط به n=20 و □ مربوط به n=25

و درین نیز کاهش می‌یابد.

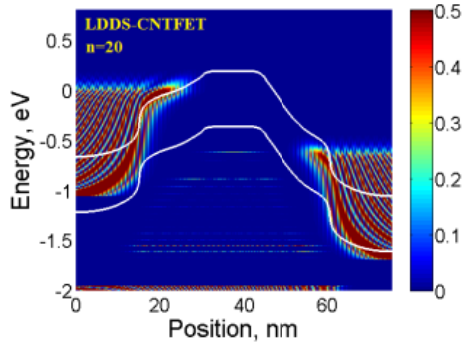
یکی از مواردی که برای طراحی یک افزاره مورد بررسی قرار گرفته و به تصمیمات مربوطه جهت می‌دهد مشخصه نسبت جریان حالت روشن به جریان حالت خاموش بر حسب جریان حالت روشن می‌باشد. ما نیز در این تحقیق نسبت به استخراج اطلاعات جریان درین-سورس به ازای $V_{DS}=0.5\text{V}$ و برحسب V_{GS} از $V_{GS}=-1\text{V}$ تا $V_{GS}=1\text{V}$ اقدام نمودیم. مشخصه فوق برای سه مقدار مختلف از قطر نانولوله رسم شده است جهت بدست آوردن نسبت جریان حالت روشن و حالت خاموش از این ایده استفاده شده که در منحنی‌های شکل (۵) مقادیر جریان روشن را در بازه‌ای از V_{GS} که جریان درین در آستانه افزایش (نقطه‌های A) تا جایی که جریان به مقدار نهایی (نقطه‌های B) می‌رسد در نظر گرفته و به ازاء هر یک از این V_{GS} ها به عنوان جریان حالت روشن، مقدار جریان مربوط به $V_{GS}-0.4\text{V}$، به عنوان جریان حالت خاموش در نظر گرفته شده است ($I_{DS}|_{V_{GS}}=I_{ON}$, $I_{DS}|_{V_{GS}-0.4}=I_{OFF}$)[۴]. شکل (۷) نمودار مقایسه‌ای نسبت جریان حالت روشن به جریان حالت خاموش بر حسب جریان حالت روشن را نشان می‌دهد.



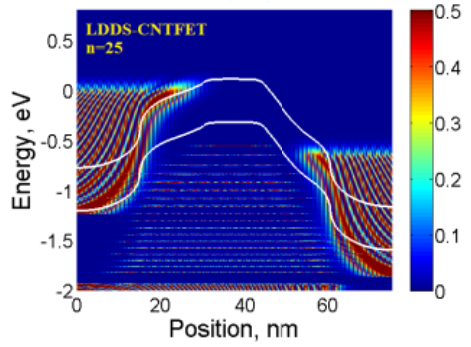
(الف)



(ب)



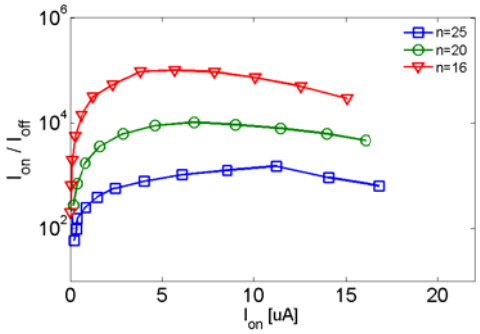
(پ)



(ت)

شکل۶. ساختار باند انرژی الکترون در طول محور کربن نانولوله، برای ترانزیستور LDDS-CNTFET به ازای $V_{GS}=-0.4\,\mathrm{V}$ و $V_{DS}=0.4\,\mathrm{V}$. (الف) $n=13$ ، (ب) $n=16$، (پ) $n=20$، (ت) $n=25$

با استخراج مقادیر جریان حالت روشن و حالت خاموش از جریان درین- سورس، می‌بینیم که مقدار مولفه نسبت جریان حالت روشن به حالت خاموش با افزایش قطر نانولوله در حال کاهش است. در بخش‌های قبل مشاهده شد که افزایش ولتاژ گیت- سورس منجر به افزایش جریان درین- سورس می‌شود. در افزاره با قطر بیشتر اثر افزایش این ولتاژ روی جریان درین- سورس بیشتر است.



شکل۷. نمودار نسبت جریان حالت روشن به جریان حالت خاموش بر حسب جریان حالت روشن. ∇ مربوط به $n=16$، ○ مربوط به $n=20$ و □ مربوط به $n=25$

با توجه به رابطه جریان درین- سورس و جریان حالت روشن و حالت خاموش ترانزیستور و توضیحات فوق، اختلاف جریان حالت روشن و حالت خاموش با افزایش قطر نانولوله، کاهش می‌یابد. در نتیجه نسبت جریان حالت روشن به جریان حالت خاموش در افزاره با قطر بیشتر، کاهش می‌یابد.

طی مطالعات انجام شده روی نانو ترانزیستورها ثابت شده است که با افزایش غلظت ناحیه تغلیظ شده در سورس و درین، N_d مقدار بیشینه جریان نشتی که در ولتاژهای بزرگ منفی رخ می‌دهد افزایش می‌یابد[۴]. برای بررسی اثر افزایش قطر نانولوله در روند فوق برای چهار مقدار از n، غلظت ناحیه کم غلظت در سورس و درین را از $1\times10^{8}\,\mathrm{cm}^{-1}$ تا $8\times10^{8}\,\mathrm{cm}^{-1}$ ($1,2,4,8\times10^{8}\,\mathrm{cm}^{-1}$) افزایش می‌دهیم و مقدار جریان نشتی بیشینه را ثبت می‌کنیم. در پایان نمودار رشد بیشینه جریان نشتی به ازای افزایش N_d برای nهای مختلف را رسم می‌کنیم. شیب نمودار فوق در واقع میزان تاثیر افزایش n در روند افزایش جریان نشتی به ازای افزایش N_d را نشان می‌دهد. شکل(۸) این نمودار را به تصویر می‌کشد. با اندکی دقت در نمودار فوق‌الذکر می‌توان نتیجه گرفت که برای nهای بزرگتر تأثیر افزایش N_d کمتر می‌باشد، چرا که شیب نمودار با افزایش n بتدریج کاهش می‌یابد. پس نتیجه می‌گیریم که در افزاره‌های با قطر بیشتر با افزایش یا کاهش غلظت ناحیه آلایش شده سورس و درین تغییر محسوسی در مقدار

بیشـــینه جریـان نشتی نداریم و این از مزایـــای افزایش قطر نانولوله در ترانزیستورهای نانو می‌باشد.

یکی از فاکتورهای کلیدی یک افزاره الکترونیکی حاصل ضرب توان آن در زمان تأخیرش (PDP) می‌باشد. این مقدار از رابطه زیر حاصل می‌شود :

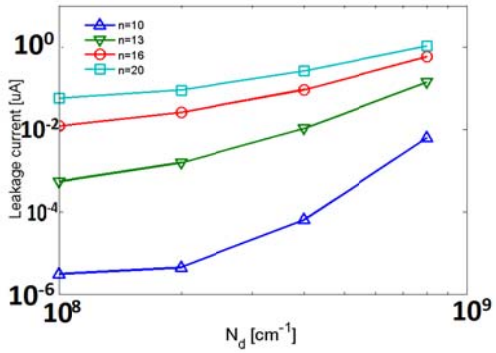
$$PDP = (Q_{on} - Q_{off})V_{DD} \qquad (۳)$$

که در آن Q بیانگر بار در حالت‌های روشن و خاموش بودن ترانزیستور بوده و نحوه محاسبه آن مشابه محاسبه جریان حالت روشن و حالت خاموش از جریان درین – سورس است[۴]. V_{DD} نیز ولتاژ تغذیه است.

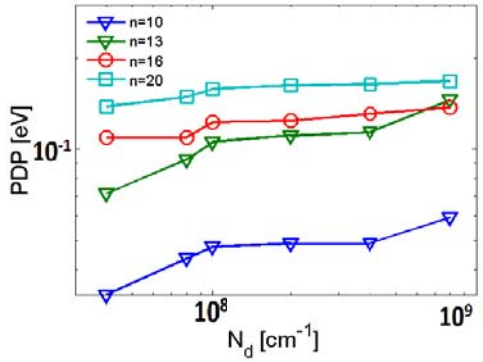
ما این مقدار را برای چهـار مقـدار از n ، یعنـی ۱۰، ۱۳ ، ۱۶، ۲۰ و شـــرایط بایـــاس $V_{DS} = 0.4\,V$ ، $V_{GS}(on) = 0.6\,V$ و $V_{GS}(off) = 0.2\,V$ ، بـه ازای افـزایش N_d محاســبه و در شکل (۹) رسم نموده‌ایم. با دقت در این شکل مشخص می‌شود، در nهای بیشتر تغییرات کمتری در رفتار PDP دیده می‌شـود. یعنی در افزاره با قطر نانولوله بزرگتر با تغییـر در میـزان N_d، در رفتار حاصل ضرب توان در تأخیر افـزاره تغییـر چنـدانی رخ نمی‌دهد. افزایش N_d با تاثیر روی فاصله هوایی انرژی منجر به افزایش بار افزاره می‌شود[۴]. در افزاره با قطر بیشتر آهنگ ایـن افزایش روی بار بیشتر است. پس در افزاره با قطر بزرگتر مقادیر بزرگتری برای بار در حالت روشن و خاموش داریم، اما اخـتلاف این دو مقدارکاهش خواهد یافت (Q_{on}, Q_{off} به هـم نزدیـک می‌شوند) و این امر منجر به کـاهش PDP مـی‌شـود. از طرفـی افزایش قطر افزاره تاثیر افزایشی روی این مقدار داشته و برآیند این دو اثر به تغییر کم و تقریباً ثبات منجر شده است.

شرایط فوق را برای بررسی نحوه رفتار تأخیر افزاره به ازای تغییر N_d برای چند n و شرایط بایاس مشابه بخش قبل تکرار می‌کنیم. نتیجه در شکل (۱۰) ارائه شده است. اولین نکته که کمی نیز بدیهی به نظر می‌رسید، کاهش زمان تاخیر با افزایش قطر نانولوله است که البته با توجه به افزایش قطر نانولوله و کاهش مقاومت معادل آن امری طبیعی می‌باشد.

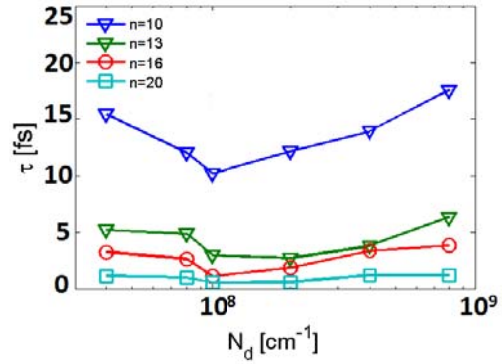
با دقت در شکل(۱۰) نتیجه می‌گیریم برای افزاره با قطر بزرگتر، تغییرات نسبت به افزایش N_d کمتر بوده و این نشان دهنده حساسیت کمتر افزاره با قطر نانولوله بیشتر نسبت به تغییر میزان تغلیظ بخشی از سورس و درین می‌باشد. یعنی در اینجا نیز در افزاره با قطر بیشتر می‌توان گفت با افزایش تغلیظ سورس و درین به جریان وصل بیشتر دست خواهیم یافت اما مقدار تأخیر افزاره تغییر چندانی نخواهد داشت. تحلیلی مشابه بخش دلایل نمودار قبلی در اینجا نیز صادق است.



شکل ۸. نمودار بیشینه جریان نشتی به ازای افزایش N_d به ازای تغییرn، Δ مربوط به $n=10$، ∇مربوط به $n=13$، $\circ$مربوط به $n=16$ و $\square$ مربوط به $n=20$ و شرایط بایاس $V_{DS}=0.4\,V$ ، $V_{GS}(on)$=0.6V و $V_{GS}(off)$=0.2V



شکل ۹. نمودار رفتارPDP به ازای افزایش N_d برای مقادیر مختلف n ، Δ مربوط به $n=10$، ∇مربوط به $n=13$، $\circ$مربوط به $n=16$ و $\square$ مربوط به $n=20$ و شرایط بایاس $V_{DS}=0.4\,V$ ، $V_{GS}(on)$=0.6V و $V_{GS}(off)$=0.2V



شکل ۱۰. رفتار تأخیر افزاره به ازای افزایش N_d برای تغییر n، Δ مربوط به $n=10$، ∇مربوط به $n=13$، $\circ$مربوط به $n=16$ و $\square$ مربوط به $n=20$ و شرایط بایاس $V_{DS}=0.4\,V$ ، $V_{GS}(on)$=0.6V و $V_{GS}(off)$=0.2V

نتیجه گیری

ما روش NEGF یک بعدی با رویکرد فضای حالت را برای شبیه‌سازی یک ترانزیستور نانولوله کربنی با نواحی کم غلظت در سورس و درین استفاده کردیم و چگونگی رفتار مشخصه-های ترانزیستور با تغییر قطر نانولوله را مورد بحث و بررسی قراردادیم. پس از پایان بررسی‌ها مشاهده کردیم که با افزایش قطر نانولوله جریان خروجی افزاره افزایش می‌یابد که منجر به افزایش توان افزاره نیز می‌گردد. همچنین نحوه تغییر میزان جریان نشتی را به ازای تغییر غلظت ناخالصی نواحی کم غلظت در سورس و درین برای چند مقدار از قطر نانولوله بررسی کرده به این نتیجه رسیدیم که در افزاره با قطر نانولوله بزرگتر، به ازای افزایش غلظت مذکور، تغییر چندانی در جریان نشتی نداریم.

از دیگر دستآوردهای این مقاله این است که مقدار تأخیر (τ) و همچنین حاصل‌ضرب تأخیر در توان (PDP)، در ترانزیستور با قطر نانولوله بزرگتر، حساسیت چندانی نسبت به افزایش میزان تغلیظ سورس و درین، ندارند. همچنین مقدار تأخیر با افزایش قطر نانولوله در حال کاهش و مقدار حاصل‌ضرب آن در توان افزاره با افزایش قطر نانولوله افزایش می‌یابد. البته افزایش قطر نانولوله منجر به افزایش پراکندگی می‌شود که در این مقاله در خصوص آن بحث نشده است. در مجموع می‌توان گفت افزاره با قطر نانولوله بزرگتر خروجی‌های بهتری را داشته و با رعایت محدودیت‌های فیزیکی و مصالحه بین نتایج مطلوب و نامطلوب افزایش قطر نانولوله و همچنین اثرات پراکندگی، ساخت افزاره با قطر بیشتر مطلوب خواهد بود.

مراجع

[1] F. Léonard and J. Tersoff, "Multiple functionality in nanotube transistor," Phys. Rev. Lett., vol. 88, no. 25, pp. 258 302–258 305, Jun. 2002.

[2] J. Sharifi and M. Sanaeepur, "Schottky-Barrier CNTFET and Resonant Transmission Through it," IEEE2nd International Conference on Adaptive Science & Technology. pp. 154–160, 2009.

[3] J. Guo, S. Datta, and M. Lundstrom, "A numerical study of scaling issues for Schottky-Barrier carbon nanotube transistors," IEEE Trans. Electron Devices, vol. 51, no. 2, pp. 172–177, Feb. 2004.

[4] R Yousefi, KSaghafi, and M.K .Moravvej-Farshi, "Numerical Study of Lightly Doped Drain and Source Carbon Nanotube Field Effect Transistors," Electron Devices, vol. 57, no. 4, pp.765-771, April 2010.

[5] J. Guo, S. Datta, M. Lundstrom, and M. P. Anantram, "Toward multi-scale simulations of carbon nanotube transistors," Int. J. Multiscale Comput. Eng., vol. 2, pp. 257–276, 2004.

[6] S .Datta,"The Non-Equilibrium Green's Function (NEGF) Formalism: An Elementary Introduction," IEDM, pp.703-706 , 2002.

[7] I. Hassaninia, M. H. Sheikhi, and Z. Kordrostami, "Simulation of carbon nanotube FETs with linear doping profile near the source and drain contacts," Solid State Electron., vol. 52, no. 6, pp. 980–985, Jun. 2008.

[8] Z. Rajabi, A. Shahhoseini, and R. Faez, "The Non-Equilibrium Green's Function (NEGF) Simulation of Nanoscale Lightly Doped Drain and Source Double Gate MOSFETs" International conference on devices, circuits and systems (ICDCS) ,pp25-28 ,Mar 2012.

[9] A. Sevizhenko, M. Anantram, T. Govindan, B. Biegel, and R. Venugopal, "Nanotransistor Modeling: Two-Dimensional Green's Function Method" J. Appl. Phys.,vol. 91, pp. 2343, 2002.

[10] M. P. Anantram, Mark S. Lundstrom, and Dmitri E. Nikonov,"Modeling of Nanoscale Devices,". Nanotechnology, Vol. 96, No. 9,pp.1511-1550, September 2008.

[11] S. Li a, S. Ahmed b, G. Klimeck c, E. Darve "A Computing entries of the inverse of a sparse matrix using the FIND algorithm" Journal of Computational Physics Elsevier, pp.9408–9427, 2008.

[12] Z. Ren, Ph. D. Thesis, Purdue University, West Lafayette, IN, 2001.

[13] https://www.nanohub.org/resources/1818/