# مدار مرجع ولتاژ با قابلیت کار در ناحیه زیر آستانه مناسب استفاده در کارت‌های هوشمند

سمیه یوسفی[۱]، محسن جلالی[۲]

## چکیده

*یک مدار مرجع ولتاژ CMOS بر اساس اختلاف ولتاژ گیت – سورس یک ترانزیستور از نوع PMOS و دو ترانزیستور از نوع NMOS ارائه شده است. به منظور کاهش مصرف جریان، المان‌های پسیو این مدار به حداقل رسیده است و همچنین تمام ترانزیستورها در ناحیه زیر آستانه بایاس شده‌اند. جهت بهبود نسبت حذف نویز تغذیه (PSRR) در بخش بایاس از یک مدار بایاس با وابستگی کم به تغییرات تغذیه استفاده شده است. جریان مصرفی این مرجع ولتاژ ۱۵۴ نانو آمپر در ولتاژ تغذیه ۳/۳ ولت می‌باشد و ولتاژ مرجع ۱/۲۷ ولت را ایجاد می‌کند. ثابت دمایی این مرجع ولتاژ ۵۹ ppm/℃ می‌باشد. مقدار نسبت حذف نویز تغذیه در فرکانس‌های ۱۰۰ Hz و ۱۰ MHz به ترتیب ۹۲ dB- و ۶۶ dB- می‌باشد. این مرجع ولتاژ یک ولتاژ ثابت به منظور استفاده در کنار رگولاتور ایجاد می‌کند و با توجه به مشخصات گفته شده، مناسب استفاده در کارت‌های هوشمند بدون تماس می‌باشد.*

## کلیدواژه

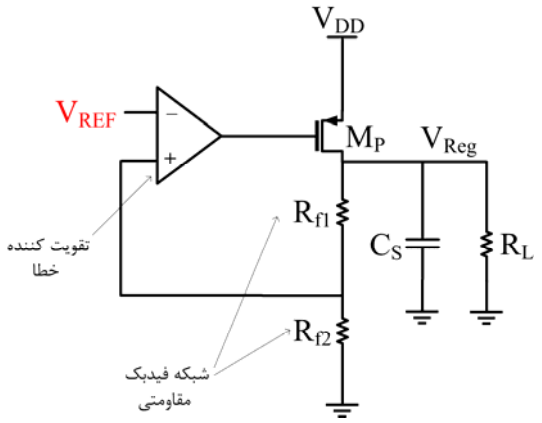
*مرجع ولتاژ CMOS، عملکرد زیرآستانه، PSRR زیاد، ثابت دمایی*

## مقدمه

مراجع ولتاژ یک بلوک اساسی در بخش تغذیه مدارها و سیستم‌های الکترونیکی محسوب می‌شوند. امروزه مراجع ولتاژ با جریان مصرفی کم و وابستگی کم به دما، به عنوان یک المان کلیدی در بسیاری از سیستم‌ها از جمله کارت‌های هوشمند و RFID، میکرو سنسورهای بی سیم و تراشه‌های قابل کاشت در بدن، از اهمیت بالایی برخوردار هستند [۱]. از آنجا که بسیاری از پارامترهای مداری با دما تغییر می‌کنند، اگر مراجع مستقل از دما باشند، آنگاه معمولاً از فرایند ساخت نیز مستقل می‌شوند[۲]. مرجع ولتاژ یک بخش لازم برای طراحی رگولاتور تغذیه می‌باشد که ساختار کلی آن در شکل ۱ نشان داده شده است. با توجه به این شکل ولتاژ تنظیم شده خروجی ($V_{Reg}$)، به وسیله یک شبکه فیدبک مقاومتی به صورت نسبتی از ولتاژ تولید شده توسط مدار مرجع ولتاژ ($V_{REF}$) مطابق رابطه ۱ تعریف می‌شود و این ولتاژ می‌تواند به راحتی توسط نسبت مناسب مقاومت تنظیم شود.

$$V_{Reg}=\left(1+\frac{R_{f1}}{R_{f2}}\right)V_{REF} \qquad (۱)$$

از آنجاییکه نسبت حذف نویز تغذیه (PSRR[۳]) مرجع ولتاژ به طور مستقیم، PSRR رگولاتور را محدود می‌کند،

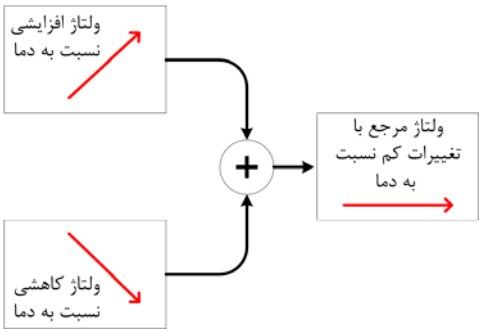



شکل ۱. ساختار کلی تنظیم‌کننده ولتاژ

طراحی مرجع ولتاژ با PSRR بالا یک چالش مهم و قابل توجه برای طراحان محسوب می‌شود [۳]. همچنین مراجع ولتاژی که با استفاده از تکنولوژی CMOS پیاده‌سازی می‌شوند، به علت سازگاری با بقیه سیستم، ترجیح داده

[۱] کارشناس ارشد برق الکترونیک، دانشگاه شاهد، s.yusefi@shahed.ac.ir
[۲] استادیار دانشکده فنی، دانشگاه شاهد، mjalali@shahed.ac.ir
تاریخ دریافت:۲۹مهر۱۳۹۲ تاریخ پذیرش:۳۰فروردین۱۳۹۳

[۳] Power supply rejection ratio




شکل۲. اصول عملکردی مدارهای مرجع ولتاژ

می‌شوند [۴]. مدارهای مرجع ولتاژ، غالباً مطابق شکل ۲، یک کمیت با تغییرات مثبت نسبت به دما (PTAT)[۴] را با کمیت دیگری با تغییرات منفی نسبت به دما (CTAT)[۵]، با یک نسبت درست ترکیب می‌کنند، تا ولتاژ یا جریانی با تغییرات دمایی کم نسبت به دما ایجاد شود.

از نظر نوع عملکرد، مدارهای مرجع ولتاژ را می‌توان به پنج دسته تقسیم کرد:

۱. جمع ولتاژهای CTAT و PTAT

۲. جمع یک ولتاژ CTAT و یک جریان PTAT ضرب شده در مقاومت R

۳. جمع یک جریان CTAT ضرب شده در مقاومت R و یک ولتاژ PTAT

٤. جمع جریان‌های CTAT و PTAT و ضرب آن در مقاومت R

۵. اختلاف کمیت‌های CTAT یا PTAT

در مرجع ولتاژ نوع ۱، $V_{REF}$ از جمع $V_{CTAT}$ با ضریب $\alpha$ و $V_{PTAT}$ با ضریب $\beta$ ایجاد می‌شود. از آنجاییکه هر دو ترم ولتاژ هستند، مرجع ولتاژ نوع ۱ را مد ولتاژ می‌نامند. لازم به ذکر است که TC مثبت از اختلاف بین ولتاژ بیس امیتر دو ترانزیستور دوقطبی که در دو جریان مختلف کار کنند یا از اختلاف ولتاژ گیت - سورس دو ترانزیستور MOS که در ناحیه زیر آستانه بایاس شده است، بدست می‌آید. TC منفی نیز به طور مستقیم از ولتاژ بیس امیتر یک ترانزیستور دوقطبی، ولتاژ مستقیم یک اتصال pn دیود یا از $V_{GS}$ یک ترانزیستور MOS بدست می‌آید. رابطه ۲ رابطه کلی این نوع مرجع ولتاژ را نشان می‌دهد. از انواع اصلی مراجع ولتاژ نوع ۱ می‌توان به طرح‌های ارائه شده در [۴-۶] اشاره کرد.

$$V_{REF} = \alpha V_{CTAT} + \beta V_{PTAT} \quad (۲)$$

در مرجع ولتاژ نوع ۲، کمیت CTAT از نوع ولتاژ است، در حالیکه کمیت PTAT از نوع جریان است که در مقاومت R ضرب شده‌است و با تغییر R می‌توان به راحتی سطح ولتاژ PTAT را به منظور ایجاد ولتاژی هم‌وزن ولتاژ CTAT، تغییر داد. مرجع ولتاژ نوع ۲ را مرجع ولتاژ مد ولتاژ - جریان می‌نامند که می‌توان از مقالات [۷-۱۱] در این دسته نام برد. رابطه کلی این نوع مرجع ولتاژ بصورت رابطه ۳ می‌باشد.

$$V_{REF} = \alpha V_{CTAT} + I_{PTAT} R \quad (۳)$$

مرجع ولتاژ نوع ۳، عملکرد دوگان[۶] نوع ۲ را به اجرا می‌گذارد و به آن مرجع ولتاژ مد جریان - ولتاژ می‌گویند. طرح ارائه شده در مرجع [۵] در این دسته قرار می‌گیرد و رابطه کلی آن در رابطه ۴ آمده است.

$$V_{REF} = I_{CTAT} R + \beta V_{PTAT} \quad (۴)$$

در نوع ۴، کمیت‌های CTAT و PTAT به شکل جریان تهیه می‌شوند و $V_{REF}$ از تزریق این دو جریان در یک مقاومت همانطور که در رابطه ۵ نشان داده شده است، بدست می‌آید و می توان با تغییر R به راحتی سطح ولتاژ مرجع را تغییر داد و به این نوع، مرجع ولتاژ مد جریان می‌گویند[۵]. مقالات [۱۲, ۱۳] از این نوع مرجع ولتاژ می‌باشند.

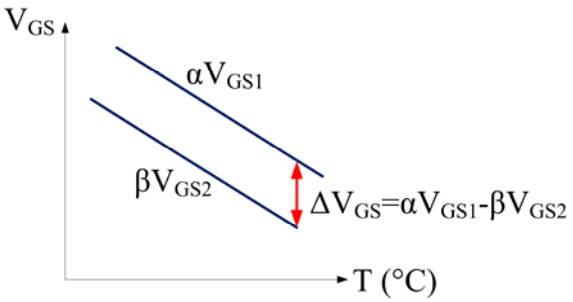
$$V_{REF} = I_{CTAT} R + I_{PTAT} R \quad (۵)$$

نوع ۵ مدارهایی هستند که مطابق شکل ۳ بر اساس اختلاف دو کمیت فقط CTAT یا فقط PTAT عمل می کنند. در این مدارها با مشتق گیری از $V_{REF}$ نسبت به دما و برابر صفر قرار دادن آن و با تعریف مناسب پارامترهای مداری به حذف وابستگی دمایی پرداخته می‌شود. طرح ارائه شده در [۱۴] را می‌توان در این دسته قرار داد. در این طرح که بر اساس اختلاف ولتاژ گیت - سورس ترانزیستورهای PMOS و NMOS می‌باشد، اگرچه هرکدام از $V_{GS}$ها، CTAT هستند اما همواره اختلاف ثابتی دارند که می‌تواند به عنوان ولتاژ مرجع اختیار شود. هسته اصلی

[۴] Proportional to absolute temperature

[۵] complementary to absolute temperature

[۶] Dual

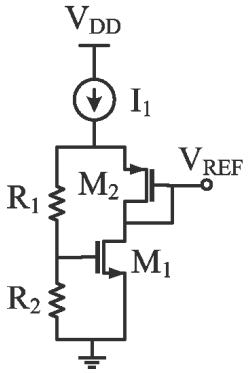



شکل ۳. مبنای عملکرد مراجع ولتاژ نوع ۵

این طرح در شکل ۴ نشان داده شده است که در آن $V_{REF}$ از رابطه زیر تبعیت می‌کند.

$$V_{REF} = (1+R_1/R_2)V_{GS1} - V_{GS2} \quad (۶)$$

همانطور که مشخص است در این مدار از دو مقاومت جهت ضریب دادن به یکی از ولتاژهای گیت - سورس استفاده شده است. این مقاومت‌ها با توجه به افت ولتاژ نسبتاً قابل توجه بر روی آنها، جریان مصرفی زیادی در حد چندین میکرو آمپر دارند که چندین برابر جریان مورد نیاز برای بایاس ترانزیستورهای اصلی می‌باشد [۱۴]. در نتیجه به منظور کاهش جریان مصرفی باید مقدار این مقاومت‌ها را افزایش داد که علاوه بر افزایش نویز باعث افزایش سطح تراشه نیز می‌شود. از طرفی این مرجع ولتاژ با وجود ضریب دمایی مناسب، PSRR مناسب جهت کاربردهای انتقال توان بیسیم در کارت‌های هوشمند بدون تماس را ندارد. بنابراین با هدف طراحی مرجع ولتاژ تماماً CMOS با جریان مصرفی در حد نانو آمپر و PSRR زیاد، مرجع ولتاژی بر اساس اختلاف ولتاژ گیت - سورس یک ترانزیستور PMOS و دو ترانزیستور NMOS پیشنهاد شده است.



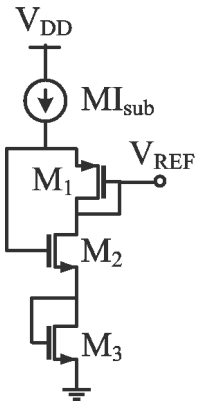

شکل۴. هسته اصلی (طرح ساده شده) مرجع ولتاژ [۱۴]

## مرجع ولتاژ CMOS پیشنهاد شده

در کارت‌های هوشمند بدون‌تماس و سایر کاربردهایی که توان به صورت بیسیم و محدود دریافت می‌شود، جریان مصرفی مدارها اهمیت ویژه‌ای می‌یابد. به عبارت دیگر کاهش مصرف توان کل می‌تواند به افزایش فاصله کارکردی بین کارت و دستگاه کارت‌خوان منجر شود. مراجعی که بر اساس اختلاف $V_{GS}$ ترانزیستورها کار می‌کنند، معمولاً از دو مقاومت برای ضریب دادن به یکی از ولتاژها و ایجاد اختلاف یکسان در سراسر بازه دمایی استفاده می‌کنند که باعث افزایش جریان مصرفی می‌شود. اولین گام برای کاهش جریان مصرفی حذف این مقاومت‌ها است. بنابراین همانطور که در شکل ۵ نشان داده شده است، مقاومت‌ها حذف شده و به منظور جبران حذف مقاومت‌ها و ایجاد ضریب برای ولتاژ گیت - سورس ترانزیستور NMOS، یک ترانزیستور سوم اضافه شده است. در نتیجه رابطه ولتاژ خروجی به صورت زیر خواهد بود:

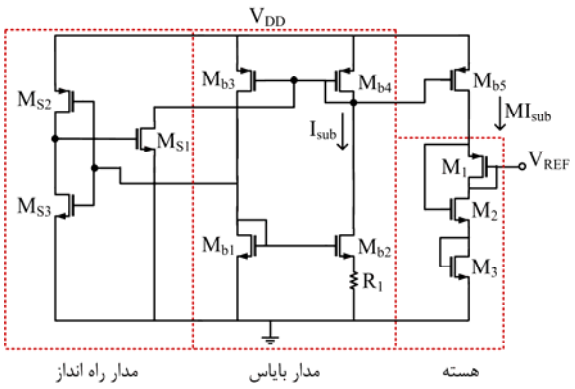
$$V_{REF} = V_{GS2} + V_{GS3} - V_{GS1} \quad (۷)$$

با انتخاب جریان بایاس مناسب و انتخاب دقیق ابعاد ترانزیستورها می‌توان شرایطی را ایجاد کرد که جمع این سه ولتاژ در سراسر بازه دمایی همواره مقداری با تغییرات بسیار کم را نتیجه دهد.




شکل ۵. طرح ساده شده مرجع ولتاژ پیشنهاد شده

در گام بعدی سعی شده است طراحی در زیرآستانه صورت پذیرد. این کار می‌تواند کاهش بیشتر جریان مصرفی را در پی داشته باشد. طرح مدار مرجع ولتاژ پیشنهادی در شکل ۶ نشان داده شده است. این طرح شامل هسته مرجع ولتاژ، مدار بایاس و مدار راه‌انداز می‌باشد. مدار




شکل ۶. طرح مرجع ولتاژ پیشنهاد شده

بایاس از ترانزیستورهای $M_{b1}$-$M_{b4}$ و مقاومت $R_1$ تشکیل شده است. جریان تولید شده توسط مدار بایاس با استفاده از ترانزیستور $M_{b5}$ به هسته مرجع ولتاژ تحویل داده می‌شود. هسته مرجع ولتاژ از ترانزیستورهای $M_1$-$M_3$ و مدار راه‌انداز از ترانزیستورهای $M_{S1}$-$M_{S3}$ تشکیل شده است. ترانزیستورهای هسته مرجع ولتاژ و همچنین ترانزیستورهای مدار بایاس در ناحیه زیرآستانه با جریانی در حد نانو آمپر بایاس شده اند.

## شروط طراحی و بهینه‌سازی

با توجه به طرح اصلی مرجع ولتاژ، مشهود است که ولتاژ مرجع خروجی از اختلاف ولتاژ گیت - سورس یک ترانزیستور PMOS و دو ترانزیستور NMOS همانطور که در رابطه ۷ نشان داده شده است، به دست می‌آید. همچنین همانطور که می‌دانیم، رابطه جریان - ولتاژ (I-V) ترانزیستوری که در زیر آستانه بایاس شده است، بصورت رابطه ۸ می‌باشد.

$$I_D = \mu_n C_{ox}\left(\frac{W}{L}\right)V_T{}^2 \exp\left(\frac{V_{GS}-V_{th}}{nV_T}\right)\left[1-\exp\left(\frac{-V_{DS}}{V_T}\right)\right] \qquad (۸)$$

که در آن $C_{ox}$ خازن اکسید گیت بر واحد سطح، $\mu_n$ موبیلیتی الکترون، W و L به ترتیب عرض و طول کانال، n شیب در ناحیه زیرآستانه و $V_T$=kT/q ولتاژ گرمایی می‌باشند. اگر $V_{DS} \geq 4V_T$ در نظر بگیریم، آنگاه می‌توان از عبارت درون کروشه صرف نظر کرد. بنابراین از بازنویسی این رابطه داریم:

$$V_{GS} = nV_T Ln\frac{I_D}{\mu_n C_{ox}\left(\frac{W}{L}\right)V_T{}^2} + V_{th} \qquad (۹)$$

با توجه به این رابطه و بر اساس شکل ۶ جریان تولید شده توسط مدار بایاس ($I_{sub}$) بصورت زیر خواهد شد.

$$\begin{aligned} I_{sub} &= \frac{1}{R_1}\left(V_{GS_{b1}} - V_{GS_{b2}}\right) \\ &= \frac{nV_T}{R_1}\left[Ln\frac{I_{sub}}{\mu_n C_{ox}(W/L)_{b1}V_T{}^2} - Ln\frac{I_{sub}}{\mu_n C_{ox}(W/L)_{b2}V_T{}^2}\right] \\ &= \frac{nV_T}{R_1}\left[Ln\frac{(W/L)_{b2}}{(W/L)_{b1}}\right] \\ &= \frac{nkT_0}{qR_1}\left[Ln\frac{(W/L)_{b2}}{(W/L)_{b1}}\right]\frac{T}{T_0} \\ &= I_{sub}(T_0)\frac{T}{T_0} \end{aligned} \qquad (۱۰)$$

که در آن $I_{sub}(T_0)$ جمله‌ای مستقل از تغییرات دما می‌باشد. از طرف دیگر وابستگی دمایی $V_{th}$ ترانزیستورهای PMOS و NMOS را می‌توان به صورت زیر نوشت [۱۴]:

$$\left|V_{thp}(T)\right| = \left|V_{thp}(T_0)\right| - \beta_{vthp}(T-T_0) \qquad (۱۱)$$

$$V_{thn}(T) = V_{thn}(T_0) - \beta_{vthn}(T-T_0) \qquad (۱۲)$$

که در آن $\beta_{vthn}$ و $\beta_{vthp}$ ثابت‌های دمایی ولتاژهای آستانه NMOS و PMOS هستند که اعداد ثابتی وابسته به تکنولوژی می‌باشند و $T_0$ دمای مرجع (دمای اتاق) می‌باشد. همچنین وابستگی دمایی موبیلیتی ترانزیستورهای PMOS و NMOS به ترتیب بصورت روابط ۱۳ و ۱۴ می‌باشند [۱۴]:

$$\mu_p(T) = \mu_p(T_0)\left(T/T_0\right)^{-\beta_{\mu_p}} \qquad (۱۳)$$

$$\mu_n(T) = \mu_n(T_0)\left(T/T_0\right)^{-\beta_{\mu_n}} \qquad (۱۴)$$

برای فناوری $0.18\ \mu m$، $\beta_{\mu_p}$ =۰/۱۳، $\beta_{\mu_n}$ =۱/۰۲۴، $\beta_{vthp}$ =۰/۳۵۵ و $\beta_{vthn}$ =۰/۲۵۵ می باشند. حال با توجه به روابط ۱۰-۱۴ به منظور بررسی وابستگی دمایی ولتاژ مرجع از رابطه ۷ نسبت به دما مشتق می‌گیریم.

$$\frac{\partial V_{REF}}{\partial T}=\frac{\partial V_{GS2}}{\partial T}+\frac{\partial V_{GS3}}{\partial T}-\frac{\partial V_{GS1}}{\partial T}$$
$$=-\frac{nk}{q}Ln\left[\frac{MI_{sub}(T_0)/T_0}{\mu_p(T_0)(T_0)^{\beta\mu_p}C_{ox}\left(\frac{W}{L}\right)_1\left(\frac{k}{q}\right)^2}\right]$$
$$+\frac{nk}{q}Ln\left[\frac{MI_{sub}(T_0)/T_0}{\mu_n(T_0)(T_0)^{\beta\mu_n}C_{ox}\left(\frac{W}{L}\right)_2\left(\frac{k}{q}\right)^2}\right]$$
$$+\frac{nk}{q}Ln\left[\frac{MI_{sub}(T_0)/T_0}{\mu_n(T_0)(T_0)^{\beta\mu_n}C_{ox}\left(\frac{W}{L}\right)_3\left(\frac{k}{q}\right)^2}\right]$$
$$+\frac{nk}{q}\left[2Ln(T^{\beta\mu_n-1})-Ln(T^{\beta\mu_p-1})\right]-\frac{nk}{q}(\beta\mu_p-1)$$
$$+\beta_{vthp}+\frac{nk}{q}(\beta\mu_n-1)-\beta_{vthn}+\frac{nk}{q}(\beta\mu_n-1)-\beta_{vthn}$$
$$=\frac{nk}{q}Ln\left[\frac{\mu_p(T_0)(T_0)^{\beta\mu_p-1}\left(\frac{W}{L}\right)_1MI_{sub}(T_0)}{(\mu_n(T_0))^2(T_0)^{2\beta\mu_n}\left(\frac{W}{L}\right)_2\left(\frac{W}{L}\right)_3C_{ox}\left(\frac{k}{q}\right)^2}\right]$$
$$+\frac{nk}{q}Ln(T^{\beta\mu_n-1}\frac{T^{\beta\mu_n-1}}{T^{\beta\mu_p-1}})+\frac{nk}{q}(2\beta\mu_n-\beta\mu_p-1)$$
$$+\beta_{vthp}-2\beta_{vthn} \qquad (15)$$

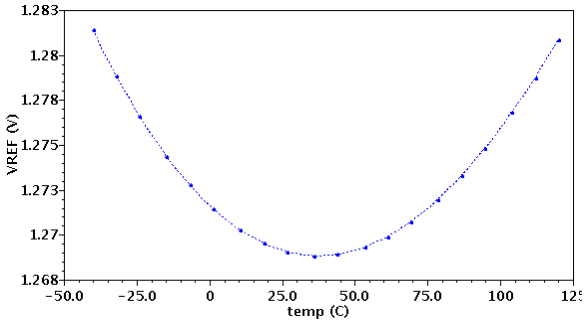
با برابر صفر قرار دادن نتیجه به دست آمده از رابطه ۱۵ می‌توان به شرط لازم زیر برای نسبت اندازه ترانزیستورهای هسته مرجع ولتاژ جهت حذف وابستگی دمایی ولتاژ مرجع دست یافت.

رابطه (۱۶) را می‌توان برای دمای اتاق بدست آورد و از آنجاییکه این دما تقریباً در وسط بازه دمایی ۴۰— تا ۱۲۰ درجه می‌باشد، بنابراین تغییرات دمایی ولتاژ مرجع در کل بازه به حداقل خواهد رسید.

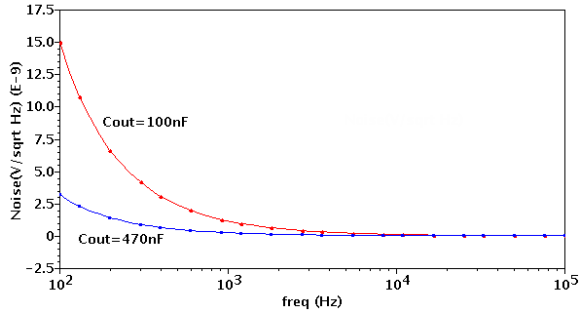
$$Ln\left[\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_2\left(\frac{W}{L}\right)_3}\right]=-\ln\left[\frac{MI_{sub}(T_0)T^{2\beta\mu_n-\beta\mu_p-1}}{(T_0)^{2\beta\mu_n}C_{ox}\left(\frac{k}{q}\right)^2}\right]$$
$$-\ln\left[\frac{\mu_p(T_0)(T_0)^{\beta\mu_p-1}}{(\mu_n(T_0))^2}\right]$$
$$+\beta\mu_p-2\beta\mu_n+1$$
$$+\frac{q}{nk}(-\beta_{vthp}+2\beta_{vthn}) \qquad (16)$$

## نتایج طراحی

مدار مورد نظر در فناوری ۰/۱۸ $\mu m$ و در شرایط زیرآستانه با ترانزیستورهای ۳/۳ ولتی طراحی گردیده و جریان مصرفی مرجع ولتاژ پیشنهاد شده، حدود ۱۵۴ نانو آمپر می‌باشد. شکل ۷ وابستگی دمایی ولتاژ مرجع خروجی را به ازای تغییرات وسیع دمایی ۴۰- تا ۱۲۰ درجه نشان می‌دهد. همانطور که مشخص است کل تغییرات در این بازه دمایی حدود ۱۲ میلی ولت یا ۵۹ ppm/°C می‌باشد. در شکل ۸ چگالی نویز مرجع ولتاژ پیشنهاد شده در شکل ۶، به ازای خازن‌های بار ۱۰۰ nF و ۴۷۰ nF نشان داده شده است. با توجه به شکل چگالی نویز بدست آمده با استفاده از خازن خروجی ۱۰۰ nF در فرکانس ۱۰۰ Hz و ۱۰۰ kHz به ترتیب ۱۵ nV/√Hz و ۵/۳ pV/√Hz می باشد.

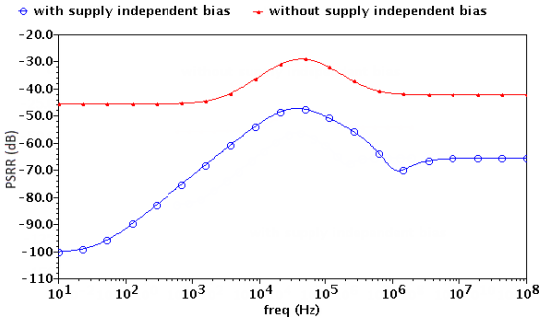



شکل ۷. وابستگی دمایی ولتاژ مرجع خروجی




شکل ۸. نویز مرجع ولتاژ پیشنهاد شده در شکل ۶

نتایج اندازه‌گیری میزان اثرپذیری ولتاژ خروجی از نویز و ریپل‌های تغذیه در شکل ۹ (منحنی قرمز رنگ) نشان داده شده است، که بیانگر PSRR حدود ۴۵dB— می‌باشد. در کارت هوشمند بدلیل فعالیت پیوسته ریزپردازنده اصلی و همچنین ریزپردازنده رمزنگاری که همگی مدارهای دیجیتال می‌باشند، نویز سوئیچینگ وارد شده در تغذیه زیاد بوده و بهتر است PSRR جهت کاهش اثر این نویزها

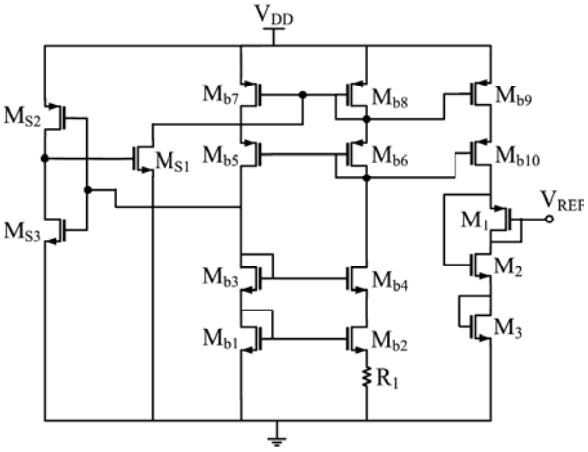



شکل ۹. PSRR مرجع ولتاژ پیشنهاد شده بدون (منحنی قرمز) و با (منحنی آبی) استفاده از مدار بایاس مستقل از تغذیه

بهبود یابد. بنابراین به منظور بهبود PSRR، از یک مدار بایاس غیر وابسته به تغذیه[۷] [۷] استفاده شده است.

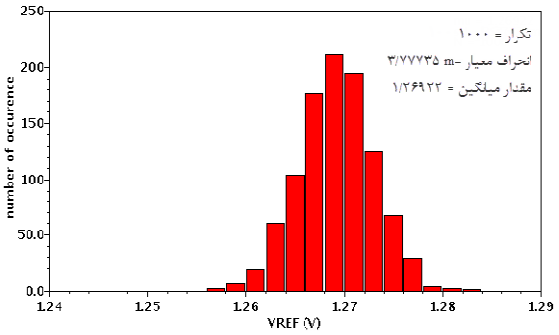
در شکل ۱۰ مرجع ولتاژ پیشنهادی با استفاده از بایاس غیر وابسته به تغذیه نشان داده شده است. به عبارت دیگر با اضافه شدن چهار ترانزیستور کسکود به مدار بایاس طرح اولیه، می‌توان با کاهش وابستگی جریان ایجاد شده به ریپل‌های تغذیه به بهبود PSRR کمک کرد. در شکل ۱۰ ترانزیستورهای مدار بایاس همچنان در ناحیه زیرآستانه بایاس شده اند. PSRR مرجع ولتاژ پس از اضافه شدن مدار بایاس غیر وابسته به تغذیه در شکل ۹ (منحنی آبی رنگ) نشان داده شده است، که در فرکانس‌های پایین حدود ۱۰۰dB− و در فرکانس‌های بالا حدود ۷۰dB− می‌باشد.

به منظور حصول اطمینان از عملکرد درست مدار در برابر تغییرات مقادیر و خواص المان‌ها، تجزیه و تحلیل آماری (Monte Carlo) با تکرار ۱۰۰۰ نمونه انجام شده است،




شکل ۱۰. طرح نهایی مرجع ولتاژ پیشنهاد شده

[۷] Supply independent bias circuit




شکل ۱۱. آنالیز مونت کارلوی ولتاژ مرجع خروجی

همانطور که در شکل ۱۱ نشان داده شده است، مقدار میانگین ولتاژ مرجع خروجی حدود ۱/۲۷ ولت و انحراف معیار ۳/۷۸ میلی می‌باشد. همانطور که در شکل ۱ و رابطه ۱ نشان داده شد، ولتاژ خروجی رگولاتورها در واقع ضریبی از ولتاژ خروجی مدار مرجع ولتاژ خواهد شد. از آنجاییکه مدارات دیجیتال استفاده شده در کارت هوشمند تا تغییرات ۱۰± درصدی ولتاژ تغذیه ایجاد شده توسط رگولاتور را می‌توانند تحمل کنند، بنابراین می‌توان میزان تغییرات مجاز ولتاژ مرجع را محاسبه کرد:

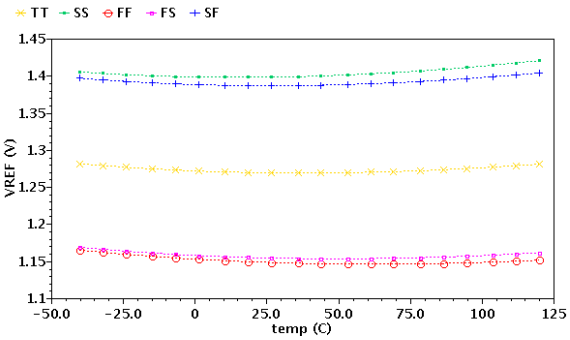
$$۱/۲۷ \times F = ۱/۸ \qquad (۱۷)$$
$$F = ۱/۴۱۷$$

طبق رابطه ۱۷، ولتاژ خروجی ۱/۲۷ ولتی مرجع ولتاژ توسط رگولاتور به تغذیه ۱/۸ تبدیل می‌شود. به علت اینکه میزان تغییرات مجاز ولتاژ خروجی رگولاتور ۳۶۰ میلی ولت (۱۰٪±) می‌باشد، می‌توان میزان تغییرات ولتاژ مرجع خروجی را به صورت زیر محاسبه کرد:

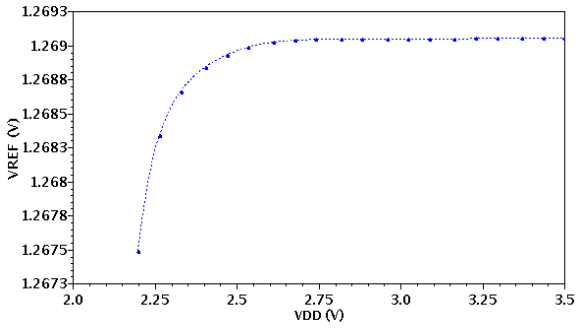
$$۳۶۰ \div ۱/۴۱۷ = ۲۵۴ \qquad (۱۸)$$

بنابراین مرجع ولتاژ مجاز است تغییرات ۲۵۴ میلی ولتی را نسبت به پروسس‌های مختلف و آنالیز مونت کارلو داشته باشد. با توجه به شکل ۱۱ خروجی آنالیز مونت کارلو تغییرات بسیار کمتری را نشان می‌دهد اما تغییرات ولتاژ مرجع خروجی نسبت به پروسس‌های مختلف نیز باید بررسی شود. شکل ۱۲ بیانگر رفتار مدار در پروسس‌های مختلف می‌باشد که دارای تغییرات در محدوده مجاز ۲۵۴ میلی ولت می‌باشد. شکل ۱۳ رفتار ولتاژ خروجی مدار را در برابر مقادیر مختلف تغذیه نشان می‌دهد. تغییرات ۱/۵ میلی ولتی ولتاژ مرجع خروجی به ازای تغییرات ولتاژ تغذیه از ۲/۲ تا ۳/۵ ولت در این شکل مشخص است. شکل ۱۴ شکل موج‌های بیانگر نحوه

عملکرد مدار راه‌انداز را نشان می‌دهد. به منظور تست مدار راه‌انداز با توجه به شکل ۶، با اعمال ولتاژ اولیه ۳/۳ ولت روی گیت ترانزیستور $M_{b3}$، مدار بایاس خاموش خواهد شد. در این حالت ولتاژ گیت ترانزیستورهای $M_{b2}$ و $M_{b1}$ نیز کاهش می‌یابد که در نتیجه خروجی معکوس‌کننده (ساخته شده با $M_{S2}$ و $M_{S3}$) افزایش پیدا کرده و باعث روشن شدن ترانزیستور $M_{S1}$ می‌گردد. پس از روشن شدن، این ترانزیستور از گیت ترانزیستورهای $M_{b3}$ و $M_{b4}$ (در شکل ۶) جریان می‌کشد و باعث کاهش سطح ولتاژ گیت ترانزیستور $M_{b3}$ و $M_{b4}$ و روشن شدن مجدد مدار بایاس می‌شود. پس از روشن شدن مدار بایاس، ولتاژ گیت و درین $M_{b1}$ افزایش یافته و باعث صفر شدن خروجی اینورتر و خاموش شدن $M_{S1}$ می‌شود. بدین ترتیب مدار راه‌انداز، مدار مرجع ولتاژ را به شرایط بایاس صحیح هدایت می‌کند. با توجه به شکل ۱۴ کل این فرایند در کمتر از ۲/. میکروثانیه رخ می‌دهد. مشخصات مدار مرجع ولتاژ پیشنهادی به همراه مقایسه با کارهای اخیر در جدول ۱ آورده شده است. طرح پیشنهاد شده در رنج دمایی و ولتاژی وسیع‌تر دارای جریان مصرفی و TC قابل قبولی (به منظور استفاده در کارت هوشمند) بوده و PSRR این طرح در فرکانس‌های بالا و پایین نسبت به مراجع دیگر بسیار بهتر است.



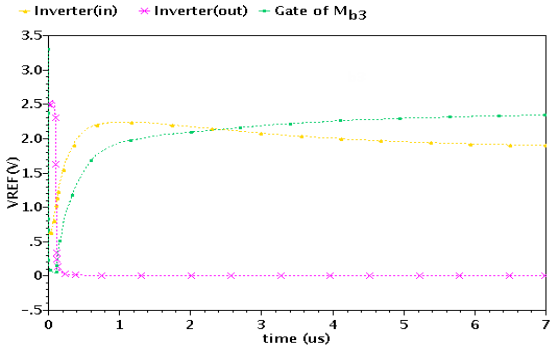

شکل ۱۲. تغییرات ولتاژ مرجع خروجی با پروسس‌های مختلف




شکل ۱۳. تغییرات ولتاژ مرجع خروجی نسبت به تغییرات تغذیه

جدول ۱. مشخصات مرجع ولتاژ پیشنهادی و مقایسه با کارهای قبلی

| | مرجع [۱۴] | مرجع [۱۵] | مرجع [۱۶] | مرجع [۱۷] | مرجع [۶] | طرح پیشنهادشده |
|---|---|---|---|---|---|---|
| تکنولوژی (µm CMOS) | ۰/۶ | ۰/۳۵ | ۰/۳۵ | ۰/۱۸ | ۰/۳۵ | ۰/۱۸ |
| سال | ۲۰۰۳ | ۲۰۰۹ | ۲۰۱۱ | ۲۰۱۱ | ۲۰۱۲ | ۲۰۱۴ |
| رنج دمایی (درجه سانتیگراد) | ۰ - ۱۰۰ | −۲۰ - ۸۰ | −۴۰ - ۸۰ | ۰ - ۱۰۰ | −۲۵ - ۸۵ | −۴۰ - ۱۲۰ |
| ولتاژ تغذیه (ولت) | ۱/۴ - ۳ | ۱/۴ - ۳ | ۱ - ۴ | ۱/۲ - ۲ | ۱/۵ - ۳/۳ | ۲/۲ - ۳/۵ |
| جریان تغذیه (میکروآمپر) | ۹/۷ | ۰/۲۱۴ @۱/۴ V | ۰/۲۵ @ ۱V<br>۰/۵۶ @ ۴V | گزارش نشده | ۰/۲۸ @ ۳/۳ V | ۰/۱۵۴ @ ۳/۳V |
| ولتاژ مرجع (ولت) | ۰/۳۰۹ | ۰/۷۴۵ | ۰/۱۹ | ۰/۳۵۶ | ۱/۰۳۸ | ۱/۲۷۵ |
| ثابت دمایی (ppm/°C) | ۳۶/۹ | ۷ | ۱۶/۹ | ۳/۵۸ | ۸۷ | ۵۹ |
| PSRR @100Hz<br>@10MHz | −۴۷ dB<br>−۲۰ dB | −۴۵ dB<br>−۲۲ dB@۱۰k | −۴۱ dB<br>−۱۷ dB | −۱۰۰ dB<br>−۱۵ dB | −۴۹ dB@1k | −۹۲ dB<br>−۶۶ dB |




شکل ۱۴. نحوه عملکرد مدار راه‌انداز

## نتیجه گیری

در این مقاله، طرح یک مرجع ولتاژ CMOS در تکنولوژی ۰/۱۸ میکرومتر CMOS پیشنهاد و طراحی شده است. این مرجع ولتاژ جریان مصرفی در حد نانوآمپر دارد و نسبت به تمامی کرنرها و همچنین آنالیزهای آماری (مونت کارلو) بررسی شده است. به منظور کاهش توان مصرفی، المان‌های پسیو استفاده شده در طرح‌های قبلی به حداقل رسیده و طراحی در ناحیه زیر آستانه صورت گرفته است.

## مراجع


[1] L. Magnelli, F. Crupi, P. Corsonello, C. Pace and G. Iannaccone,"A 2.6 nW, 0.45 V temperature-compensated subthreshold CMOS voltage reference," IEEE J. of Solid-State Circuits, vol. 46, pp. 465-474, 2011.

[2] B. Razavi, Design of Analog CMOS Integrated Circuits. New York: McGraw-Hill, 2001.

[3] W. Li, R. Yao and L. Guo, "A low power CMOS bandgap voltage reference with enhanced power supply rejection," ASIC, pp. 300-304, 2009.

[4] G. De Vita and G. Iannaccone, "A Sub-1-V, 10 ppm/°C, Nanopower Voltage Reference Generator," IEEE Journal of Solid-State Circuits, vol. 42, pp. 1536-1542, 2007.

[5] J. Yi, "Analysis, modeling, and design of RF-DC micro-power power management unit for RFID and micro-sensor applications," Ph.D dissertation, Department of Electronic and Computer Engineering, Hong Kong University of Science and Technology, 2010.

[6] S. Qin, H. Li and M. C., "A 280NA, 87ppm/°C, HIGH PSRR FULL CMOS VOLTAGE REFERENCE AND ITS APPLICATION," Semiconductor Conference Dresden-Grenoble (ISCDG), pp. 155-158, 2012.

[7] H. Shizhen, L. Wei, C. Wangsheng, L. Weiming and L. Peimin, "A design of high PSRR CMOS voltage reference based on subthreshold MOSFETs," Industrial Electronics and Applications, 3rd IEEE Conference on, pp. 2495-2498, 2008.

[8] M. El-Nozahi, A. Amer, J. Torres, K. Entesari, E. Sánchez-Sinencio, "High PSR low drop-out regulator with feed-forward ripple cancellation technique," IEEE Journal of Solid-State Circuits, vol. 45, pp. 565-577, 2010.

[9] C. E. Liu, Y. J. Hsieh and J. F. Kiang, "RFID regulator design insensitive to supply voltage ripple and temperature variation," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 57, pp. 255-259, 2010.

[10] G. C. Meijer and J. B. Verhoeff, "An integrated bandgap reference," IEEE J. Solid-State Circuits, vol. 11, pp. 403-406,1976.

[11] S. K. Hoon, J. Chen and F. Maloberti, "An improved bandgap reference with high power supply rejection," ISCAS, vol. 5, pp. V-833-V-836, 2002.

[12] P. H. Huang, H. Lin and Y. T. Lin, "A simple subthreshold CMOS voltage reference circuit with channel-length modulation compensation," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 53, pp. 882-885, 2006.

[13] K. N. Leung and P. K. Mok, "A sub-1-V 15-ppm/°C CMOS bandgap voltage reference without requiring low threshold voltage device," IEEE J. Solid-State Circuits, vol. 37, pp. 526-530, 2002.

[14] K. N. Leung and P. K. T. Mok, "A CMOS voltage reference based on weighted ΔVGS for CMOS low-dropout linear regulators," IEEE J. Solid-State Circuits, vol. 38, pp. 146-150, 2003.

[15] H. Vinayak, M. S. Baghini and P. Apte., "Design and optimzation of high precision CMOS voltage reference using Taguchi orthogonal array technique, "13th International Symposium on Integrated Circuits, pp. 575-578, 2011.

[16] C. Y. Hsieh, H. W. Huang and K. H. Chen, "A 1-V, 16.9 ppm/° C, 250 nA switched-capacitor CMOS voltage reference," IEEE Transactions on Very Large Scale Integration Systems, vol. 19, pp. 659, 2011.

[17] K. Ueno, T. Hirose, T. Asai and Y. Amemiya, "A 300 nW, 15 ppm/℃, 20 ppm/V CMOS voltage reference circuit consisting of subthreshold MOSFETs," IEEE J. of solid-state circuits, vol. 44, pp. 2047-2054, 2009.