ارائه یک مدار جدید D-Latch حالت جریان فوق سریع با CMOS سیلیکانی

مجید رافعی [۱]، سید محمدرضا موسوی میرکلایی [۲]

۱. کارشناس ارشد برق، دانشگاه علم و صنعت ایران

۲. استاد دانشکده برق، دانشگاه علم و صنعت ایران m_mosavi@just.ac.ir

تاریخ دریافت: ۹۲/۹/۲۳ تاریخ پذیرش: ۹۳/۴/۹

چکیده

در این مقاله به بررسی D-Latch منطق حالت جریان و نیز بهبود سرعت و عملکرد آن پرداخته شده است. ساختار اولیه مدارهای D-Latch حالت جریانی، بارها دستخوش تغییرات شده است. سرعت و توان مصرفی، دو هدف اصلی در طراحی این‌گونه مدارها به شمار می‌روند. در این کار دو ایده اصلی مطرح شده است، استفاده از بار فعال در مدار نگهدارنده و استفاده از خازن ترانزیستوری در کوپلاژ ورودی و حذف اثرات فرکانس پایین. سلف فعال در خروجی، با حذف اثرات خازنی پاسخ مدار را بسیار سریع‌تر کرده و در نتیجه زمان‌های صعود و نزول بسیار کاهش یافته‌اند. تکنولوژی استفاده شده 90nm Mixed-Signal SALICIDE (1P9M) و ولتاژ تغذیه مدار ۱ V است. در این شرایط با شبیه‌سازی‌های انجام شده مشخصه‌های مداری از قبیل تاخیر ۱/۱۱ ps، زمان صعود ۳/۶۴ ps و زمان نزول ۳/۵۷ ps در فرکانس پالس ساعت ۱۰ GHz با خروجی تفاضلی با ۰/۴۶۴ V نوسان قله به قله به دست آمده‌اند. توان ایستای مصرفی مدار حالت جریانی D-Latch تفاضلی ۲۰۰ μW است. فرکانس کاری مدار D-Latch می‌تواند تا فرکانس‌های بالاتر از ۴۰ GHz با جیتر زمانی قله به قله کمتر از ۴۰۰ fs بالا برود. این خصوصیات مدار ارائه شده را برای کاربردهای با فرکانس کاری بسیار بالا، در حد چند ده گیگاهرتز، کارآمد کرده است.

کلیدواژه

ارتباط فوق سریع، حالت جریان، سلف فعال، D-Latch.

مقدمه

مدار D-Latch در سامانه‌های منطقی بسیار با اهمیت است. D-Latch به عنوان ساختار اصلی و پایه در طراحی مدارهای مقایسه‌کننده[۱] [۱]، شمارنده[۲] و مقسم فرکانس[۳] [۲]، آشکارساز منطقی[۴] [۳] و دیگر سامانه‌های پردازش داده [۴] محسوب می‌شود. با توجه به پیشرفت فن‌آوری به سمت ابعاد کوچک‌تر ترانزیستور و سرعت‌های بسیار بالای انتقال داده، به طور مثال در فن‌آوری OC-192 برای انتقال داده دیجیتال با سرعت ۱۰Gbit/s و OC-768 با سرعت ۴۰Gbit/s، لازم است تمهیداتی برای طراحی این ساختار پایه اندیشیده شود که هم در توان‌های پایین‌تر و هم در سرعت‌های بالاتر بتواند کار کند؛ در عین حال سطح مصرفی کمی نیز اشغال کند[۵]. در فرکانس‌های بالاتر از یک گیگاهرتز سیگنال‌ها کم‌کم از ماهیت منطقی خود فاصله گرفته و باید مانند سیگنال‌های آنالوگ با آنها رفتار شود.

در [۶] و [۷] مقایسه‌ای بین قفل‌کننده‌ها[۵] و فلیپ‌فلاپ‌های منطق ولتاژی انجام شده است. طبق نتایج به دست آمده در این دو کار، توان در مدارهای منطقی حالت ولتاژ به طور مستقیم به فرکانس کاری مدار وابسته است، ولی در مدارهای حالت جریانی توان مستقل از فرکانس کاری است. از این رو، مدارهای منطقی حالت جریانی در فرکانس‌های کاری بالاتر از یک گیگاهرتز انتخاب مناسبی برای طراحی سامانه‌های منطقی محسوب می‌شوند. کارهای بسیاری نیز در زمینه قفل‌کننده‌های حالت جریانی انجام شده است. با رویکرد بهبود فرکانس کاری، Kim و دیگران سعی کردند که با استفاده از بار دیودی تشدیدی[۶] نیاز به مدار قفل‌کننده که سرعت فلیپ‌فلاپ را محدود می‌کند، برطرف و در نتیجه سرعت انتقال داده در حد ۱۰Gbit/s برای کاربرد موبایل فراهم کنند[۸]. برای افزایش سرعت فلیپ‌فلاپ، بیشتر کارها در

1. Comparator
2. Counter
3. Frequency Divider
4. Digital Mixer

5. Latches
6. Resonant Tunneling Diode (RTD)

هر فن‌آوری با نیمه‌هادی‌های گروه سوم و پنجم جدول تناوبی انجام شده که از سیلیکان گران‌تر هستند. از این رو، محققان تلاش می‌کنند که با ارائه طرح‌های مداری مناسب شامل MOS و CMOS به فرکانس کاری بالاتر دست یابند. مدارهای حالت جریانی به خاطر ساختار تفاضلی‌شان در مقابل نویز مشترک تا حد زیادی ایمن هستند. در مقابل بیشتر مشکل این مدارها به وجود آمدن تغییرات ناخواسته ولتاژ آستانه MOS در حین فرآیند ساخت است. فیدبک مقاومتی از ورودی به خروجی می‌تواند با کاهش بهره در حین افزایش پهنای‌باند، تغییرات ولتاژ آستانه را تعدیل کند[۷]. متاسفانه این فیدبک حتی در زمان نبودن کلاک، تغییرات ورودی را به خروجی منعکس می‌کند. در [۹] در قسمت مدار کلاک فیدبک RC به کار رفته و نشان داده شده که این فیدبک نشت پالس ساعت[۷] را کاهش داده و عملکرد قفل‌کننده را اطمینان‌پذیرتر می‌کند. نگهداری بار خازن‌های مدار قفل‌کننده می‌تواند سرعت مدار را به طور کارآمدی بالا ببرد. به هر حال این کار (نگهداری بار خازن‌های مدار قفل‌کننده) نیازمند مصرف توان بیشتر است. نمونه عملی آن تا سرعت ۲۰ Gbit/s در [۱۰] ارائه شده است.

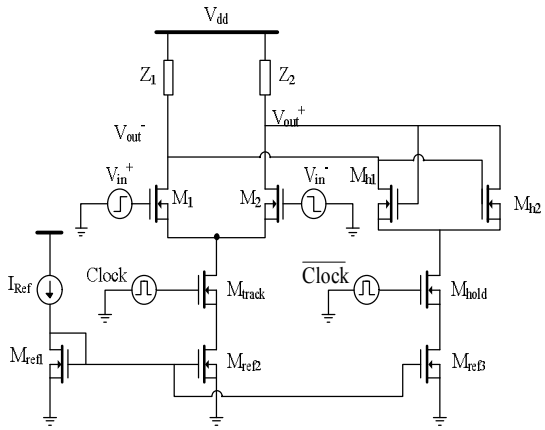
ایده مطرح شده در این کار استفاده از بار سلف فعال جهت کاهش آثار خازنی در گره خروجی است. در این زمینه کارهای کمی انجام شده، ولی از آن جمله می‌توان به [۱۱] اشاره کرد. در [۱۱] کاهش زمان صعود از ۴۰ ps برای مدار مرسوم با بار مقاومتی به ۲۶ ps برای مدار با بار سلف فعال گزارش شده است.

قسمت‌های بعدی این مقاله به شرح زیر ارائه می‌شود. در قسمت دوم عملکرد D-Latch مرور می‌شود. در قسمت سوم بعد از ارائه ساختار جدید برای سلف فعال، ساختار مداری جدیدی برای D-Latch ارائه خواهد شد. در این قسمت نتایج شبیه‌سازی مدار به کمک نرم‌افزار HSPICE ارائه و بحث شده و با کارهای دیگران مقایسه شده است. نهایتا قسمت آخر نتیجه‌گیری ارائه می‌دهد.

مروری بر D-Latch حالت جریانی

مدار D-Latch حالت جریانی مرسوم در شکل ۱ آورده شده است. این مدار به صورت زوج تفاضلی ارائه می‌شود. پارامترهای زمانی مدار از قبیل تاخیرها و زمان نمونه‌برداری[۸] و نگهداری[۹] با جزئیات کافی در [۹] تشریح شده است. در اینجا، تنها جهت یادآوری، به طور خلاصه عملکرد مدار را تشریح می‌کنیم. مدار در دو مرحله نمونه‌برداری و نگهداری عمل قفل‌کنندگی[۱۰] را انجام می‌دهد. در مرحله نمونه‌برداری پالس ساعت در سطح بالا بوده و تقویت‌کننده تفاضلی شامل ترانزیستورهای M1، M2، Mtrack و بارهای Z1 و Z2 سیگنال مکمل ورودی را برای خروجی تقویت می‌کند. هنگامی که سیگنال کلاک در سطح بالا قرار می‌گیرد، مدار نگهداری شامل ترانزیستورهای Mh1، Mh2، Mhold و بارهای Z1 و Z2 فعال شده و قسمت تقویت‌کننده از قسمت نگهدارنده قطع می‌شود. به خاطر فیدبک مثبت مدار قفل‌کننده، خروجی به یک وضعیت معین (یعنی سطح بالا یا پایین) رفته و تا وقتی که سیگنال کلاک در سطح بالا قرار نگرفته در همان وضعیت باقی خواهد ماند.

اگر بار مدار مقاومت خالص باشد، آنگاه شکل ۲ پاسخ پله مدار را به ازای پارامترهای مداری جدول ۱ و مقادیر مختلف مقاومت بار نمایش می‌دهد. مدار برای داشتن کمترین تاخیر و دامنه نوسان کافی در خروجی بهینه شده است. فرکانس سیگنال ساعت GHz ۱۰ و فرکانس سیگنال ورودی MHz ۹۰۹/۰۹ است.



شکل ۱. مدار D-Latch حالت جریانی مرسوم

از شکل ۲ پیداست که برای داشتن دامنه نوسان کافی در خروجی لازم است که مقادیر بزرگ مقاومت اهمی در خروجی داشته باشیم. این از نظر عملی قابل پیاده‌سازی نیست، مگر اینکه از خاصیت اهمی بار فعال استفاده شود.

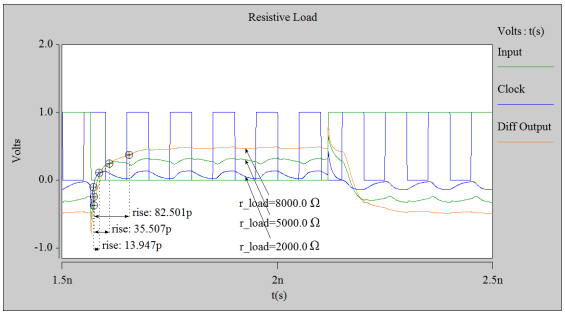
از آنجا که می‌خواهیم به مداری برای کار در فرکانس‌های چندده گیگا هرتز دست یابیم، بنابراین می‌توان از بارهای سلفی نیز بهره برد. سلف‌های غیرفعال با طراحی‌های مناسب ارائه شده‌اند، ولی از آنجا که در مدار قفل‌کننده احتیاج به سلف با کیفیت بالا نیست، بنابراین می‌توان سلف را به کمک خطوط فلزی در دسترس در تکنولوژی مورد نظر، نیز ساخت. Heydari و Mohanavelu مدار بافر حالت جریانی با بار سلف غیرفعال را بررسی کردند[۱۲]. آنها با اضافه کردن سلف غیرفعال به بار، تا حد امکان اثرات خازنی در گره خروجی را کاهش داده و سرعت کار مدار را بالا بردند. شکل ۳ پاسخ پله مدار تفاضلی به ازای بار مقاومتی- سلفی و نیز خازن‌های پارازیتی گره خروجی و همین‌طور زمان‌های صعود خروجی را به تصویر می‌کشد. همان‌طور که می‌دانیم و نیز از شکل ۳ پیداست،

7. Clock Feedthrough
8. Sampling
9. Holding
10. Latching

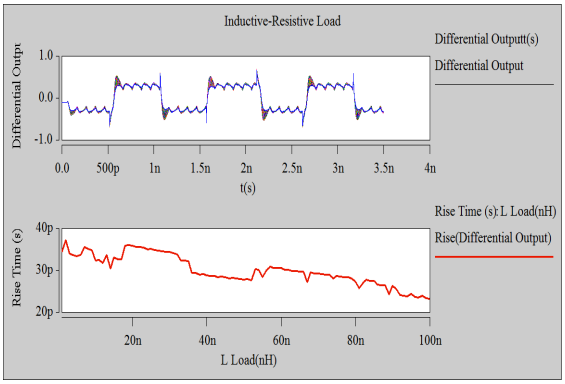
اگر مقدار سلف به درستی انتخاب نشود، ممکن است پاسخ پله مدار بالاروی یا پایین‌روی داشته باشد. امپدانس خروجی تفاضلی مدار در شکل ۴ در بازه فرکانسی ۱ Hz تا ۱ THz به تصویر کشیده شده است.

جدول ۱. پارامترهای مدار قفل‌کننده، unit(L)=90 *nm* , unit(W)=120 *nm*

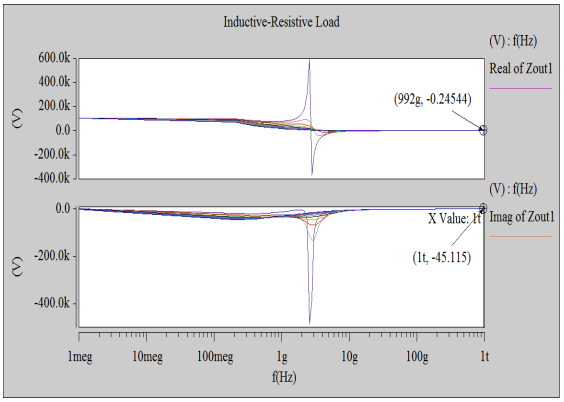
پارامترها	اندازه‌ها
V_{dd} (*V*)	1
M_1/M_2 (unit)	W=16/L=1
M_{track}/M_{hold} (unit)	W=1/L=1
M_{ref2}/M_{ref3} (unit)	W=8/L=1
$V_{g,ref2,3}$ (V)	0.8



شکل ۲. پاسخ پله مدار با بار مقاومت خالص



شکل ۳. خروجی تفاضلی (شکل بالا) و زمان صعود (شکل پایین) مدار به ازای بارهای سلفی متفاوت و مقاومت اهمی ۵ KΩ



شکل ۴. قسمت حقیقی (شکل بالا) و موهومی (شکل پایین) امپدانس خروجی اول

ارائه مدار D-Latch حالت جریانی با بار سلف فعال و بررسی پاسخ پله مدار

در این قسمت ابتدا به تشریح مدار سلف فعال پیشنهادی به عنوان بار در خروجی مدار D-Latch پرداخته و سپس ساختار مداری جدید ارائه شده برای D-Latch تشریح و بررسی خواهد شد. در هر قسمت نتایج شبیه‌سازی مدار نیز آورده شده است.

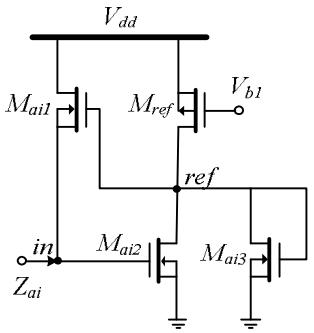
مدار سلف فعال پیشنهادی

سلف فعال (AI)[11] اصولا در یک نقطه بایاس ثابت طراحی می‌شود. البته ولتاژ برخی گره‌ها برای تغییر مشخصه مدار، نظیر امپدانس خروجی، متغیر در نظر گرفته می‌شود [۱۳]. اما اگر بخواهیم از یک سلف فعال به عنوان بار در خروجی مدار D-Latch استفاده کنیم، لازم است که این سلف فعال دارای بازه پویایی بزرگی باشد تا با تغییر سطح ولتاژ خروجی تا حد زیادی اثر سلفی خود را حفظ کند. همان‌طور که اشاره شد، سلف‌های طراحی شده از بازه پویایی نسبتا کمی برخوردارند.

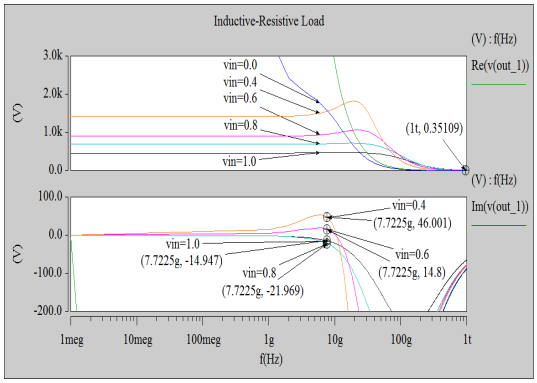
مدار سلف فعال پیشنهاد شده در این کار در شکل ۵ آورده شده است. از این شکل می‌توان گفت که اثر سلفی به کمک ترانزیستور به صورت فیدبک منفی از یک نقطه و بازگشت به همان نقطه ایجاد می‌شود. وجه تمایز مدار سلف فعال پیشنهاد شده در این کار با دیگر مدارهای ارائه شده آن است که بازه پویای ورودی این مدار بسیار افزایش داده شده است. افزایش بازه پویایی این مدار به کمک ترانزیستور Mai3 که با Mai2 موازی است، ایجاد می‌شود. از آنجا که در این ترانزیستور به گیت آن وصل شده است، بنابراین ترانزیستور هیچگاه به ناحیه اهمی خود نمی‌رود. فرض کنید ولتاژ گره ورودی پایین است. بنابراین ترانزیستور Mai2 خاموش بوده و مدار AI تنها اثر خازنی- مقاومتی از خود نشان می‌دهد. اکنون با زیاد شدن ولتاژ گره ورودی AI ترانزیستور Mai2 به وضعیت اشباع رفته و ولتاژ گره ref پایین خواهد آمد، بنابراین سهم بیشتری از جریان ترانزیستور Mref که به عنوان مرجع جریان عمل می‌کند، از ترانزیستور Mai2 عبور خواهد کرد. در بازه‌ای که هر دو ترانزیستور Mai1 و Mai2 در ناحیه اشباع می‌باشند، این مدار کاملا از خود اثر سلفی- مقاومتی نشان می‌دهد. با زیادتر شدن ولتاژ گره ورودی AI، ترانزیستور Mai1 به وضعیت خاموشی رفته و اثر سلفی- مقاومتی مدار تبدیل به اثر خازنی- مقاومتی خواهد شد. هنگامی که ولتاژ گره in شروع به پایین آمدن می‌کند، ترانزیستور Mai2 شروع به خاموش شدن کرده و سهم بیشتر منبع جریان Mref از ترانزیستور Mai3 عبور خواهد کرد. ترانزیستورهای Mai3 و Mref طوری طراحی شده‌اند که وقتی ترانزیستور Mai2

11.Active Inductor (AI)

می‌خواهد به وضعیت خاموشی برود، ولتاژ گره ref تا نزدیکی‌های Vdd بالا برود. عرض ترانزیستور Mai1 ۶ واحد (۶ ×۰/۱۲۰ µm) انتخاب شده تا این ترانزیستور در این وضعیت در ناحیه اشباع باقی مانده و به ناحیه اهمی نرود. از آنجا که قرار است این مدار به عنوان بار در خروجی مدار D-Latch به کار برود، جریان ترانزیستور Mai2 باید از طریق قسمت اولیه مدار D-Latch تامین شود. در بازه‌ای که هر دو ترانزیستور Mai1 و Mai2 در ناحیه اشباع قرار دارند، مدار از خود اثر سلفی- مقاومتی نشان می‌دهد. از آنجا که این بازه می‌تواند کسر بزرگی از سطح ولتاژ Vdd باشد، بازه پویای مدار نسبت به AI های دیگر گسترش خواهد یافت.



شکل۵. سلف فعال پیشنهادی به عنوان بار خروجی مدار D-Latch

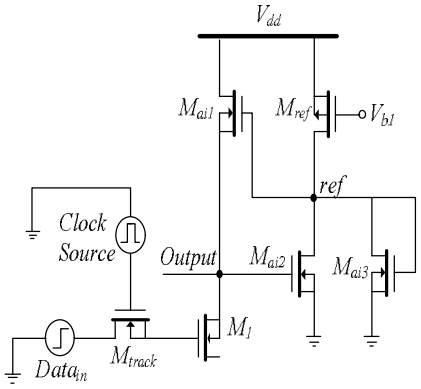


شکل۶. قسمت حقیقی (شکل بالا) و قسمت موهومی (شکل پایین) پاسخ فرکانسی امپدانس در گره in در مدار شکل ۵

به منظور بررسی عملکرد مدار AI یک ترانزیستور NMOS با ولتاژ بیش‌تحریک حدود ۲۰۰ mV در گره ورودی مدار، که تأمین‌کننده جریان ترانزیستور Mai2 باشد، قرار می‌دهیم. سپس به گره ورودی AI منبع جریان فرکانسی متصل و پاسخ فرکانسی امپدانس این گره را استخراج خواهیم کرد. شکل ۶ پاسخ فرکانسی امپدانس در گره in سلف فعال شکل ۵ را به تصویر می‌کشد. همان‌طور که ملاحظه می‌شود، در فرکانس ۱۰ GHz امپدانس ورودی اثر سلفی- مقاومتی دارد. نکته قابل توجه آن است که در فرکانس‌های خیلی بالاتر قسمت حقیقی امپدانس نزدیک صفر بوده و کیفیت خازن خروجی بالا است، بنابراین در این فرکانس ثابت زمانی RC خروجی مدار D-Latch بسیار کوچک بوده و از این رو زمان صعود خروجی بسیار کاهش خواهد یافت.

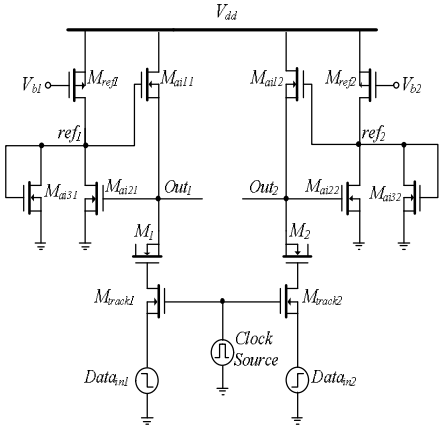
مدار D-Latch پیشنهادی

مدار کلیدزنی D-Latch به ازای پالس ساعت و ورودی به صورت شکل ۷ تغییر داده شده است. از آنجا که پایه سورس ترانزیستور M1 آزاد است، بنابراین با اعمال سیگنال ورودی یا پالس ساعت، بار روی پایه گیت از طریق خازن گیت- سورس به گره خروجی مدار منتقل شده و سطح پتانسیل در گره خروجی با ولتاژ ورودی تغییر می‌کند. همان‌طور که در شکل ۶ مشاهده شد، مقاومت معادل سری با خازن معادل گره خروجی، در فرکانس‌های بسیار بالا، تقریبا صفر بوده و ثابت زمانی در گره خروجی بسیار افت خواهد کرد.

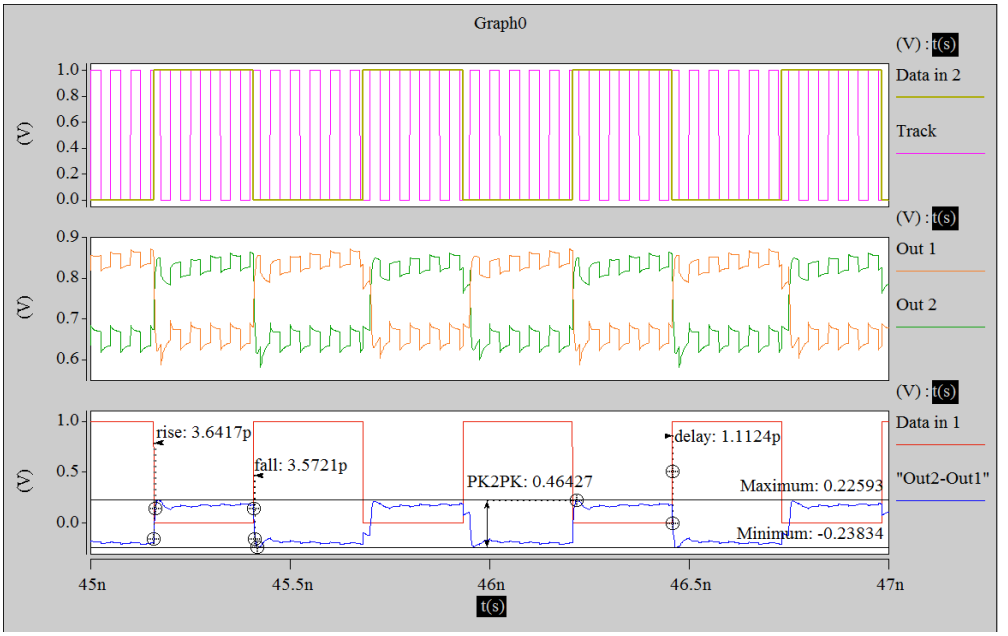


شکل۷. مدار تک ورودی D-Latch پیشنهاد شده

سیگنال ورودی با دوره تناوب ۵ ns و کلاک ساعت با دوره تناوب ۱ ns را به مدار تفاضلی شکل ۸ می‌دهیم. با این ورودی، سیگنال‌های خروجی به صورت شکل ۹ به دست می‌آید. زمان صعود سیگنال تفاضلی خروجی از ۱۰ تا ۹۰ درصد، همان‌طور که در شکل ۹ دیده می‌شود، برابر با ۳/۶۴ ps و زمان نزول برابر با ۳/۵۷ بوده و تاخیر ۱/۱۱ ps است.



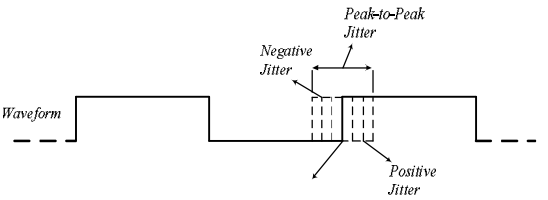
شکل ۸ . مدار تفاضلی D-Latch پیشنهاد شده



شکل۹. سیگنال ورودی (شکل بالا)، پاسخ زمانی هر یک از دو خروجی (شکل وسط) و پاسخ زمانی خروجی تفاضلی به همراه سیگنال ورودی (شکل پایین) در فرکانس پالس ساعت ۱۰ GHz

جدول۲. پارامترهای مدار D-Latch پیشنهادی
.unit(L)=100 nm, unit(W)=120 nm

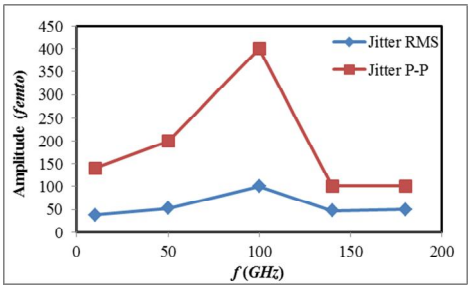
پارامترها	اندازه ها
V_{dd} (V)	1
M_1 (unit)	W=8/L=1
M_{ai1} (unit)	W=6/L=1
M_{ai2} (unit)	W=3/L=1
M_{ai3} (unit)	W=1/L=12
M_{ref} (unit)	W=7/L=1
M_{track} (unit)	W=1/L=1
V_b (V)	0.8



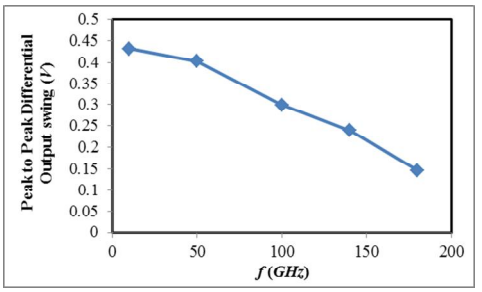
شکل۱۰. انحراف از سیگنال مطلوب

این در حالی است که دامنه قله‌به‌قله سیگنال تفاضلی خروجی برابر با ۰/۴۶۴ V است. پارامترهای مدار در جدول ۲ آورده شده‌اند. اگر D-Latch را به عنوان یک منتقل‌کننده سیگنال در نظر بگیریم، جیتر آن دارای اهمیت خواهد بود. همان‌طور که در شکل ۱۰ نشان داده شده، جیتر میزان تغییرات تاخیر سیگنال خروجی نسبت به یک مرجع سیگنال با تناوب ثابت است. برای محاسبه جیتر در مدار طراحی شده، سیگنال ساعت را یک گذاشته، ورودی را به صورت سیگنال پالس مربعی به مدار اعمال می‌کنیم.

همان‌طور که در شکل ۱۱ نشان داده شده است، خروجی تا فرکانس ۱۸۰ GHz، جیتر کم‌تر از ۴۰۰ f یا ۱۲۳/۹۸ dB- دارد، ولی رفته رفته با افزایش فرکانس دامنه نوسان تفاضلی خروجی کاهش می‌یابد. شکل ۱۲ خروجی تفاضلی مدار D-Latch را در ۴ فرکانس مختلف نشان می‌دهد. جدول ۳ جهت مقایسه مدار پیشنهاد شده با کارهای دیگران آورده شده است.

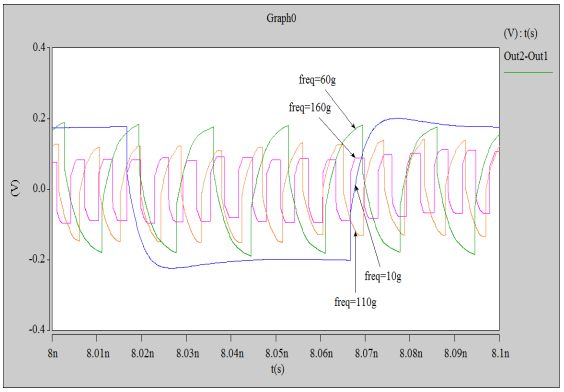


(الف)



(ب)

شکل۱۱. (الف) جیتر بر حسب فرکانس ورودی و (ب) دامنه نوسان قله به قله خروجی بر حسب فرکانس ورودی



شکل۱۲. خروجی تفاضلی در فرکانس‌های مختلف ورودی

نتیجه‌گیری

مدار D-Latch ارائه شده در این مقاله در تکنولوژی CMOS سیلیکانی طراحی شده و در فرکانس‌های بسیار بالا (بالاتر از GHz ۴۰)، می‌تواند داده‌های ورودی را پردازش کند. در ساختار جدید ارائه شده از سلف فعالی با بازه پویایی بزرگ به عنوان بار در خروجی مدار بهره برده شده است. سلف فعال ارائه شده امکان ذخیره اطلاعات را هنگامی که پالس ساعت قطع می‌شود نیز فراهم آورده و نیاز به مدار تثبیت‌کننده را مرتفع کرده است. زمان صعود ps ۳/۶۴ و زمان تاخیر ps ۱/۱۱ با دامنه نوسان قله به قله V ۰/۴۶ در فرکانس پالس ساعت GHz ۱۰ در شبیه‌سازی مدار به دست آمد.

جدول۳. مقایسه مدار D-Latch پیشنهاد شده با کارهای دیگران

مرجع	سال انتشار	فن‌آوری (nm)	V_{dd} (V)	نوسان خروجی تفاضلی	t_{rise} (ps)	تأخیر (ps)	توان (mW)	PDP (fJ)	حداکثر فرکانس کاری (GHz)
[۸]	۲۰۰۵	InP	ت.ن.	۰/۱۱۴	ت.ن.	ت.ن.	۲۳	ت.ن.	۱۰
[۱۲]	۲۰۰۴	۱۸۰	ت.ن.	± ۰/۴	ت.ن.	ت.ن.	ت.ن.	ت.ن.	۲۰
[۴]	۲۰۰۹	۱۸۰	۱/۸	۱	ت.ن.	۵۵	ت.ن.	ت.ن.	۱
[۱۱]	۲۰۱۱	۱۸۰	۱/۸	± ۱/۵	۲۶	ت.ن.	۰/۴	ت.ن.	ت.ن.
[۵]	۲۰۰۸	۹۰	۰/۴	۰/۱۱	ت.ن.	۵۰۰	ت.ن.	ت.ن.	ت.ن.
این کار	۲۰۱۴	۹۰	۱	± ۰/۲۳ در ۱۰ GHz	۳/۶۴ در ۱۰ GHz	۱/۱۱ در ۱۰ GHz	۰/۱۹۹	۰/۲۲	۴۰

ت.ن.: تعیین نشده

مرجع‌ها

[1] S. Okura, T. Ohkura, K. Taniguchi and H. Shibata, "Frequency response analysis of latch utilized in high-speed comparator," IEEE Conference on Electronics, Circuits and Systems, pp. 1077-1080, 2006.

[2]T. Khan and K. Raahemifar, "An ultra-low power 200 MHz-1 GHz programmable frequency divider with novel clear/preset d-latch," IEEE Midwest Symposium on Circuits and Systems (MWSCAS), pp. 985-988, 2010.

[3]I. Shankar, S. Morris and C. Hutchens, "Characterizing metastability and jitter in CMOS latch/flip-flop used as a digital mixer," IEEE Midwest Symposium on Circuits and Systems (MWSCAS), pp. 560-563, 2002.

[4]V. Stojanovic and V. G. Oklobdzija, "Comparative analysis of master-slave latches and flip-flops for high-performance and low-power systems," IEEE Journal of Solid-State Circuits, Vol. 34, pp. 536-548, 1999.

[5]M. Mizuno, M. Yamashina, K. Furuta, H. Igura, H. Abiko, K. Okabe, et al., "A GHz MOS adaptive pipeline technique using MOS current-mode logic," IEEE Journal of Solid-State Circuits, Vol. 31, pp. 784-791, 1996.

[6]T. Kim, Y. Jeong and K. Yang, "New RTD-based SET/RESET latch IC for high-speed MOBILE D-flip flops," International Conference on Indium Phosphide and Related Materials, pp. 311-314, 2005.

[7]M. Usama and T. Kwasniewski, "Design and comparison of CMOS current mode logic latches," International Symposium on Circuits and Systems (ISCAS), pp. 353-356, 2004.

[8]D. F. Tondo and R. R. López, "A low-power, high-speed CMOS/CML 16: 1 serializer," Argentine School of Micro-Nanoelectronics, Technology and Applications, pp. 81-86, 2009.

[9]P. Payandehnia, H. Maghami, S. Sheikhaei, A. Abbasfar, B. Forouzandeh and K. Nanbakhsh, "High speed CML latch using active inductor in 0.18 µm CMOS technology," 19th Iranian Conference on Electrical Engineering (ICEE), pp. 1-4, 2011.

[10]P. Heydari and R. Mohanavelu, "Design of ultra high-speed low-voltage CMOS CML buffers and latches," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 12, pp. 1081-1093, 2004.

[11]M. Rafei and M. R. Mosavi, "A new 0.25-12.5 GHz high quality factor low-power active inductor using local RC feedback to cancel series-loss resistance," Arabian Journal for Science and Engineering, Vol. 38, No. 11, pp.3125-3132, 2013.

[12]Y. Berg, O. Mirmotahari and S. Aunet, "High speed and ultra low voltage CMOS latch," IEEE Conference on Electronics, Circuits and Systems, pp. 153-156, 2008.

[13]G. Yongheng, C. Wei, L. Tiejun, and W. Zongmin, "A novel 1GSPS low offset comparator for high speed ADC," International Joint Conference on INC, IMS and IDC, pp. 1251-1254, 2009.