پیاده‌سازی مدل نورونی ایژیکویچ با استفاده از انتگراتورهای لگاریتمی

علی آقاباقری[1]، حامد ساجدی[2]، محمد باقر غزنوی قوشچی[3]

۱. کارشناس ارشد برق الکترونیک، دانشگاه شاهد، aqabaqeri@gmail.com

۲. استادیار دانشکده فنی و مهندسی، دانشگاه شاهد

۳. استادیار دانشکده فنی و مهندسی، دانشگاه شاهد

تاریخ دریافت: ۹۲/۸/۵ تاریخ پذیرش: ۹۳/۴/۱۴

چکیده

تاکنون مدل‌های نورونی گوناگونی برای بازتولید دینامیک‌های غیرخطی بیولوژیکی ارائه شده است که مدل ایژیکویچ یکی از بهترین آنها از لحاظ پیچیدگی و صحت است. نورون سیلیکونی یک مدار مبتنی بر ترانزیستور فشرده است که می‌تواند مدل‌های نورونی را پیاده‌سازی کند. در این مقاله ما یک مدار بسیار کم توان و ابعاد پایین برای مدل ایژیکویچ را بر پایه‌ی انتگراتورهای لگاریتمی ارائه کرده‌ایم. در مدار ارائه شده، با استفاده از کاهش خازن و جریان‌های بایاس، مساحت و توان استاتیک به میزان قابل ملاحظه‌ای کاهش یافته است. به علاوه، با کاهش سوئینگ ولتاژی مدار مقایسه‌کننده، توان دینامیک پایینی به دست آمده است. همچنین، یک راهکار عملی برای قسمت تشخیص پیک جریان با استفاده از یک ترانزیستور ایجادکننده مقاومتی بزرگ معرفی شده است. شبیه‌سازی این مدار با استفاده از تکنولوژی ۱۸۰ nm است. مطابق با نتایج به دست آمده، توان و مساحت، به ترتیب، از ۱/۶۵ nW و ۱۱۰۰ μm^2 به ۶۵۰ pW و ۱۸۰ μm^2 بهبود یافته است و ۱۲ الگو از نورون‌های کورتیکال نیز تنها با ۳ پارامتر تنظیم بازتولید شده است.

کلیدواژه

توان پایین، ابعاد پایین، مدل ایژیکویچ، نورون سیلیکونی، انتگراتور لگاریتمی.

مقدمه

به تازگی، علاقه علمی فراوانی به پیاده‌سازی VLSI مدل‌های نورونی ایجاد شده[۱] و بر این اساس، مدل‌های نورونی گوناگونی به جهت بازتولید دینامیک‌های نورون‌های کورتیکال بیولوژیکی ارائه شده است[۲]. برخی از آنها مانند مدل هاجکین- هاکسلی دارای صحت و دقت بالایی در تولید دینامیک‌ها هستند ولی معادلات آنها پیچیده و برای پیاده‌سازی مشکل است[۳]. بعضی دیگر مانند مدل I&F دارای معادلات ساده‌تری هستند ولی نمی‌توانند الگوهای نورونی غنی ایجاد کنند[۴]. در سال ۲۰۰۳ آقای ایژیکویچ مدلی را ارائه کرد که در عین سادگی و دقت کافی، می‌توانست اکثر دینامیک‌های کورتیکال را بازتولید کند[۵].

نورون سیلیکونی یک مدار زمان-واقعی با مصرف توان قابل قبول است که به خوبی می‌توان آن را در چیپ‌ها به کار برد و دارای کاربردهای مختلفی از جمله روبوتیک [۶]، پردازش سیگنال [۷]، استفاده در بیوسنسورها [۸] است. دو نوع راهبرد برای طراحی مدارات VLSI مدل ایژیکویچ وجود دارد: مد ولتاژ (بالای آستانه) [۹،۱۰] و مد جریان (زیر آستانه) [۱۱-۱۴] که مدارات مد جریان به خاطر مصرف توان بسیار پایین‌ترشان برای نورون‌های سیلیکونی مناسب‌تر هستند[۱].

از میان پیاده‌سازی‌های اخیر راهبرد مد جریانی، مدار ارائه شده در [۱۵] توان بالایی مصرف کرده و ابعاد زیادی اشغال می‌کند. مدار ارائه شده در [۱۶] به ازای تکنولوژی ۹۰ nm آن، دارای مصرف توان زیادی است و شکل موج‌های خوبی نیز تولید نمی‌کند. مدار [۱۷] نیز با آنکه ۱۷ الگوی خوب را تولید می‌کند ولی این امر با مداری با ابعاد بالا و تعداد پارامتر تنظیم زیاد محقق شده است. در نهایت، برای مدار [۱۳] هنوز توان و ابعاد مدار نیز متوسط است و تنها تعداد ۶ شکل موج با استفاده از این مدار بازتولید شده است.

در این مقاله، هدف ما طراحی و شبیه‌سازی یک مدار با توان و مساحت بسیار پایین است، در حالی که شکل موج‌های صحیح و دقیقی نیز داشته باشد. در ادامه، در بخش دوم مدل ایژیکویچ معرفی می‌شود. در بخش سوم مدار ارائه شده توصیف شده و در بخش چهارم نتایج شبیه‌سازی آورده شده است. در نهایت نیز بخش پنجم به نتیجه‌گیری اختصاص دارد.

مدل ایژیکویچ

در [۱۸] می‌توان یک توصیف دقیق از مدل ایژیکویچ را مشاهده کرد. بر این اساس، مدل ایژیکویچ یک مدل دو متغیره غیرخطی است که معادلات آن عبارتند از:

$$\tau_v \frac{dv}{dt} = 0.04v^2 + 5v + 140 - u + I_{ex} \quad (۱)$$

$$\tau_u \frac{du}{dt} = abv - au \quad (۲)$$

$$if\ v = 30mV\ then\ v \leftarrow c\ ,\ u \leftarrow u + d \quad (۳)$$

جایی که υ پتانسیل غشایی، u متغیر بازیابی، I_{stim} جریان تحریک، τ_u و τ_υ ثابت زمانی‌های υ و u، و a، b، c و d پارامترهای تنظیم مدل را نشان می‌دهند. برای اینکه بتوانیم یک پیاده‌سازی مد جریانی داشته باشیم تا بتوانیم مساحت و توان را کاهش دهیم، نیاز است تا مدار را فقط با جریان‌های یک‌جهته و فقط مثبت پیاده کنیم. در نتیجه می‌توانیم متغیرهای حالت مدار را شیفت دهیم. به این صورت که نالکلاین v را به مقدار ۱۰۰ و نالکلاین u را به مقدار b×۱۰۰ شیفت می‌دهیم. لازم به ذکر است که در این طراحی، تمام جریان‌ها و زمان‌ها به ترتیب در رِنج پیکو آمپر و میلی‌ثانیه می‌باشند. با اعمال این تغییرات در معادلات (۱) تا (۳) داریم:

$$\tau_v \frac{dI_v}{dt} = 0.04I_v^2 - 3I_v + 40 + 100b + I_{ex} - I_u \quad (۴)$$

$$\frac{\tau_u}{ab}\frac{dI_u}{dt} = I_v - \frac{1}{b}I_u \quad (۵)$$

$$if\ I_v = I_{\max}\ then\ I_v \leftarrow I_c\ ,\ I_u \leftarrow I_u + I_d \quad (۶)$$

جایی که I_υ و I_u جریان‌های معادل متغیرهای حالت υ و u، و I_{max} ماکزیمم مقداری است که I_v در زمان اسپایک می‌تواند داشته باشد.

مدار نورون ارائه شده

با توجه به مدار معرفی شده در [۱۳]، طراحی مدار نورون سیلیکونی ارائه شده بر مبنای انتگراتورهای لگاریتمی مبتنی بر ترانزیستورهای ماسفت بنا شده است که در ناحیه زیر آستانه کار می‌کند. رابطه تقریبی جریان درین ترانزیستور در این ناحیه برابر است با:

$$I_D \approx I_0 m \exp\left(\frac{V_{gs}}{nV_T}\right) \quad (۷)$$

جایی که I_D جریان درین، I_0 جریان درین در $V_{gs}=V_{th}$، m نشاندهنده نرخ ابعاد ترانزیستور، n ضریب شیب در ناحیه زیر آستانه و V_T ولتاژ گرمایی هستند. طرح کلی مدار طراحی شده در شکل ۱ نشان داده شده است. همان طور که از شکل مشخص است، مدار از دو انتگراتور لگاریتمی تشکیل شده است که متغیرهای حالت مدار را پیاده‌سازی می‌کنند. این انتگراتورها خاصیت ضربی را مطابق زیر دارا هستند:

$$I_{M1}I_{M3} = I_{M2}I_{M4}\ \ then\ \ m_1m_3 = m_2m_4 \quad (۸)$$

بر این اساس می‌توان معادلات مدل را به گونه‌ای بازنویسی کرد که با استفاده از این خاصیت ضرب قابل تحقق شوند. بنابراین داریم:

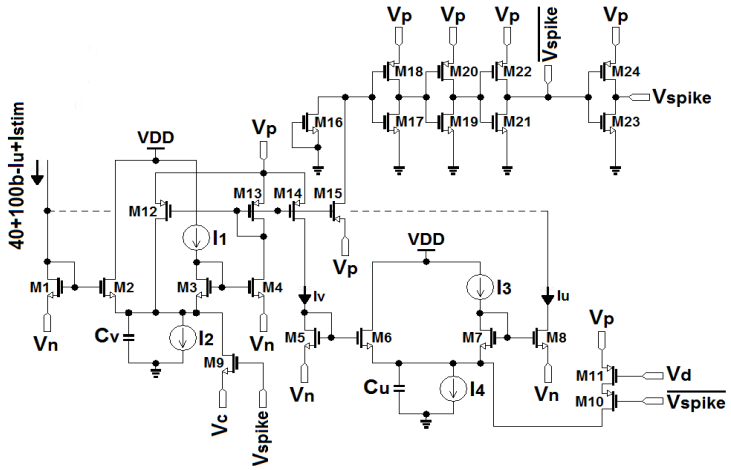
$$\frac{nV_TC_v}{I_1}\frac{dI_{M4}}{dt} = \left(\frac{I_{M12}}{I_1.I_{M4}}\right){I_{M4}}^2 - \left(\frac{I_2}{I_1} - 1\right)I_{M4} + I_{M1} \quad (۹)$$

$$\frac{nV_TC_u}{I_3}\frac{dI_{M8}}{dt} = I_{M1} - \left(\frac{I_4}{I_3} - 1\right)I_{M8} \quad (۱۰)$$

$$\tau_v = \frac{nV_TC_V}{I_1}\ and\ \tau_u = \frac{abC_unV_T}{I_3} \quad (۱۱)$$

در این مدار، ترانزیستورهای M_1 تا M_4 و M_{12}، متغیر υ و ترانزیستورهای M_5 تا M_8 متغیر بازیابی u را تحقق می‌بخشد. همچنین ترانزیستورهای M_{13} تا M_{15} برای کپی کردن جریان I_υ به قسمت‌های دیگر مورد استفاده قرار گرفته‌اند. برای ایجاد معادله (۶) به منظور ریست کردن مدار، ترانزیستورهای M_9 تا M_{11} به کار رفته‌اند. در نهایت نیز ترانزیستورهای M_{16} تا M_{24} مدارهای تشخیص ماکزیمم جریان و مقایسه‌کننده را تحقق می‌بخشند.

با توجه به [۱۲]، خازن‌های انتگراتورها حدود ۷۰ درصد مساحت را اشغال می‌کنند. همچنین مطابق با معادله‌ی (۱۱)، اگر ثابت زمانی مدار ثابت بماند می‌توان با کاهش خازن، جریان‌های بایاس مدار را نیز کم کرد. در نتیجه با کاهش مقادیر خازن‌ها، مساحت کلی و نیز توان استاتیک مدار کاهش پیدا می‌کند. به علاوه، بر اساس [۱]، حدود ۹۹ درصد توان دینامیک مدار وابسته به بخش مقایسه‌کننده است که از چهار معکوس‌کننده تشکیل شده است. در نتیجه، می‌توان با کاهش سوئینگ ولتاژی این مدار، به مقدار قابل توجهی توان مدار را کاهش داد. در اینجا ما سوئینگ را از مقدار VDD به V_p کاهش داده‌ایم.



شکل ۱. مدار نورون سیلیکونی ارائه شده

یکی از جنبه‌های مهم بهبود مدارات نورون‌های سیلیکونی، سوق دادن آنها به سمت عملی بودن بیشتر و دور شدن از جنبه شبیه‌سازی صرف است. در این راستا، چون در کارهای ارائه شده قبلی، برای ساخت قسمت تشخیص‌دهنده پیک جریان از یک منبع جریان استفاده می‌شد و این عنصر تنها یک عنصر در حالت شبیه‌سازی بود، ما به جای آن تنها از یک ترانزیستور NMOS استفاده کرده‌ایم. با توجه به روابط زیرآستانه برای ترانزیستور زمانی که V_{BS} و V_{GS} مدار برابر با صفر باشند، ترانزیستور همانند یک دیود در ناحیه بایاس معکوس عمل کرده و یک مقاومت بسیار بزرگ با یک نرخ ابعاد بسیار کم ایجاد می‌کند. بر طبق شکل ۱، ترانزیستور M_{16} بخش تشخیص ماکزیمم جریانی را تحقق می‌بخشد و رابطه آن در ناحیه زیر آستانه برابر است با:

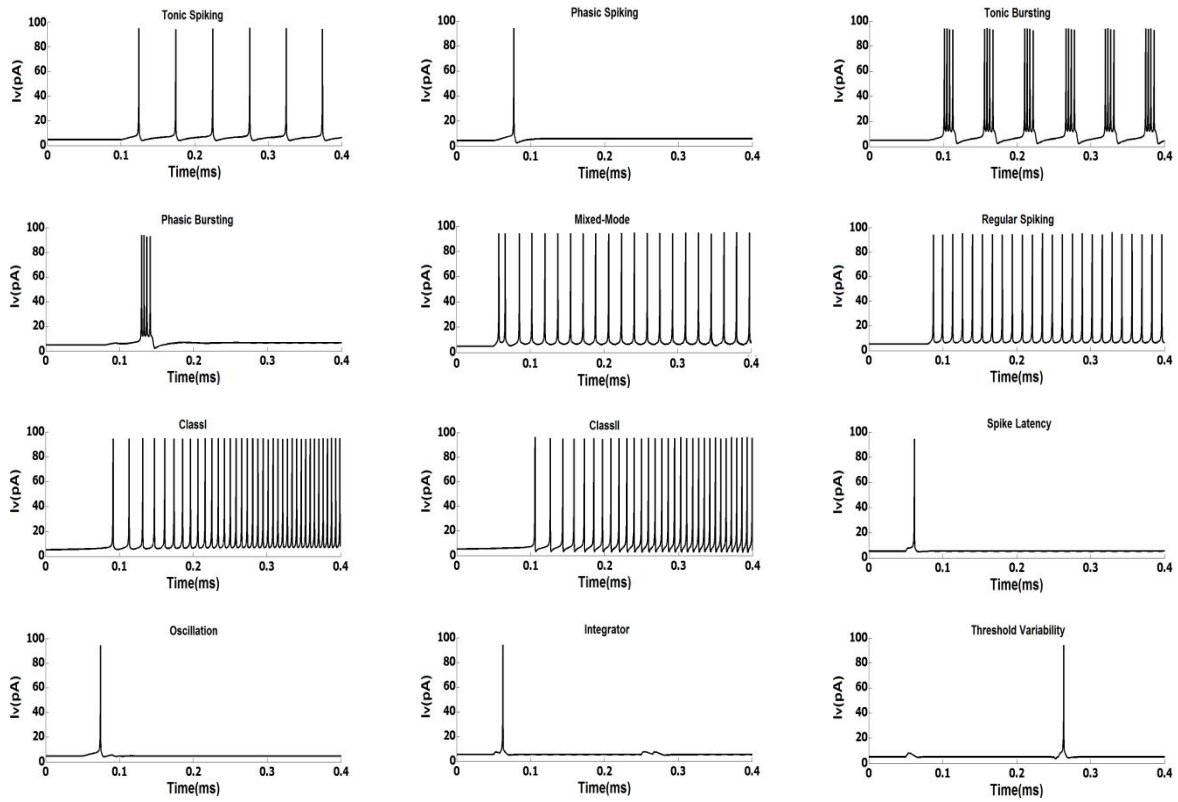
$$I_D = \underbrace{\mu_n C_{ox} \frac{W}{L}(n-1)V_T^2 e^{\frac{-V_{tho}}{nVT}}(1-e^{-\frac{V_{DS}}{VT}})}_{I_{SX}} \qquad (۱۲)$$

جایی که V_{tho} ولتاژ استانه در $V_{BS}=0$، μ_n موبیلیتی حامل‌های بار و C_{ox} خازن اکسید گیت هستند. درنهایت رابطه به صورت زیر خواهد شد:

$$-I_D = I_{SX}(e^{-\frac{V_{DS}}{V_T}} - 1) \qquad (۱۳)$$

نتایج شبیه‌سازی

شبیه‌سازی این مدار با استفاده از تکنولوژی ۱۸۰ nm انجام پذیرفته است. مقدار منبع ولتاژ این مدار برابر ۱/۴ V و مقادیر ولتاژهای مرجع V_p و V_n نیز به ترتیب، ۰/۴ V کمتر از VDD و بیشتر از زمین است. همان طور که عنوان شد سهم اصلی مساحت را خازن‌ها اشغال می‌کنند و ما می‌توانیم با انتخاب مقادیر پایین برای خازن، مساحت نورون سیلیکونی خود را به مقدار زیاد کاهش دهیم. در نتیجه مقدار خازن‌های C_u و C_v برابر ۵۰ fF انتخاب شده است (تقریبا ۱۰ برابر بیشتر از خازن‌های پارازیتیک مدار) تا مساحت مدار از ۱۱۰۰ μm^2 به مقدار ۹۲۰ μm^2 کاهش یافته و به ۱۸۰ μm^2 برسد. همچنین بر اساس معادله (۱۱) مشخص است که می‌توان با کاهش خازن‌های مدار، بایاس مدار را با جریان‌های کمتری انجام دهیم. این امر باعث خواهد شد که توان استاتیک مدار بسیار کاهش داشته باشد و از ۲۰۰ pW به ۱۰۰ pW برسد. با استفاده از تحلیل‌های انجام شده، مجموع مقادیر خازن‌های پارازیتیک مدار در حالت زیر آستانه در تکنولوژی ۱۸۰ nm برابر ۵/۹ fF است. با توجه به اینکه خازن استفاده شده در این طرح برابر ۵۰ fF است، در نتیجه بسیار بزرگتر از مجموع خازن‌های پارازیتیک است و سبب می‌شود تا مشکلی به وجود نیاید. همچنین ما تغییراتی را نیز در مقادیر خازن‌ها ایجاد کردیم در این مورد هم با وجود تغییرات مساحت باز هم مدار به درستی کار می‌کند. با استفاده از شبیه‌سازی‌های مطلب مدل ایژیکویچ، مقادیر پارامترهای a و b به ترتیب برابر ۰/۰۲ و ۰/۲ قرار داده شده است. مقدار توان مدار در حضور جریان تحریک نیز برابر ۶۵۰ pW است که نسبت به [۱۳] که ۱/۶۵ nW بوده، بهینه‌تر است. نرخ تغییرات در بخش ریست، در هر سیکل کاری عملکرد یک نورون فقط یک بار رخ می‌دهد و البته توان هم با همین نرخ در لبه‌های پایین‌رونده آن با پالس‌های میانی این طبقه مرتبط است.



شکل ۲. الگوهای کورتیکال بازتولیدی توسط مدار ارائه شده

در این حالت چون سطح منبع تغذیه طبقات اصلی اینورتر را کم کرده‌ایم اثر توان ناشی از سوئینگ تمام ریل در این رنج تغییرات سیگنال بسیار کاهش یافته است که در حاصل توان کلی نورون کاملا محسوس است. مدار ارائه شده از ترکیب دو بخش آنالوگ و دیجیتال تشکیل شده است. در بخش آنالوگ یعنی منابع جریان و انتگراتور لگاریتمی به طور مصرح نمی‌توان از حاشیه نویز[1] بحث کرد در زمان طراحی اگر ابعاد ترانزیستورهای PMOS در اینورتر را بیشتر (حدود دو برابر در تکنولوژی ۱۸۰ nm) از NMOS بگیریم، حاشیه نویز ماکزیمم می‌شود و خصوصیات ولتاژی (VTC) متقارنی نیز به دست می‌آید. در شبیه‌سازی مدار ارائه شده، با استفاده از پارامترهای تنظیمی V_c، V_d و I_{stim} تعداد ۱۲ الگوی نورونی کورتیکال بازتولید می‌شود که در شکل ۲ نشان داده شده است. در نهایت نیز جدول ۱ مقایسه‌ای را بین کارهای ارائه شده تاکنون برای مدل ایژیکویچ نشان می‌دهد. با توجه به این جدول، بهینه بودن مدار ارائه شده در مقایسه با کارهای قبلی مشهود است.

جدول ۱. مقایسه‌ی نتایج کارهای گذشته

معیارها	[11]	[12]	[13]	[14]	مدار پیشنهادی
مصرف توان	20 µW	7 nW	1/65 nW	9 nW	650 pW
منبع ولتاژ	3/3 V	1/2 V	1/65 V	3/3 V	1/4 V
فناوری	AMIS 500nm	MOSIS 90nm	AMS 350nm	TSMC 350nm	CMOS 180nm
تعداد الگوها	6	6	6	17	17
مساحت چیپ	0/02 μm^2	2980 μm^2	1100 μm^2	NA	180 μm^2

نتیجه‌گیری

ما یک نورون سیلیکونی بسیار توان پایین و ابعاد پایین را از مدل ایژیکویچ بر پایه فیلترهای لگاریتمی ارائه داده‌ایم. مدار ارائه شده به این علت که در آن خازن‌ها که سهم اصلی ابعاد را دارند، کاهش یافته‌اند، ابعاد پایین است. همچنین با کاهش مقدار خازن‌ها و ثابت ماندن ثابت زمانی مدار، جریان‌های بایاس کمتری را در مدار شاهد هستیم. در مورد توان مدار نیز دو بعد در نظر گرفته شده است. توان استاتیک مدار، با کاهش یافتن جریان‌ها و ولتاژهای بایاس مدار به ۱۰۰ pW رسیده و توان دینامیک مدار نیز با کاهش

1. Noise Margin

سوئینگ ولتاژی مدار ریست از مقدار VDD به V_p، به مقدار pW ۶۵۰ رسیده است. در راستای عملی بودن نورون طراحی شده، برخلاف کارهای قبلی که از یک منبع جریان ایده‌آل استفاده می‌کردند، مدار تشخیص ماکزیمم جریان با یک ترانزیستور NMOS بایاس شده در ناحیه بایاس معکوس دیود که یک مقاومت بسیار بزرگ ایجاد می‌کند، محقق شده است.

مرجع‌ها

[1] G. Indiveri, *et al.*, "Neuromorphic silicon neuron circuits," *Frontiers in neuroscience,* vol. 5, 2011.

[2] R. C. de Berrêdo, "A review of spiking neuron models and pplications," Universidade Federal de Minas Gerais, 2005.

[3] A. L. Hodgkin and A. F. Huxley, "A quantitative description of membrane current and its application to conduction and excitation in nerve," *The Journal of physiology,* vol. 117, p. 500, 1952.

[4] A. N. Burkitt, "A review of the integrate-and-fire neuron model: I. Homogeneous synaptic input," *Biological cybernetics,* vol. 95, pp. 1-19, 2006.

[5] E. M. Izhikevich, "Simple model of spiking neurons," *Neural Networks, IEEE Transactions on,* vol. 14, pp. 1569-1572, 2003.

[6] F. Tenore, *et al.*, "A floating-gate programmable array of silicon neurons for central pattern generating networks,". *ISCAS,* pp. 4 pp.-3160, *2006.*

[7] N. Chasta, *et al.*, "Analog VLSI Implementation of Neural Network Architecture for Signal Processing," *International Journal of VLSI Design & Comunication System,* vol. 3, 2012.

[8] Q. Ma, *et al.*, "Low-power spike-mode silicon neuron for capacitive sensing of a biosensor," in *(WAMICON)*, pp. 1-4, 2012.

[9] O. Sharifipoor and A. Ahmadi, "An analog implementation of biologically plausible neurons using CCII building blocks," *Neural Networks,* 2012.

[10] J. H. Wijekoon and P. Dudek, "VLSI circuits implementing computational models of neocortical circuits," *Journal of Neuroscience Methods,* vol. 210, pp. 93-109, 2012.

[11] A. van Schaik, *et al.*, "A log-domain implementation of the Izhikevich neuron model," in *Circuits and Systems (ISCAS)*, pp. 4253-425, 2010..

[12] V. Rangan, *et al.*, "A subthreshold aVLSI implementation of the Izhikevich simple neuron model," in *Engineering in Medicine and Biology Society (EMBC)*, pp. 4164-4167, 2010.

[13] A. S. Demirkol and S. Ozoguz, "A low power VLSI implementation of the Izhikevich neuron Model," in *New Circuits and Systems Conference (NEWCAS)*, pp. 169-172, 2011.

[14] N. Mizoguchi, *et al.*, "A two-variable silicon neuron circuit based on the Izhikevich model," *Artificial Life and Robotics,* vol. 16, pp. 383-388, 2011.

[15] A. van Schaik, *et al.*, "A log-domain implementation of the Izhikevich neuron model," pp. 4253-4256, 2010.

[16] V. Rangan, *et al.*, "A subthreshold aVLSI implementation of the Izhikevich simple neuron model," pp. 4164-4167, 2010.

[17] N. Mizoguchi, *et al.*, "A two-variable silicon neuron circuit based on the Izhikevich model," *Artificial Life and Robotics* vol. 16, pp. 383-388, 2011.

[18] E. M. Izhikevich, *Dynamical systems in neuroscience: the geometry of excitability and bursting*: The MIT press, 2007.