شبیه‌سازی ترانزیستور بدون پیوند نانولوله کربنی با استفاده از روش تابع گرین غیرتعادلی

صابر بربستگان[1]، علی شاه‌حسینی[2]

۱. دانشجوی کارشناسی ارشد دانشگاه آزاد اسلامی علوم و تحقیقات قزوین

۲. استادیار دانشکده برق، دانشگاه آزاد اسلامی قزوین alishahhoseini@qiac.ac.ir

تاریخ دریافت: ۹۲/۱۱/۱۸ تاریخ پذیرش: ۹۳/۴/۳۰

چکیده

در این مقاله، ساختار ترانزیستوری به‌نام ترانزیستور بدون پیوند نانولوله کربنی را با استفاده از تابع گرین غیرتعادلی شبیه‌سازی کرده‌ایم. ترانزیستورهای بدون پیوند (JL-FET) ساختارهای بدیعی هستند که ضمن تسهیل فرآیند ساخت مشخصات الکترونیکی مطلوبی فراهم می‌کنند. ما با اعمال مفهوم بدون پیوند به ترانزیستورهای اثرمیدانی نانولوله کربنی (CNTFET)، مشخصات الکترونیکی یک ترانزیستور اثرمیدانی نانولوله کربنی بدون پیوند (JL-CNTFET) را بررسی کرده و با ترانزیستور نانولوله کربنی معمولی (C-CNTFET) مقایسه کرده‌ایم. پارامترهایی نظیر سوییِنگ زیرآستانه، نسبت جریان روشنی به جریان خاموشی و مشخصه خروجی ترانزیستور برای ساختارهای مذکور محاسبه شده‌اند. همچنین حساسیت I_{on}/I_{off} ترانزیستور JL-CNTFET به تغییر کایرالیتی و چگالی ناخالصی بررسی شده‌است. نتایج حاصل از شبیه‌سازی نشان می‌دهد که ترانزیستورهای نانولوله کربنی بدون پیوند با داشتن ولتاژ آستانه و شیب زیرآستانه کوچکتر و همچنین جریان خروجی بیشتر، در حدود دو برابر C-CNTFET گزینه مناسبی برای کاربردهای دیجیتال هستند. به منظور شبیه‌سازی کامپیوتری از روش حل خودسازگار معادله پوآسن و شرودینگر از طریق روال NEGF تحت شرایط بالستیک استفاده شده‌است.

کلیدواژه

نانولوله کربنی، ترانزیستورهای بدون پیوند، ترانزیستور بدون پیوند نانولوله کربنی ، تابع گرین غیرتعادلی

مقدمه

نانولوله‌های کربنی به سبب داشتن مشخصات الکترونیکی منحصر به فرد، از زمان کشف در اوایل دهه ۹۰ میلادی[۱] تاکنون همواره مورد توجه طراحان افزاره‌های الکترونیکی بوده‌اند. این ساختارها با داشتن قطری در حدود یک نانومتر گزینه مناسبی برای مطالعه انتقال الکتریکی یک بعدی هستند[۲]. از سوی دیگر قابلیت تحرک[1] بالای حامل‌ها[۳] و عملکرد نزدیک به بالستیک نانولوله‌ها [۴] از دیگر ویژگی‌های برجسته آنها نسبت به افزاره‌های مبتنی بر سیلیکون است.

با ارائه اولین ترانزیستورهای نانولوله کربنی[۵] تحقیقات گسترده‌ای در زمینه مهندسی ساختار به منظور دستیابی به عملکرد بهتر ترانزیستور صورت گرفته است. این تحقیقات منجر به ارائه ساختارهای متنوعی نظیر ترانزیستور اثرمیدانی نانولوله کربنی تونلی (T-CNTFET)[۶]، ترانزیستور اثرمیدانی نانولوله کربنی با نواحی سورس و درین با القای الکتریکی (EJ-CNTFET)[۷] و ترانزیستور اثرمیدانی نانولوله کربنی با سورس و درین با ناخالصی سبک (LDDS-CNTFET)[۸] شده‌اند[۹].

اولین بار، مفهوم بدون پیوند در ساختار ترانزیستورهای نانوسیم مطرح شده‌است[۱۰]. این ساختارها در حقیقت یک مقاومت متغییر کنترل‌شونده با ولتاژ گیت هستند که مشخصه الکتریکی مشابه ماسفت‌های معمولی داشته اما سازوکار کاملا متفاوتی با آنها دارند[۱۱]. ایده اصلی ارائه ترانزیستورهای بدون پیوند از آنجا نشأت می‌گیرد که با کاهش ابعاد ترانزیستورها به چند ده نانومتر، ساخت پیوندهای P-N فوق کم عمق[2] با غلظت ناخالصی بالا به چالشی اساسی تبدیل شده‌است[۱۱]. ترانزیستورهای بدون پیوند ضمن سهولت در فرآیند ساخت با فراهم کردن مشخصه‌های الکترونیکی مطلوب، گزینه بسیار مناسبی برای تحقیق و بررسی به منظور جایگزینی ساختارهای پیوندی هستند.

در این تحقیق با بکارگیری مفهوم ساختارهای بدون پیوند و استفاده آن در ترانزیستورهای نانولوله کربنی، به ترکیب قابلیت‌های این دو پرداخته‌ایم. برای این منظور در ادامه، در بخش

1. Mobility

2. Ultra Shallow

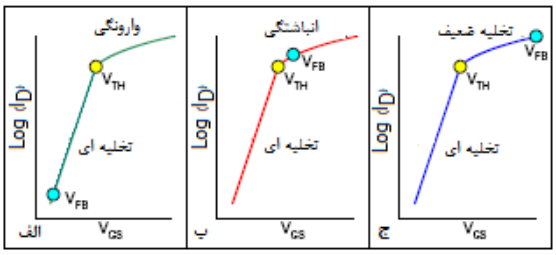
ساختار افزاره، ساختار پیشنهادی ترانزیستور را معرفی می‌کنیم. در قسمت اساس کار ترانزیستورهای بدون پیوند، سازوکار عملکرد یک JL-FET را تشریح خواهیم کرد. در بخش روش شبیه‌سازی، مختصری از حل خودسازگار معادله شرودینگر و پوآسن از طریق روال تابع گرین غیرتعادلی (NEGF) را بیان می‌کنیم. در بخش نتایج شبیه‌سازی به تحلیل مشخصه الکترونیکی ترانزیستور و استخراج پارامترهایی نظیر شیب زیرآستانه، نسبت جریان روشن به خاموش و همچنین مقایسه آن با ترانزیستور نانولوله کربنی معمولی (C-CNTFET) می‌پردازیم.

اساس کار ترانزیستورهای بدون پیوند

به منظور درک بهتر مفهوم افزاره‌های بدون پیوند و سازوکار جریان‌دهی این ساختارها با بهره‌گیری از مرجع[۱۱]، سه حالت عملکرد وارونگی، انباشتگی و بدون پیوند یک افزاره سیلیکونی نانو سیم را با توجه به مشخصه جریان درین- ولتاژ گیت بررسی می‌کنیم. شکل (۱) مشخصه این سه حالت عملکرد را نشان می‌دهد. در حالت وارونگی (شکل ۱.الف) با کانال نوع n که زیرلایه از نوع P است؛ ولتاژ نوارصاف (V_{FB}) پایین‌تر از ولتاژ آستانه (V_{TH}) قرار دارد. در منطقه زیرآستانه بین محدوده (V_{FB}) و (V_{TH}) سیلیکون در شرایط تخلیه[۳] قرار دارد. (در اینجا مفهوم «تخلیه» شامل وارونگی ضعیف نیز می‌شود.) بعد از ولتاژ آستانه سطح[۴] سیلیکون در شرایط وارونگی قرار گرفته و افزاره روشن می‌شود.

در حالت انباشتگی (شکل ۱.ب) با کانال نوع n، زیرلایه اندکی با نوع n تغلیظ شده است. در ناحیه زیرآستانه، سیلیکون تخلیه شده است و زمانی به ولتاژ آستانه می‌رسد که بخشی از سیلیکون خنثی شده باشد. (یعنی دیگر تخلیه نباشد.) در نتیجه جریان بدنه[۵] در کانال خنثی جاری می‌شود و (V_{FB}) در ولتاژهای بالاتر گیت، زمانی که کل سیلیکون خنثی است، بدست می‌آید. بین (V_{FB}) و (V_{TH}) افزاره به صورت جزئی[۶] تخلیه شده است. هرگونه افزایش بیشتر ولتاژ گیت موجب ایجاد لایه انباشتگی سطحی می‌شود. در آخر برای حالت عملکرد بدون پیوند (شکل ۱.ج)، زیرلایه به صورت سنگین با نوع n تغلیظ شده است. در ناحیه زیرآستانه سیلیکون تخلیه شده است و زمانی به ولتاژ آستانه می‌رسیم که بخشی از سیلیکون خنثی شده باشد. (دیگر تخلیه نباشد)

در نتیجه جریان بدنه در کانال خنثی جاری می‌شود با این تفاوت که مقدار این جریان بسیار بزرگتر از جریان بدنه حالت انباشتگی است چرا که کانال به صورت سنگین تغلیظ شده است. با افزایش ولتاژ گیت، تخلیه کاهش می‌یابد و قطر کانال خنثی افزایش می‌یابد.



شکل ۱. مشخصه جریان درین برحسب ولتاژ گیت- سورس در افزاره‌های الف) حالت وارونگی، ب) حالت انباشتگی و ج) ساختار بدون پیوند[۱۱]

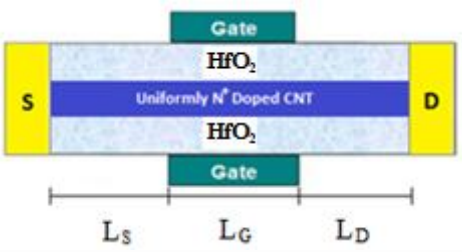
در نتیجه افزاره به صورت جزئی تخلیه شده و کل کانال خنثی می‌شود؛ (با فرض ولتاژ درین- سورس کوچک) در این حالت افزاره به (V_{FB}) می‌رسد. و در نهایت باید به این نکته اشاره کرد که برخلاف ماسفت‌های حالت تخلیه‌ای مرسوم که تخلیه کانال با بایاس معکوس صورت می‌گرفت؛ در JL-FET تخلیه کانال از طریق اختلاف تابع کار ماده گیت با کانال تغلیظ شده؛ انجام می‌شود.

ساختار افزاره

مطابق شکل (۲) ساختار JL-CNTFET متشکل از یک نانولوله کربنی تک جداره (SWCNT) نیمه‌هادی به طول ۶۰ نانومتر و با کایرالیتی (۱۰،۰) است. که منجر به گاف انرژی در حدود ۱ الکترون-ولت و قطر تقریبا ۰/۸ نانومتر می‌شود. -متغیرهای (n,m)، به صورت اندیس‌های تصویر بردار کایرال بر بردارهای شبکه تعریف می‌شوند که مقدار آن‌ها مشخصه الکترونیکی نانولوله را تعیین می‌کنند. در ساختار مورد بررسی ما نانولوله‌ها از نوع زیگزاگ با کایرالیتی $(n,0)$ هستند که در صورتی که n مضربی از ۳ نباشد نانولوله نیمه‌هادی می‌باشد[۱۶].-درین، سورس و کانال این ساختار، برابر و به طول ۲۰ نانومتر می‌باشند که به طور یکنواخت به اندازه ۱ اتم بر نانومتر تغلیظ[۷] شده‌اند. به منظور فراهم کردن بهترین شرایط کنترل میدان گیت، در ناحیه کانال از پیکربندی گیت دورتادور[۸] استفاده شده‌است[۱۲]. به منظور ایزولاسیون کانال دورتادور CNT از اکسید HfO_2 با ضخامت ۲ نانومتر و ثابت دی‌الکتریک نسبی ۱۶ پوشانده شده‌است.

تمام شبیه‌سازی‌های انجام شده برای C-CNTFET و JL-CNTFET در این تحقیق با ابعاد و مشخصات فیزیکی فوق انجام گرفته‌است؛ با این تفاوت که در C-CNTFET برخلاف JL-CNTFET از نانولوله ذاتی در ناحیه کانال استفاده شده است.

3. Depletion
4. Surface
5. Bulk
6. Partially
7. Doped
8. Gate All Around



شکل ۲. نمای برش مقطعی از ساختار ترانزیستور اثرمیدانی نانولوله کربنی بدون پیوند

روش شبیه‌سازی

تابع گرین غیرتعادلی (NEGF) روشی قدرتمند به منظور شبیه‌سازی سیستم‌های مقیاس نانو است که قابلیت اعتماد آن در تحقیقاتی گسترده مورد بررسی قرار گرفته است[۱۳]. امکان بررسی پدیده‌های مکانیک کوانتمی نظیر تونل‌زنی و تداخل و همچنین همگرایی بسیار خوب با نتایج آزمایشگاهی، NEGF را به یکی از بهترین گزینه‌ها برای شبیه‌سازی ترانزیستورهای نانولوله کربنی تبدیل کرده‌است.

برای شبیه‌سازی افزاره نیازمند محاسبه جریان و چگالی الکترون‌ها در هر نقطه بایاس هستیم. برای این منظور محاسبه تابع موج در هر نقطه، که از طریق تابع گرین مشخص می شود الزامی است. در حقیقت، ماتریس چگالی که عناصر قطری آن چگالی الکترون‌ها در هر نقطه را می‌دهد؛ از حل معادله شرودینگر از طریق روال NEGF بدست می‌آید[۱۴]. از سوی دیگر پتانسیل الکترواستاتیک در طول نانولوله، ورودی معادله شرودینگر محسوب می‌شود که باید از طریق معادله پوآسن رابطه (۱) محاسبه شود.

$$\Delta^2 U_j(r,z) = -\frac{q}{\varepsilon}\rho(r,z_j) \qquad (۱)$$

در این رابطه $U_j(r,z)$ پتانسیل الکترواستاتیک در جهت طولی (z) و شعاعی (r) نانولوله، q بار الکتریکی، ε ثابت دی‌الکتریک و $\rho(r,z_j)$ توزیع چگالی بار است. از آنجا که حل دو معادله شرودینگر و پوآسن وابسته به یکدیگر است. طوری‌که پاسخ یکی به عنوان ورودی دیگری محسوب می‌شود؛ این روش را حل خود سازگار[۹] می‌نامند.

تابع گرین از رابطه (۲) بدست می‌آید.

$$G(E) = \left[(E+i\eta^+)I - H - \sum_S - \sum_D\right]^{-1} \qquad (۲)$$

در این رابطه H همیلتونین نانولوله، $\sum_D$ و $\sum_S$ به ترتیب ماتریس انرژی خودی درین و سورس، I ماتریس یکه و E انرژی و η^+ یک عدد مثبت بسیار کوچک است. در اینجا همیلتونین نانولوله از تقریب تنگ‌بست[۱۰] نزدیک‌ترین همسایگی اربیتال P_z بدست آمده است[۱۴].

در شرایط بالستیک با حل تابع گرین، جریان از رابطه (۳) بدست می‌آید.

$$I = \frac{4e}{\hbar}\int_{-\infty}^{+\infty}\frac{dE}{2\pi}T(E)[f(E-E_{FS}) - f(E-E_{FD})] \qquad (۳)$$

در این رابطه f تابع توزیع فرمی و T(E) ضریب انتقال است که از رابطه (۴) محاسبه می‌شود. در رابطه (۴) G پهن‌شدگی تراز انرژی[۱۱] برای سورس و درین است که از رابطه (۵) بدست می‌آید.

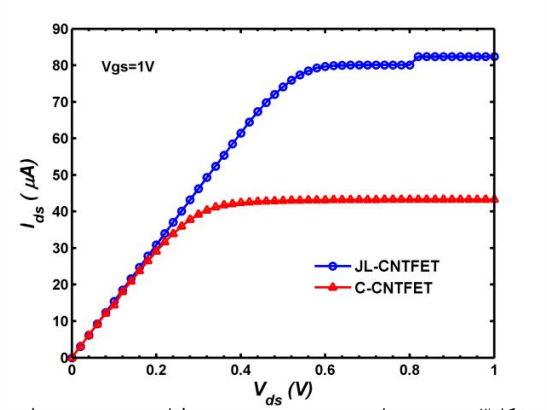
$$\Gamma(E) = Trace\,(\Gamma_S(E)G(E)\Gamma_D(E)G^+(E)) \qquad (۴)$$

$$\Gamma(E) = i\left[\sum(E) - \sum^+(E)\right] \qquad (۵)$$

نتایج شبیه‌سازی

مقایسه شبیه‌سازی JL-CNTFET با C-CNTFET

در ابتدا به بررسی منحنی تغییرات جریان درین برحسی ولتاژ درین به ازاء ولتاژ ثابت $V_{gs}=1V$ در دو نوع ترانزیستور پرداخته‌ایم. این تغییرات در شکل (۳) نشان داده شده است. مطابق شکل جریان اشباع ترانزیستور بدون پیوند تقریبا دو برابر نوع معمولی است که برتری نوع بدون پیوند در کاربردهای دیجیتال به منظور تغذیه طبقات خروجی را نشان می‌دهد.



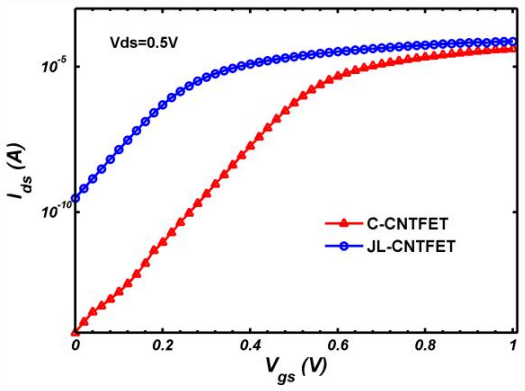
شکل۳. منحنی جریان درین- سورس برحسب ولتاژ درین- سورس برای C-CNTFET و JL-CNTFET به‌ازای $V_{gs}=1V$

از سوی دیگر نوع معمولی با داشتن رسانایی خروجی کمتر درین، دارای گین ولتاژ بیشتر است که آن را به گزینه‌ای مناسب برای کاربردهای آنالوگ در مقایسه با نوع بدون پیوند تبدیل می‌کند.

9. Self Consistent

10. Tight binding
11. Level Broadening

شکل (۴) مشخصه $I_{ds}=V_{gs}$ را برای C-CNTFET و JL-CNTFET به ازای $V_{ds}=۰/۵V$ نشان می‌دهد. براساس شکل ولتاژ آستانه برای ترانزیستورهای بدون پیوند و معمولی به ترتیب تقریبا برابر با ۰٫۲V و ۰٫۵V است. پارامتر دیگر قابل استخراج از شکل (۴)، سوییِنگ زیرآستانه[۱۲] (SS) است که هرچه کمتر باشد نشان دهنده مزیت ترانزیستور برای کاربردهای با توان مصرفی پایین است [۱۵]. مقدار اندازه‌گیری شده SS برای JL-CNTFET و C-CNTFET به‌ترتیب برابر با ۶۷ mV/dec و ۷۰ mV/dec می‌باشد. ترانزیستور نانولوله کربنی بدون پیوند با داشتن سوییِنگ زیرآستانه کمتر و ولتاژ آستانه کوچکتر برتری قابل توجهی نسبت به C-CNTFET، به ویژه در کاربردهای دیجیتال دارد.

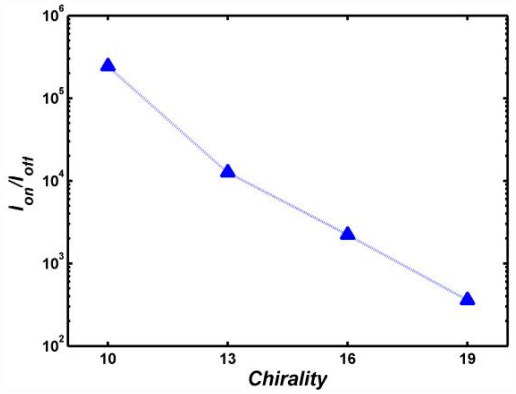


شکل۴. منحنی جریان درین- سورس برحسب ولتاژ گیت- سورس برای C-CNTFET و JL-CNTFET به‌ازای ولتاژ درین- سورس ثابت ۰٫۵V

همچنین مطابق شکل (۴) نسبت جریان روشن (I_{on}) به جریان خاموش (I_{off}) برای ترانزیستور بدون پیوند تقریبا $۱۰^{۵}$ و برای نوع معمولی حدود ۱۰۰۰۰ برابر آن و درحدود $۱۰^{۹}$ است. علت اصلی این تفاوت چشمگیر ناشی از مقدار زیاد I_{off} در نوع بدون پیوند است. درحقیقت اگرچه چگالی بالای حامل‌ها در کانال ترانزیستور بدون پیوند موجب افزایش اندک I_{on} می‌شود اما از طرف دیگر در حالت خاموشی ($v_{gs}=0$) نقش زیادی در انتقال جریان و افزایش I_{off} دارند. در واقع نسبت جریان روشنی به خاموشی از نقاط ضعف JL-CNTFET محسوب می‌شود. از این رو در بخش بعدی به بررسی حساسیت این پارامتر به مشخصات فیزیکی نانولوله می‌پردازیم.

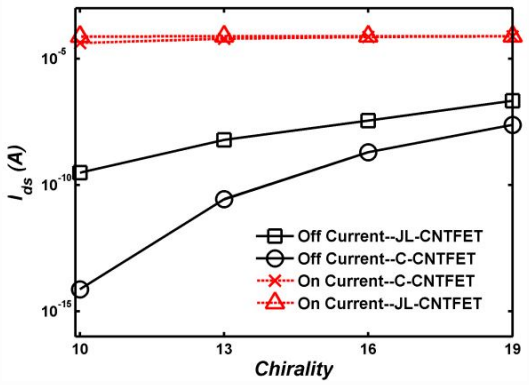
اثر تغییر پارامترهای فیزیکی نانولوله کربنی بر نسبت I_{on}/I_{off} در JL-CNTFET

در ادامه این بخش به بررسی اثر تغییر کایرالیتی (n) نانولوله و چگالی ناخالصی بر نسبت I_{on}/I_{off} در JL-CNTFET می‌پردازیم. شکل (۵) تغییرات I_{on}/I_{off} برحسب تغییرات کایرالیتی را نشان می‌دهد. مطابق شکل با افزایش عدد کایرالیتی شاهد تنزل نسبت I_{on}/I_{off} هستیم. در واقع بزرگ شدن n موجب کاهش سد پتانسیل و افزایش رسانایی در حالت خاموشی می‌شود که افزایش جریان خاموشی را در پی خواهد داشت[۱۶].



شکل۵. نسبت جریان روشن به خاموش به‌ازای تغییرات کایرالیتی برای JL-CNTFET

شکل (۶) جریان حالت روشن و خاموش را برای C-CNTFET و JL-CNTFET به ازای تغییرات کایرالیتی نشان می‌دهد. مطابق شکل همانطور که انتظار می‌رفت در هر دو حالت روشن و خاموش، اندازه جریان در JL-CNTFET بیشتر است. همچنین می‌توان مشاهده کرد که در حالت روشنی تغییر کایرالیتی تاثیر چندانی بر اندازه جریان روشنی ندارد. ولی از سوی دیگر نکته قابل توجه تاثیرپذیری بیشتر C-CNTFET از تغییر کایرالیتی است به طوری که با تغییر n از ۱۰ به ۱۹ جریان خاموشی $۱۰^{۵}$ برابر افزایش می‌یابد در حالی که این تغییر در JL-CNTFET در حدود $۱۰^{۲}$ برابر است. علت این امر ناشی از آن است که در ترانزیستور نوع معمولی با افزایش n شاهد پدیده باریک شدن شکاف انرژی و به دنبال آن افزایش جریان ناشی از مکانیزم تونل‌زنی نوار به نوار[۱۳] هستیم که موجب افزایش قابل توجه در جریان خاموشی C-CNTFET می‌شود[۱۶].

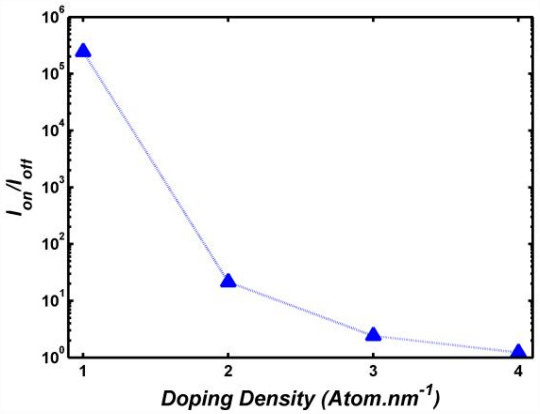


شکل۶. جریان حالت روشن و خاموش برای C-CNTFET و JL-CNTFET

12.Subthreshold Swing

13.Band to Band Tunneling

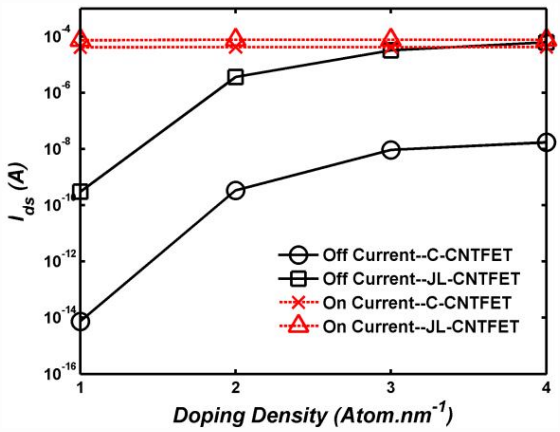
همانطور که در شکل (۷) نشان داده شده‌است با افزایش چگالی ناخالصی، نسبت I_{on}/I_{off} کاهش می‌یابد. در این حالت مشابه اثر کایرالیتی، افزایش جریان خاموشی موجب تنزل مشخصه می‌شود. به این صورت که افزایش چگالی ناخالصی موجب افزایش حامل‌ها در حالت خاموشی و به تبع آن افزایش چشمگیر جریان خاموشی می‌شود.



شکل۷. نسبت جریان روشن به خاموش به‌ازای چگالی ناخالصی‌های مختلف برای JL-CNTFET

نکته قابل‌توجه در خصوص شکل‌های فوق این است که با تغییر n از ۱۰ به ۱۹ که تقریبا موجب دوبرابر شدن قطر نانولوله می‌شود؛ شاهد کاهش ۷۰۰ برابری I_{on}/I_{off} هستیم. درحالی که به ازای دوبرابر شدن چگالی ناخالصی از ۱nm^{-1} به ۲nm^{-1} نسبت I_{on}/I_{off} حدود ۱۰۰۰۰ برابر کاهش می‌یابد. این امر نشان‌دهنده تأثیرگذاری بیشتر چگالی ناخالصی بر I_{off} ترانزیستورهای نانولوله کربنی بدون پیوند است. از طرف دیگر مطابق شکل (۷) به‌ازای چگالی ناخالصی بیش از ۲nm^{-1}، نانولوله تقریبا رفتار فلزگونه از خود بروز می‌دهد به طوری که بازه‌ی تغییرات جریان روشنی و خاموشی بسیار کمتر از مقدار مورد انتظار از افزاره‌هایی در این سطح است.

شکل (۸). جریان روشن و خاموش را برای دو ساختار C-CNTFET و JL-CNTFET نشان می‌دهد. این شکل به خوبی نشان می‌دهد که هر دو ساختار چه در حالت خاموشی و چه در حالت روشنی، تقریبا به یک اندازه تحت تاثیر تغییر چگالی ناخالصی قرار می‌گیرند.



شکل۸. جریان حالت روشن و خاموش برای C-CNTFET و JL-CNTFET

نتیجه‌گیری

در این مقاله، با بهره‌گیری از ایده ترانزیستورهای بدون پیوند، ساختاری بر اساس نانولوله‌های کربنی با عنوان نانولوله‌های کربنی بدون پیوند را بررسی کرده‌ایم. برای شبیه‌سازی این ساختار از روش حل خودسازگار معادله پوآسن- شرودینگر از طریق روال NEGF استفاده شده است. نتایج شبیه‌سازی نشان دادند که ترانزیستور نانولوله کربنی بدون پیوند با داشتن ولتاژ آستانه و سوییینگ زیرآستانه کوچکتر و همچنین جریان خروجی بیشتر، برتری قابل توجهی نسبت به همتای معمولی خود دارد. اگرچه این برتری به قیمت تضعیف نسبت I_{on}/I_{off} در نوع بدون پیوند شده‌است. از سوی دیگر با در نظر گرفتن برتری JL-CNTFET از لحاظ فرآیند ساخت می‌توان در مجموع آن را گزینه بهتری در مقایسه با C-CNTFET دانست.

مرجع‌ها

[1] S. Ijima, T. Ichihashi, “Single-shell carbon nanotubes of 1-nm diameter,” *Nature*, vol. 363, pp. 603-605, 1993.

[2] L. Ming, J. Appenzeller, J. Knoch, P. Avouris, “High-performance carbon nanotube field-effect transistor with tunable polarities,” *IEEE Trans. Nanotechnology*, vol. 4, pp. 481-489, September 2005.

[3] T. Durkop, S. A. Getty, E. Cobas, M. S. Fuhrer, “Extraordinary mobility in semiconducting carbon nanotubes,” *Nano Lett.*, vol. 4, no. 1, pp. 35–39, 2004.

[4] J. Guo, S. Datta, M. P. Anantram, M. Lundstrom, “Atomistic simulation of carbon nanotube field-effect transistors using non-equilibrium Green’s function

formalism," *Springer. Journal of Computational Electronics*, vol. 3, pp. 373-377, 2004.

[5] S. J. Tans, A. R. M. Verschueren, and C. Dekker, "Room temperature transistor based on a single carbon nanotube," *Nature*, vol. 393, no. 6680, p. 49, May 1998.

[6] J. Appenzeller, Yu-Ming Lin, J. Knoch, Z. Cheng, Ph. Avouris, "Comparing carbon nanotube transistors – The ideal choice : A novel tunnelling device design," *IEEE Trans. Electron Devices*, Vol. 52, no. 12, pp. 2568-2576 , Dec 2005.

[7] Z. Arefinia, A. A. Orouji, "Quantum simulation study of a new carbon nanotube field-effect transistor with electrically induced source/drain extension," *IEEE Trans. Device and Materials Reliability*, vol. 9, no. 2, pp. 237-243, June 2009.

[8] R. Yousefi, K. Saghafi, M. K. Moravvej-Farshi, "Numerical study of lightly doped drain and source carbon nanotube field effect transistors ," *IEEE Trans. Electron Devices*, vol. 57, no. 4, pp. 765-771, April 2010.

[۹] سجاد محمدیان سیاهکلرودی، علی شاه‌حسینی، رحیم فائز، «بررسی اثر قطر نانولوله در رفتار ترانزیستورهای نانولوله کربنی با نواحی سورس و درین کم‌غلظت»، فصلنامه صنایع الکترونیک ایران. دوره ۴، شماره ۳، پاییز ۱۳۹۳.

[10] J.-P. Colinge, C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, M. White, A.-M. Kelleher, B. Mc Carthy, R. Murphy, "Nanowire transistors without junctions," *Nature. Nanotechnology*, vol. 5, no. 3, pp. 225–229, March 2010.

[11] J. P. Colinge, A. Kranti, R. Yan, C.W. Lee, I. Ferain, R. Yu, N. Dehdashti Akhavan, P. Razavi, "Junctionless Nanowire Transistor (JNT): Properties and design guidelines," *Elsevier. Solid State Electronics*, vol. 65-66, pp. 33-37, July 2011.

[12] Z. Arefinia and A. A. Orouji, "Novel attributes in scaling issues of carbon nanotube field-effect transistors," *Microelectron. J.*, vol. 40, no. 1, pp. 5–9, Jan. 2009.

[13] S. Datta, *Quantum Transport: Atom to Transistor*. Cambridge, U.K.: Cambridge Univ. Press, 2005.

[14] J. Guo, S. Datta, M. Lundstrom, and M. P. Anantram, "Towards multiscale modeling of carbon nanotube transistors," *Int. J. Multiscale Comput. Eng.*, vol. 2, pp. 257–276, 2004.

[15] R. S. Muller and T. I. Kamins, Device Electronics for Integrated Circuits. New York: Wiley, 1986.

[16] R. Saito, G. Dresselhaus, and M. S. Dresselhaus, *Physical Property of Carbon Nanotubes*. London, U.K.: Imperial College Press, 1998.