ارائه یک روش جدید در طراحی مرجع ولتاژ شکاف‌باند با استفاده از ترانزیستورهای ماسفت درناحیه وارونگی قوی با نسبت رد منبع تغذیه بالا

محمدکریم علی‌زاده[1]، حسین شمسی[2]

۱کارشناسی ارشد برق الکترونیک، دانشگاه آزاد اسلامی واحد اراک، mkarim.alizadeh@gmail.com

۲استادیار دانشکده برق، دانشگاه صنعتی خواجه نصیرالدین طوسی

تاریخ دریافت: ۹۳/۴/۱۵ تاریخ پذیرش: ۹۳/۸/۱۴

چکیده

در این مقاله یک مرجع ولتاژ شکاف‌باند با ترانزیستورهای ماسفت در ناحیه وارونگی قوی پیشنهاد شده‌است. مدار پیشنهادی نسبت رد منبع تغذیه بالا و حساسیت دمایی پایینی دارد و می‌تواند با ولتاژ تغذیه کمتر از ۱ ولت نیز کار کند. در این طراحی نسبت ردمنبع تغذیه به‌وسیله حلقه فیدبک و ولتاژ تنظیم شده، بهبود یافته است. این مدار درتکنولوژی ۰/۱۸ µm سی‌ماس طراحی و در نرم‌افزار HSPICE شبیه‌سازی شده است. ولتاژ خروجی این مدار ۴۶۶/۷ میلی‌ولت و ضریب دمایی ولتاژ خروجی در بازه دمایی ۲۰- الی ۱۰۰ درجه سانتی‌گراد ۲۹/۱ ppm/°c است. نسبت رد منبع تغذیه در فرکانس‌های پایین ۱۰۹ دسی‌بل است. توان مصرفی این مدار در دمای اتاق و به ازای ولتاژ تغذیه ۱/۲ولت برابر با ۴۲ میکروواوت است.

کلیدواژه

مرجع ولتاژشکاف‌باند، نسبت رد منبع تغذیه بالا، ضریب دمایی پایین، ناحیه‌ی وارونگی قوی.

مقدمه

مراجع ولتاژ شکاف‌باند[1] یکی از قسمت‌های مهم و مورد نیاز در بسیاری از سیستم‌های آنالوگ و دیجیتال شامل مبدل‌های دیجیتال به آنالوگ[2] و آنالوگ به دیجیتال[3] می‌باشند. در مراجع ولتاژ شکاف‌باند رسیدن به ضریب دمایی پایین[4] و نسبت ردمنبع تغذیه بالا[5] بسیار مهم است. در عین حال باید سعی شود که مرجع ولتاژ شکاف‌باند به ازای ولتاژ تغذیه کم به‌خوبی کارکند و توان مصرفی پایینی داشته باشد. تعداد زیادی از مراجع ولتاژ مبتنی برخواص دمایی ترانزیستورهای دوقطبی هستند[۲-۱]. در این مراجع ولتاژ معمولا از دو ترانزیستور دوقطبی با چگالی جریان‌های نابرابر استفاده شده است که باعث می‌شود اختلاف ولتاژ بیس‌امیتر دو ترانزیستور ($\Delta V_{BE}=V_{BE2}-V_{BE1}$) متناسب با دما[6] شود. همچنین می‌دانیم که ولتاژ بیس-امیتر تغییرات معکوس با دما[7] دارد. در مدارهای مراجع ولتاژ شکاف‌باند سعی می‌شود که با جمع کردن ولتاژهای ΔV_{BE} و V_{BE}، یک ولتاژ مرجع با تغییرات دمایی صفر حاصل شود. البته در عمل ممکن است به دلیل تغییرات غیرخطی V_{BE} با دما رسیدن به این هدف با چالش مواجه شود [۵-۳].

ساختار این مقاله به شرح زیر است. در ابتدا مدار مرجع ولتاژ شکاف‌باند پیشنهادی بررسی و تحلیل می‌شود. مدار پیشنهادی به جای استفاده از ترانزیستورهای دوقطبی، از ترانزیستورهای ماسفت در ناحیه وارونگی قوی[8] استفاده می‌کند[۶]. اگرچه مقدار توان مصرفی در این ناحیه بیشتر از ناحیه‌ی وارونگی ضعیف[9] است. ولی شبیه‌سازی‌ها نشان می‌دهد که کارایی مدار پیشنهادی در این ناحیه نسبت به ناحیه‌ی وارونگی ضعیف بیشتر است. همچنین برای بهبود نسبت ردمنبع تغذیه، درمدار پیشنهادی از ساختار ولتاژ تنظیم شده استفاده شده است[۷]. با استفاده از حلقه‌ی فیدبک بین گره‌ی ولتاژ تنظیم شده و تقویت کننده‌ی عملیاتی، نسبت رد منبع تغذیه افزایش می‌یابد. در ادامه نتایج شبیه‌سازی بیان می‌شود و در پایان پس از مقایسه با کارهای دیگر، نتیجه‌گیری لازم انجام خواهد شد.

1. Bandgap Voltage References (BVR)
2 .Digital to Analog (D/A) Converters
3 .Analog to Digital (A/D) Converters
4 .Low Temperature Coefficient (LTC)
5 .High Power Supply Rejection Ratio (PSRR)
6 .Proportional to Absolute Temperature (PTAT)
7 .Complementary to Absolute Temperature (CTAT)
8. Strong Inversion Region
9 .Weak Inversion Region

ساختار مداری مرجع ولتاژ شکاف‌باند پیشنهادی

ولتاژ گیت-سورس درترانزیستورهای NMOS به موبیلیتی الکترون و ولتاژ آستانه وابسته است و با معادله‌ی (۱) مشخص می‌شود.

$$V_{GS} = V_{tn} + \sqrt{\frac{2LI_D}{C_{OX} W\mu_n}} \qquad (۱)$$

در این معادله I_D جریان درین، W/L نسبت عرض کانال ترانزیستور به طول کانال و C_{ox} خازن گیت-اکساید است. μ_n موبیلیتی الکترون و V_{tn} ولتاژ آستانه ترانزیستور NMOS است. رفتار دمایی موبیلیتی الکترون و ولتاژ آستانه به شرح زیر است[۶].

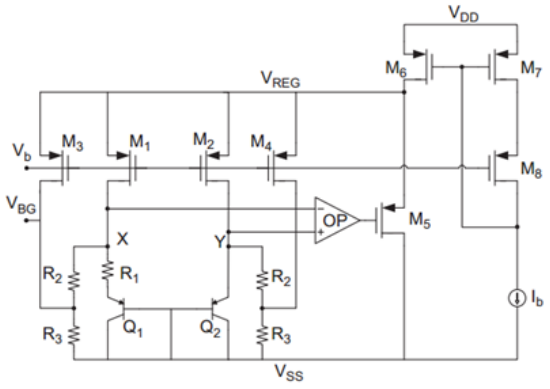
$$\mu_n(T) = \mu_{n0}\left(\frac{T}{T_0}\right)^{\propto_{\mu n}} \qquad (۲)$$

$$V_{tn} = V_{tno} + \propto_{vtn} (T - T_0) \qquad (۳)$$

در رابطه‌های فوق، μ_{n0}، $\propto_{\mu n}$، $\propto_{vtn}$ و V_{tno} مقادیر ثابتی هستند. T_0 برابر ۳۰۰ کلوین و T بیانگر دما بر حسب کلوین است. درمعادله‌ی (۲) مقدار $\propto_{\mu n}$ بین ۱- و۲- است بنابر این موبیلیتی تغییراتی معکوس با دما دارد. در ادامه درمعادله‌ی (۳) به‌دلیل مقدار منفی $\propto_{vtn}$، ولتاژ آستانه ترانزیستور NMOS رفتار معکوس با دما از خود نشان می‌دهد. ولتاژ گیت-سورس در معادله‌ی (۱) قادر به تولید هر دو تغییرات دمایی، متناسب و معکوس با دما است. اولین عبارت در معادله‌ی (۱) (ولتاژ آستانه)، تغییرات معکوس با دما و دومین عبارت تغییرات متناسب با دما را می‌سازد. معادله‌ی (۴) مقدار تغییرات مقاومت با دما را نشان می‌دهد. این پدیده بر جریان‌های متناسب و معکوس با دما در مراجع ولتاژ شکاف‌باند تاثیر می‌گذارد و سبب تغییرات شدید در آن‌ها می‌شود. مقدار مقاومت در دمای محیط T_O، با $R(T_O)$ نشان داده شده است که وابسته به فرآیند ساخت و ضرایب دمایی TC_1 و TC_2 دارای مقدار ثابت و تغییر ناپذیر با فرآیند ساخت هستند[۸].

$$R(T) = R(T_0)[1 + TC_1(T - T_0) + TC_2(T - T_0)^2] \qquad (۴)$$

بنابر این باید از مقاومتی استفاده شود که ضریب دمایی کوچکتری داشته باشد از این رو در مدار پیشنهادی از مقاومت پلی سیلیکن سیلیساید نشده[۱۰] در تکنولوژی ۰/۱۸µm سی‌ماس استفاده شده است.

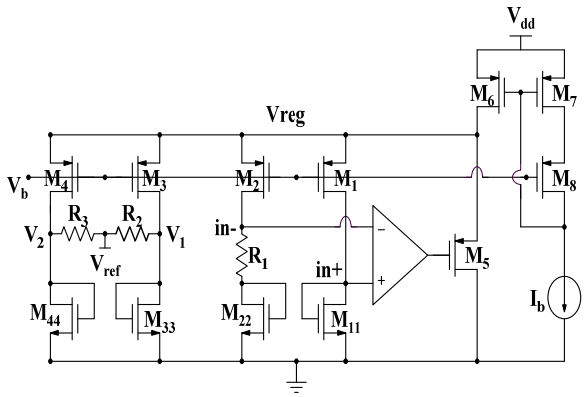


شکل ۱. مرجع شکاف‌باندبا ترانزیستوردوقطبی با نسبت ردمنبع تغذیه بالا [۷]

ساختاری از یک مرجع ولتاژ شکاف‌باند با ترانزیستورهای دوقطبی با نسبت رد منبع تغذیه بالا در شکل ۱ نشان داده شده است[۷]. نسبت رد منبع تغذیه درمدار پیشنهادی، با ولتاژ تنظیم شده V_{REG}، بهبود می‌یابد. این ساختار، ولتاژ تنظیم شده و تغذیه را از هم تفکیک کرده و ولتاژ تغذیه نیاز به افت ولتاژی برابر با ولتاژ سورس-درین ترانزیستورهای M_6 و M_7 در مقایسه با مراجع ولتاژ شکاف‌باند معمولی دارد. در ادامه نمایی کلی از ساختار مرجع ولتاژ شکاف‌باند پیشنهادی با ترانزیستورهای دیودی ماسفت در ناحیه وارونگی قوی درشکل۲ نشان داده شده است. ولتاژگره‌های in- و in+ تقویت کننده‌ی عملیاتی برابر و تغییرات ولتاژ متناسب با دما در دو سر مقاومت R_1 با معادله‌های (۵) و (۶) به‌دست آمده است. در مدار پیشنهادی رفتار دمایی ولتاژ گیت-سورس ترانزیستورهای دیودی، به جریان درین و اندازه ترانزیستور NMOS وابسته است.

$$V_{R1} = V_{GS11} - V_{GS22} \qquad (۵)$$

$$V_{R1} = V_{tn11} + \sqrt{\left(\frac{2LI_D}{C_{OX} W\mu_n}\right)_{M_{11}}} - V_{tn22} - \sqrt{\left(\frac{2LI_D}{C_{OX} W\mu_n}\right)_{M_{22}}} \qquad (۶)$$



شکل ۲. نمایی کلی از مرجع ولتاژ شکاف‌باند پیشنهادی

10. Poly without silicide(rppo1rpo)

درمعادله‌ی(۶) طول کانال و جریان درین ترانزیستورهای دیودی M_{11} و M_{22} برابر و مقدار ولتاژ آستانه‌ی نزدیکی دارند. در ادامه پس از ساده‌سازی معادلات خواهیم داشت.

$$V_{R1} = \sqrt{\left(\frac{2LI_D}{C_{OX}\,W\mu_n}\right)_{M_{11}}} - \sqrt{\left(\frac{2LI_D}{C_{OX}\,W\mu_n}\right)_{M_{22}}} \qquad (۷)$$

در معادله‌ی (۷)، V_{R1} تفریق دو عبارت با تغییرات دمایی است. برای به‌دست آوردن تغییرات ولتاژ متناسب با دما در دوسر مقاومت R_1، باید مقدار عبارت اول از عبارت دوم بزرگتر باشد. بنابراین با استفاده از اندازه عرض کانال ترانزیستورهای دیودی M_{11} و M_{22} ولتاژی با تغییرات متناسب با دما دو سر مقاومت R_1 به‌دست می‌آید. به عبارت دیگر w_{11} باید کوچکتر از w_{22} باشد و مقداری برابر $w_{M22} = 1.39\, w_{M11}$ داشته باشد. درمعادله‌ی(۸) جریان مقاومت R_1 محاسبه شده است. این جریان، از اختلاف بین دو ولتاژ گیت‌سورس ترانزیستورهای دیودی M_{11} و M_{22} در دو سر مقاومت R_1 به‌دست آمده است. با توجه به معادله‌ی (۹) جریان گذرنده از ترانزیستورهای M_3 و M_4 متناسب با جریان I_{R1} خواهد بود.

$$I_{R1} = \frac{V_{GS11} - V_{GS22}}{R_1} = \frac{\Delta V_{GS}}{R_1} \qquad (۸)$$

$$I_{M3,4} = I_{R1}\left(\frac{(W/L)_{M3,4}}{(W/L)_{M1,2}}\right) \qquad (۹)$$

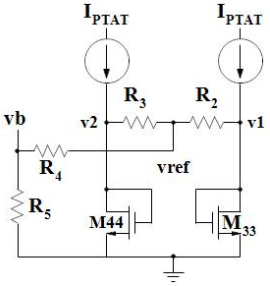
ولتاژ گره‌های V_1و V_2 به ترتیب ولتاژ گیت-سورس ترانزیستورهای M_{33} و M_{44} با اتصال دیودی در ناحیه وارونگی قوی هستند. معادله‌ی(۱۰) ولتاژ خروجی را قبل از اتصال مقاومت-های R_4 و R_5 نشان می‌دهد.

$$v_{ref} = \frac{V_{GS33}}{1 + (R_2/R_3)} + \frac{V_{GS44}}{1 + (R_3/R_2)} \qquad (۱۰)$$

این ولتاژ به‌صورت جزئی‌تر، با معادله‌ی (۱۱) نشان داده شده است. مقدار مقاومت‌های R_2 و R_3 با هم برابر بوده و یک ضریب را به-وجود می‌آورند. این نسبت به‌دست آمده بر رفتار دمایی ولتاژ خروجی تاثیری ندارد.

$$v_{ref} = \frac{V_{tn33} + \sqrt{\left(\frac{2LI_D}{C_{OX}\,W\mu_n}\right)_{M_{33}}}}{1 + (R_2/R_3)} + \frac{V_{tn44} + \sqrt{\left(\frac{2LI_D}{C_{OX}\,W\mu_n}\right)_{M_{44}}}}{1 + (R_3/R_2)} \qquad (۱۱)$$

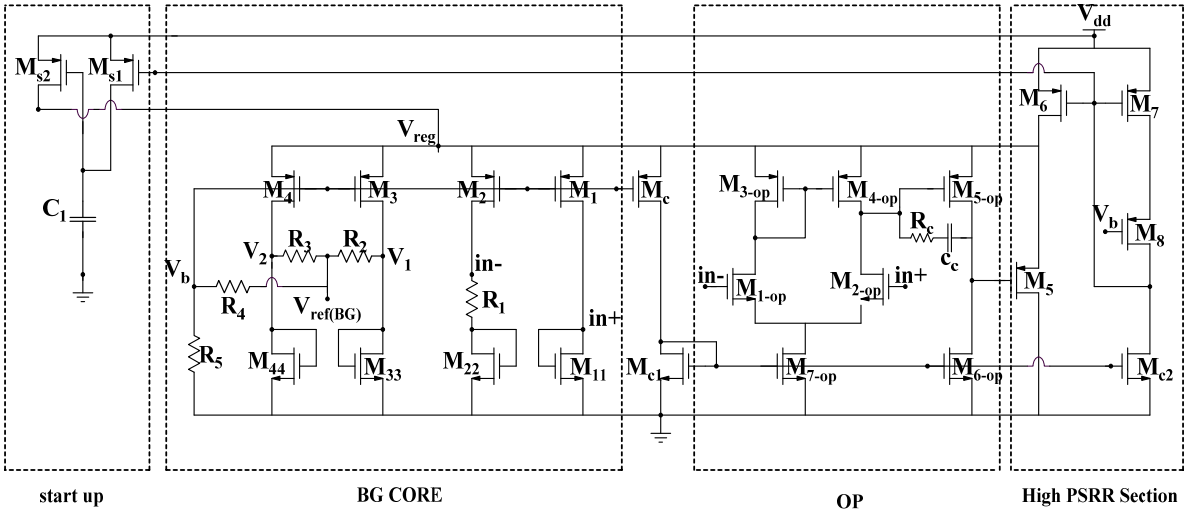
درمعادله‌ی (۱۱) طول کانال ترانزیستورهای دیودی M_{33} و M_{44} برابر و مقدار ولتاژ آستانه نزدیکی دارند. پس رفتار دمایی ولتاژ گیت-سورس تنها با اندازه‌ی عرض کانال ترانزیستورهای دیودی M_{33} و M_{44} به‌دست آمده است. به‌عبارت دیگر بایستی w_{44}کوچکترازw_{33}باشد و مقداری برابر با $w_{M33} = 2.38\, w_{M44}$ داشته باشد. دراین معادله اولین عبارت بیانگر ولتاژ V_1 است و به-دلیل $V_{tn33} > \sqrt{\left(\frac{2LI_D}{C_{OX}\,W\mu_n}\right)M_{33}}$ رفتار دمایی آن به‌صورت معکوس با دما است. دومین عبارت بیانگر ولتاژ V_2 است و به‌دلیل $V_{tn44} < \sqrt{\left(\frac{2LI_D}{C_{OX}\,W\mu_n}\right)_{M_{44}}}$ رفتار دمایی آن به‌صورت متناسب با دما است.



شکل۳. مدار ولتاژ خروجی مرجع شکاف‌باند پیشنهادی

در شکل ۳ ولتاژ خروجی مرجع شکاف‌باند پیشنهادی، با اتصال مقاومت‌های R_4 و R_5 کاهش داده شده است. پس از اتصال این مقاومت‌ها، ولتاژ خروجی طبق معادله‌ی(۱۲) مقداری برابر ۴۶۶/۷ میلی‌ولت خواهد داشت.

$$v_{ref\,(BG)} = \frac{V_{ref}}{\left[1 + \frac{\left(R_2 + \left[\left(\frac{1}{gm33}\right) \| (ro_{m33})\right]\right) \| \left(R_3 + \left[\left(\frac{1}{gm44}\right) \| (ro_{m44})\right]\right)}{R_4 + R_5}\right]} \qquad (۱۲)$$



شکل۴. مرجع ولتاژ شکاف‌باند پیشنهادی شامل هسته اصلی، ولتاژ تغذیه تنظیم شده با بخشی برای بهبود نسبت رد منبع تغذیه، تقویت کننده و مدار راه‌انداز

جدول۱. اندازه اجزای به کار رفته در مدارپیشنهادی شکل۴

$(\frac{W}{L})_{M1}$	$7.7\mu m/5\mu m \quad m=1$	$(\frac{W}{L})_{mS1}$	$1\mu m/15\mu m \quad m=1$	$(\frac{W}{L})_{m44}$	$8.4\mu m/5\mu m \quad m=1$
$(\frac{W}{L})_{M2}$	$\mathbf{7.7\mu m/5\mu m \quad m=1}$	$(\frac{W}{L})_{mS2}$	$\mathbf{15\mu m/5\mu m \quad m=1}$	$\boldsymbol{C_1}$	952 fF
$(\frac{W}{L})_{M3}$	$\mathbf{20\mu m/5\mu m \quad m=2}$	$(\frac{W}{L})_{Mc}$	$\mathbf{5\mu m/5\mu m \quad m=1}$	$\mathbf{R_1}\left(\frac{L}{W}\right)$	$143.73\ \mu m/2.1\mu m$ $rppolrpo \quad 22\ k\Omega$
$(\frac{W}{L})_{M4}$	$\mathbf{20\mu m/5\mu m \quad m=2}$	$(\frac{W}{L})_{Mc1}$	$\mathbf{7\mu m/10\mu m \quad m=1}$	$\mathbf{R_2}\left(\frac{L}{W}\right)$	$130.66\ \mu m/2.1\mu m$ $rppolrpo \quad 20\ k\Omega$
$(\frac{W}{L})_{M5}$	$\mathbf{10\mu m/5\mu m \quad m=1}$	$(\frac{W}{L})_{Mc2}$	$\mathbf{7\mu m/10\mu m \quad m=1}$	$\mathbf{R_3}\left(\frac{L}{W}\right)$	$130.66\ \mu m/2.1\mu m$ $rppolrpo \quad 20\ k\Omega$
$(\frac{W}{L})_{M6}$	$\mathbf{35\mu m/5\mu m \quad m=5}$	$(\frac{W}{L})_{M11}$	$\mathbf{1.44\mu m/5\mu m \quad m=1}$	$\mathbf{R_4}\left(\frac{L}{W}\right)$	$157\ \mu m/2.1\mu m$ $rppolrpo \quad 24\ k\Omega$
$(\frac{W}{L})_{m7}$	$\mathbf{5\mu m/5\mu m \quad m=1}$	$(\frac{W}{L})_{M22}$	$\mathbf{2\mu m/5\mu m \quad m=1}$	$\mathbf{R_5}\left(\frac{L}{W}\right)$	$464.48\ \mu m/2.1\mu m$ $rppolrpo \quad 71\ k\Omega$
$(\frac{W}{L})_{M8}$	$\mathbf{5\mu m/5\mu m \quad m=1}$	$(\frac{W}{L})_{M33}$	$\mathbf{20\mu m/5\mu m \quad m=1}$		

جدول۲. اندازه اجزای به کار رفته برای تقویت کننده در مدارپیشنهادی شکل۴

$(\frac{W}{L})_{M1-op}$	$10\mu m/5\mu m \ m=1$	$(\frac{W}{L})_{M4-op}$	15µm/5µm m = 1	$(\frac{W}{L})_{M7-op}$	18µm/5µm m = 2
$(\frac{W}{L})_{M2-op}$	$\mathbf{10\mu m/5\mu m \ m=1}$	$(\frac{W}{L})_{M5-op}$	**12µm/5µm m = 1**	$\boldsymbol{C_c}$	1 pF
$(\frac{W}{L})_{M3-op}$	$\mathbf{15\mu m/5\mu m \ m=1}$	$(\frac{W}{L})_{M6-op}$	**11.9µm/5µm m = 1**	$\boldsymbol{R_c}$	$50\ k\Omega$

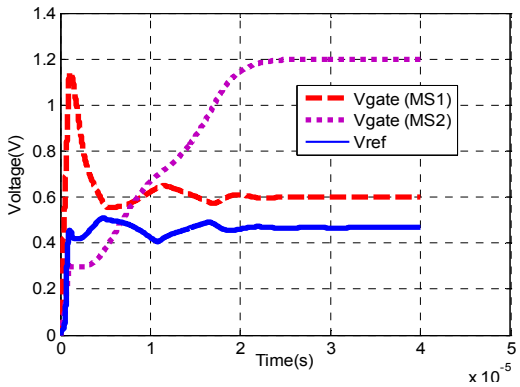
مدار کامل شده‌ی مرجع ولتاژ شکاف‌باند پیشنهادی شامل هسته اصلی، ولتاژ تغذیه تنظیم شده V_{REG}، به‌همراه بخشی برای افزایش نسبت رد منبع تغذیه، تقویت کننده ومدار راه‌انداز درشکل۴ نشان داده شده است. اندازه اجزای به‌کار رفته در مدار پیشنهادی، درجدول۱ و درادامه اندازه‌ی اجزای تقویت کننده‌ی طراحی شده، درجدول۲ بیان شده است. تقویت کننده‌ی عملیاتی مورد استفاده برای مرجع ولتاژ شکاف‌باند پیشنهادی یک آپ امپ دو طبقه با بهره‌ی DC بالا است و درشکل۴ نشان داده شده است. این مشخصه به بهبود نسبت رد منبع تغذیه در مرجع ولتاژ شکاف‌باند پیشنهادی کمک کرده و مقدار خطا را برای ولتاژ خروجی کاهش می‌دهد. در ادامه برای کاهش افست ورودی آپ‌امپ، ترانزیستورهای ورودی M_{1-op} و M_{2-op} از نوع NMOS و با ابعاد بزرگ انتخاب شده‌اند. نتایج شبیه‌سازی این تقویت کننده‌ی دو طبقه درجدول۳ آورده شده است.

جدول۳. نتایج به‌دست آمده از شبیه‌سازی تقویت کننده عملیاتی

نتایج شبیه سازی	پارامتر ها
۶۴ دسی‌بل	بهره در فرکانس پایین
۶/۴ مگاهرتز	پهنای باند بهره واحد
۵۹ درجه	حاشیه فاز
۳۹/۷ میکرو ولت	افست ورودی
۸/۰۶۵۴ ولت بر میکرو ثانیه	نرخ چرخش مثبت
۳/۱۰۳۷ ولت بر میکرو ثانیه	نرخ چرخش منفی
۱۱/۱۶۹۱ میکروآمپر	جریان مصرفی
g_{m5}/g_{meq} = **۰/۱۲۵۲۴**	ضریب فیدبک

مدار راه‌انداز

مدار راه‌انداز[11] در شکل ۴ نشان داده شده است. این مدار جریانی را به هسته‌ی مدار شکاف‌باند تزریق می‌کند. ترانزیستور M_{S1} از مدار راه‌انداز با بخش نسبت رد منبع تغذیه‌ی بالا درشکل۴ برای کاهش توان مصرفی ترکیب شده‌است. ترانزیستورهای راه‌انداز-M_{S1} M_{S2} با ولتاژ تغذیه بایاس شده‌اند و درین ترانزیستور راه‌انداز M_{S1} با کمک خازن C_1 به‌زمین متصل است. درین ترانزیستور راه‌انداز M_{S2} جریانی را به هسته‌ی شکاف‌باند[12] تزریق می‌کند. ترانزیستور M_C کسری ازجریان هسته‌ی مدار شکاف‌باند را ازجریان آینه-ای M_1-M_4 کپی کرده و آن را با کمک ترانزیستور آینه‌ای M_{C1} و M_{7-op} برای بایاس تقویت کننده‌ی عملیاتی استفاده می‌کند. ترانزیستور آینه‌ای M_{C2} جریان I_b را به ترانزیستورهای M_6 و M_7 انتقال داده و درین ترانزیستور راه‌انداز M_{S1} کسری ازجریان ترانزیستورهای M_6 و M_7 را کپی کرده و باعث افزایش ولتاژ دو سر خازن C_1 می‌شود. ولتاژ دو سرخازن C_1 به مقدار ولتاژ تغذیه افزایش می‌یابد. افزایش ولتاژ دو سر خازن که به گیت ترانزیستور M_{S2} متصل است باعث می‌شود که ترانزیستور M_{S2} وارد ناحیه‌ی قطع شده و ترانزیستور M_{S1} وارد ناحیه خطی شود. در پایان جریان صحیحی درکل مدارشکاف‌باند توسط جریان ترانزیستور M_{S2} برقرار شده است. ولتاژ گیت ترانزیستورهای M_{S1} ، M_{S2} و ولتاژ خروجی مرجع شکاف‌باند درشکل۵ در برابر عملکرد مدار راه‌انداز نشان داده شده‌است. زمان پایداری ولتاژ خروجی مرجع شکاف‌باند ۳۱ میکروثانیه به‌دست آمده است. در این زمان مدار راه‌انداز به‌صورت مجزا از هسته‌ی مدار شکاف‌باند قرار می‌گیرد.



شکل۵. ولتاژ خروجی و گیت ترانزیستورهای M_{S1} - M_{S2} درمدارراه‌انداز

عملکرد نسبت رد منبع تغذیه‌ی بالا

نسبت ردمنبع تغذیه درمدار پیشنهادی، با ولتاژ تنظیم شده V_{REG}، بهبود می‌یابد. جریان آینه‌ای ترانزیستورهای M_6 و M_7، ولتاژ تنظیم شده‌ی V_{REG} را ساخته و برای هسته‌ی مدار شکاف‌باند پیشنهادی به‌جای ولتاژتغذیه استفاده می‌شود. درشکل۲ منبع جریان I_b مستقل از منبع تغذیه نمایش داده شده است. جریان تنظیم شده‌ی I_b، با کمک ترانزیستور آینه‌ای M_{C2} نسبتی از جریان آینه‌ای ترانزیستورهای M_1-M_4 است. این ساختار، ولتاژ تنظیم شده و تغذیه را از هم تفکیک کرده و ولتاژ تغذیه نیاز به افت ولتاژی برابر با ولتاژ سورس-درین ترانزیستورهای M_6 و M_7

11. Start up

12.Bandgap core

در مقایسه با مراجع ولتاژ شکاف‌باند معمولی دارد. ترانزیستور M_8 به‌صورت یک ترانزیستور کاسکود[13] در اتصال با ترانزیستورهای M_1-M_4 بایاس شده است.

اثر نویز ولتاژ تغذیه بر ولتاژ تنظیم شده‌ی V_{REG}، با استفاده از روش‌های زیر کاهش می‌یابد. با استفاده از آرایش منبع جریان کاسکود.

به‌وسیله‌ی به‌کارگیری حلقه‌ی فیدبک، حلقه‌ی فیدبک در گره‌ی V_{REG} با استفاده از ترانزیستور[14] M_5 به‌وسیله‌ی یک آپ‌امپ با بهره‌ی نسبتا بالا اختلاف ولتاژ بین دوگره‌ی in- و in+ را تقویت می‌کند.

بهره‌ی حلقه‌ی هسته‌ی مدار شکاف‌باند LG، مقدار قابل توجهی دارد و مقدار آن از معادله‌ی(۱۳) به‌دست می‌آید. در این رابطه A_{op}، بیانگر بهره تقویت کننده عملیاتی است. همچنین هدایت انتقالی ترانزیستورها با متغیر g_m و مقاومت خروجی ترانزیستورهای با متغیر ro نشان داده شده‌است. لازم به ذکر است با توجه به ابعاد و جریان یکسان ترانزیستورهای M_1 و M_2 ، هدایت انتقالی آن‌ها با هم برابر است $g_{m1} = g_{m2}$ ، $\frac{1}{g_{m22}}$ و $\frac{1}{g_{m11}}$ مقاومت‌های سیگنال کوچک ترانزیستورهای دیودی M_{11} و M_{22}هستند و مقاومت بزرگ خروجی ترانزیستورهای دیودی درمقایسه با آن‌ها قابل صرفنظرکردن است. درضمن g_{meq} بیانگر هدایت انتقالی معادل است که درمعادله‌ی(۱۴) به جزئیات آن اشاره شده است.

$$LG = A_{OP}.\frac{g_{m5}}{g_{meq}}\left[\left(g_{m2} * (R_1 + \left(\frac{1}{g_{m22}} \parallel ro_{m22}\right)\right)\right) - \left(g_{m1} * (\frac{1}{g_{m11}} \parallel ro_{m11})\right)\right] \quad (۱۳)$$

$$g_{meq} = g_{m1} + g_{m2} + g_{m3} + g_{m4} + g_{m5} \quad (۱۴)$$

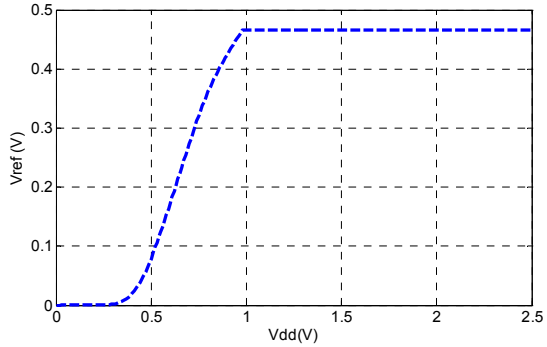
نسبت رد منبع تغذیه مرجع ولتاژ شکاف‌باند به شرح زیر است:

$$PSRR = \frac{\left(\frac{V_{ref}}{V_{REG}} \times \frac{V_{REG}}{V_{ac}}\right) \text{open loop}}{1 + LG} \quad (۱۵)$$

درمعادله‌ی (۱۵) ولتاژهای V_{ac}، V_{ref} و V_{REG} به‌ترتیب ولتاژهای تغذیه، ولتاژ خروجی و ولتاژ تغذیه تنظیم شده مرجع شکاف‌باند پیشنهادی هستند. در بخش پیوست به صورت جامع محاسبات $\left(\frac{V_{ref}}{V_{REG}} \times \frac{V_{REG}}{V_{ac}}\right) \text{open loop}$، بیان شده است.

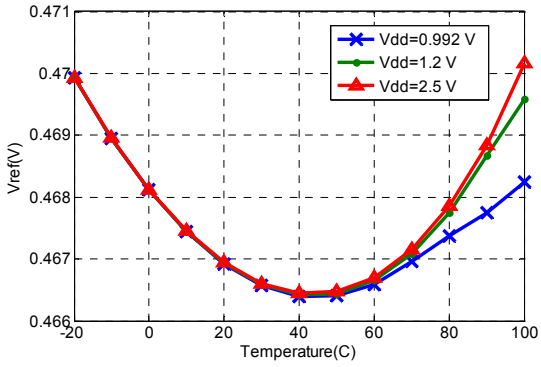
نتایج شبیه‌سازی

ساختار پیشنهادی با تکنولوژی ۰/۱۸ µm سی‌ماس شبیه‌سازی شده‌است. مرجع ولتاژ شکاف‌باند پیشنهادی با ولتاژ تغذیه‌ی ۱/۲ ولت طراحی شده است. شکل(۶) تغییرات ولتاژ خروجی را برحسب تغییرات ولتاژ تغذیه نشان می‌دهد. در نهایت مقدار ولتاژ خروجی ۴۶۶/۷ میلی‌ولت است.



شکل۶. تغییرات ولتاژ خروجی بازای تغییرات ولتاژ تغذیه

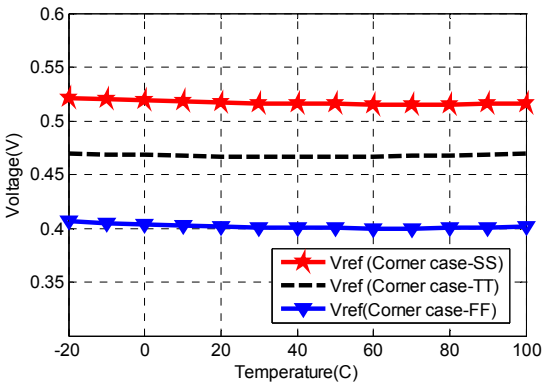
درشکل(۷) ولتاژخروجی مرجع‌شکاف‌باند بازای تغییرات دمایی از۲۰- تا۱۰۰ درجه سانتی‌گراد برای سه منبع تغذیه‌ی مختلف نشان داده شده‌است. کل تغییرات دمایی ولتاژخروجی با تغذیه‌ی ۱/۲ولت برای گوشه‌ی پروسه‌ی[15] TT، کمتر از۳/۵ میلی‌ولت و کم‌ترین مقدار آن دردمای ۴۵درجه سانتی‌گراد است. ضریب دمایی ولتاژ خروجی[16] ۲۹/۱۶ ppm/°c است و ولتاژ خروجی حساسیت دمایی خوبی را به نمایش می‌گذارد.



شکل۷. ولتاژخروجی برحسب تغییرات دما برای سه منبع تغذیه‌ی مختلف

در ادامه تغییرات دمایی ولتاژخروجی برای مدار پیشنهادی با تغذیه‌ی ۱/۲ولت درسه گوشه‌ی پروسه در شکل(۸) نشان داده شده است.

13. Cascade
14. PMOS
15. Corner process
16. Parts – per – million per degree Celsius



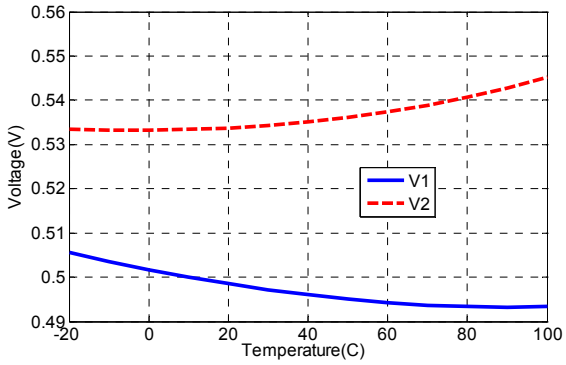
شکل۸. ولتاژخروجی برحسب تغییرات دما برای سه گوشه پروسه

تغییرات ولتاژ خروجی در فرآیند طراحی برای بازه‌ی دمایی ۲۰- الی ۱۰۰ درجه سانتی‌گراد در گوشه‌ی کند پروسه SS، ppm/°c ۴۹/۸۴، گوشه سریع پروسه FF، ppm/°c ۵۶/۶۶ است. جدول۴ نتایج تغییرات دمایی ولتاژ خروجی این مرجع پیشنهادی را به‌ازای پنج گوشه‌ی پروسه نشان می‌دهد.

جدول۴. نتایج به‌دست آمده از تغییرات ولتاژ خروجی درگوشه‌های پروسه

گوشه‌های پروسه	تغییرات ولتاژ خروجی در بازه‌ی دمایی ۲۰- الی ۱۰۰ درجه سانتی‌گراد
TT	۲۹/۱۶ ppm/°c
FS	۳۶/۶۷ ppm/°c
SF	۳۹/۴۶ ppm/°c
SS	۴۹/۸۴ ppm/°c
FF	۵۶/۶۶ ppm/°c

از معادله‌ی(۱۱) به‌یاد داریم اولین عبارت V_1 ولتاژی با تغییرات معکوس و دومین عبارت V_2 ولتاژی با تغییرات متناسب با دما است. ولتاژهای متناسب و معکوس با دما برای تولید ولتاژ خروجی با یکدیگر جمع می‌شوند. لازم به ذکر است که به‌دلیل جریان و طول کانال برابر دو ترانزیستور $I_{M4} = I_{M3}$ و $L_{M33} = L_{M44}$ تنها با انتخاب هوشمندانه‌ی اندازه‌ی عرض کانال ترانزیستورهای دیودی M_{33} و M_{44} می‌توان رفتار دمایی متفاوت را برای ولتاژهای V_1و V_2 ایجادکرد. در این طراحی عرض ترانزیستورهای دیودی M_{33} و M_{44} به صورت $w_{M33} = 2.38\, w_{M44}$ انتخاب شده‌است. شکل(۹) تغییرات ولتاژ گره‌های V_1 و V_2 را بر حسب دما را نشان می‌دهد.



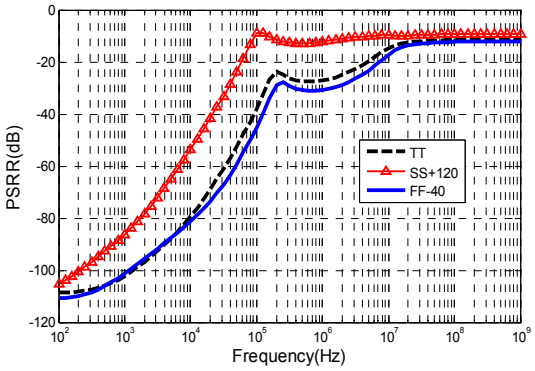
شکل۹.تغییرات دمایی ولتاژ گره‌های V_1 و V_2

جدول۵. نسبت رد منبع تغذیه در دماها و گوشه‌های پروسه مختلف

گوشه‌های پروسه+دما	نسبت رد منبع تغذیه بردسی‌بل
TT	-۱۰۹
TT+60	-۱۰۲
FS	-۱۰۱
SF	-۱۰۶
SS+120	-۱۰۵
FF-40	-۱۱۱

نتایج نسبت رد منبع تغذیه‌ی مرجع ولتاژ شکاف‌باند پیشنهادی با ولتاژ تغذیه‌ی۱/۲ولت برای پنج گوشه‌ی پروسه با دماهای مختلف درجدول۵ در فرکانس DC نشان داده شده است. این نتایج درفرآیند طراحی برای گوشه‌ی پروسه با دمای۶۰ درجه سانتی‌گراد TT+60، گوشه سریع پروسه با دمای۴۰- درجه سانتی‌گراد FF-40، گوشه کند پروسه با دمای۱۲۰+ درجه سانتی‌گراد SS+120 ودیگر گوشه‌ها نشان داده شده است.

شکل (۱۰) نسبت ردمنبع تغذیه‌ی مدار پیشنهادی را در بازه‌ای از فرکانس نشان می‌دهد. نسبت ردمنبع تغذیه درفرکانس‌های پایین ۱۰۹ دسی‌بل، در فرکانس۱۰ کیلوهرتز ۸۰ دسی‌بل و در فرکانس ۱مگاهرتز ۲۷دسی‌بل است. این نسبت در پهنایی از فرکانس نشان از عملکرد قابل قبول مدار طراحی شده دارد.



شکل۱۰. نسبت رد منبع تغذیه در بازه‌ای از فرکانس

برای بررسی اثر عدم تطابق[17] ترانزیستورها بر عملکرد مدار نیاز به انجام شبیه‌سازی مونت‌کارلو[18] در تمامی ترانزیستورها است. برای هر یک از ترانزیستورها در این شبیه‌سازی یک تابع گوسی با سیگما به‌دست آمده از تکنولوژی تعریف شده است. نتایج به‌دست آمده از شبیه‌سازی۱۰۰ نمونه مرجع شکاف‌باند پیشنهادی در جدول ۶ نشان داده شده است.

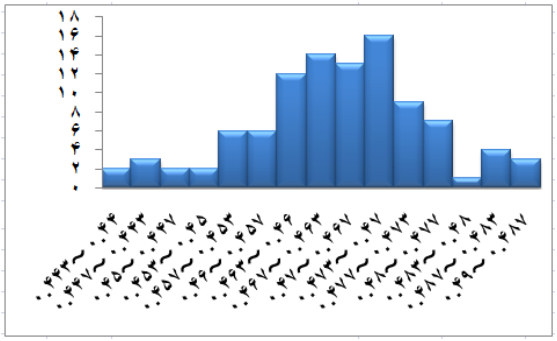
جدول۶. بررسی اثر عدم تطابق ترانزیستورها بر عملکرد مدار پیشنهادی ونتایج به‌دست آمده از شبیه‌سازی مونت‌کارلو برای ۱۰۰ نمونه

ولتاژ خروجی	۱۰۰ نمونه‌ها
بیشترین مقدار نمونه‌ها	**۰/۴۹۰۱۴ ولت**
کمترین مقدار نمونه‌ها	**۰/۴۴۰۱۵ ولت**
میانگین نمونه‌ها	**۰/۴۶۷۱۵ ولت**
میانه نمونه‌ها	**۰/۴۶۷۴۴ ولت**

$$\%1\sigma \cong \frac{(\text{Maximum} - \text{Average})}{\text{Average}} \times 0.33 \times 100 \qquad (۱۶)$$

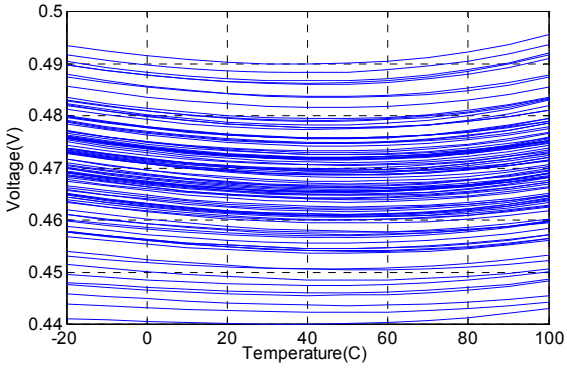
$$\%3\sigma \cong \frac{(\text{Maximum} - \text{Average})}{\text{Average}} \times 100 \qquad (۱۷)$$

با توجه به معادله‌ی(۱۶) و مقدار $1\sigma = 1.63\%$، این گونه نتیجه می‌شود که در ۶۸ درصد موارد بیشترین انحراف ولتاژ خروجی از مقدار نامی آن که ۴۶۶/۷ میلی‌ولت است، برابر با ۷/۵۸± میلی‌ولت است. همچنین با توجه به معادله‌ی (۱۷) و مقدار $3\sigma = 4.921\%$، این گونه نتیجه می‌شود که در ۹۹/۷ درصد موارد، بیشترین انحراف ولتاژ خروجی از مقدار نامی آن برابر با ۲۲/۹۷± میلی‌ولت است. در ادامه هیستوگرام شبیه‌سازی شده برای بررسی اثر عدم تطابق ترانزیستورها بر ولتاژ خروجی در شکل (۱۱) نشان داده شده است.



شکل۱۱. اثر عدم تطابق ترانزیستورها بر هیستوگرام ولتاژ خروجی به‌ازای ۱۰۰ نمونه

برای بررسی حساسیت تغییرات دمایی ولتاژ خروجی به عدم تطابق ترانزیستورها نیاز به انجام شبیه‌سازی مونت‌کارلو است. شکل(۱۲) تغییرات دمایی ولتاژ خروجی مدار پیشنهادی را به‌ازای ۱۰۰ نمونه مرجع شکاف‌باند نشان می دهد.



شکل۱۲. تغییرات دمایی ولتاژ خروجی برای ۱۰۰ نمونه

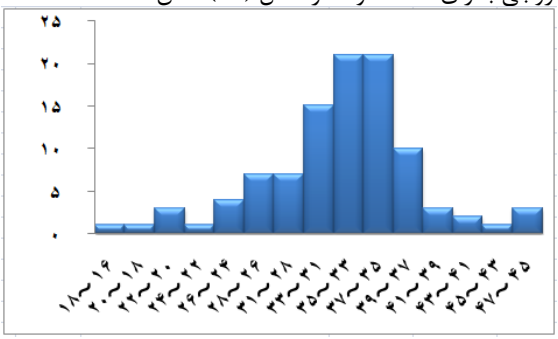
در ادامه نتایج به‌دست آمده از شبیه‌سازی۱۰۰ نمونه مرجع شکاف‌باند پیشنهادی برای تغییرات ضریب دمایی ولتاژ خروجی در جدول۷ نشان داده شده است.

جدول۷. نتایج به‌دست آمده برای ضریب دمایی ولتاژ خروجی از شبیه‌سازی مونت‌کارلو برای ۱۰۰ نمونه

ضریب دمایی ولتاژ خروجی در بازه‌ی دمایی ۲۰- الی ۱۰۰ درجه سانتی‌گراد	۱۰۰ نمونه‌ها
۴۶/۶۳ ppm/°c	بیشترین مقدار نمونه‌ها
۱۶/۴۱ ppm/°c	کمترین مقدار نمونه‌ها
۳۳/۰۶۱۳۱ ppm/°c	میانگین نمونه‌ها
۳۳/۹۰۵ ppm/°c	میانه نمونه‌ها

17. Mismatch
18. Monte carlo

با توجه به معادله‌ی(۱۶) و مقدار $1\sigma = 13.67\%$ این گونه نتیجه می‌شود که: در ۶۸ درصد موارد بیشترین انحراف ضریب دمایی ولتاژ خروجی از مقدار نامی آن که ۲۹/۱۶ ppm/°c است، برابر با ۴/۵۱ ppm/°c± است. با توجه به معادله‌ی (۱۷) و مقدار $3\sigma = 41.041\%$، این گونه نتیجه می‌شود که: در۹۹/۷ درصد موارد بیشترین انحراف ضریب دمایی ولتاژ خروجی از مقدار نامی آن برابر با ۱۳/۵۴ ppm/°c± است. در ادامه ضریب دمایی ولتاژ خروجی به‌ازای ۱۰۰ نمونه در شکل (۱۳) نشان داده شده است.



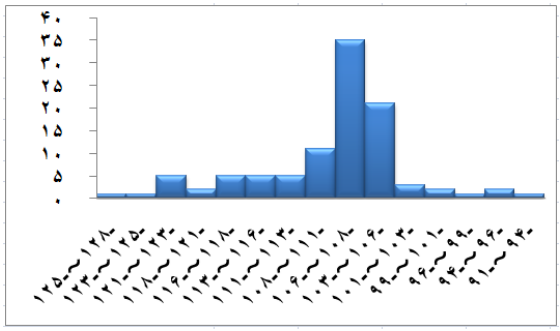
شکل۱۳. هیستوگرام ضریب دمایی ولتاژ خروجی مدار شکاف‌باند پیشنهادی بر حسب ppm/°c برای ۱۰۰ نمونه

همچنین برای بررسی اثر عدم تطابق ترانزیستورها بر نسبت رد منبع تغذیه مدار پیشنهادی در فرکانس‌های پایین، شبیه‌سازی ۱۰۰ نمونه مرجع شکاف‌باند درجدول۸ نشان داده شده است.

جدول۸. اثر عدم تطابق ترانزیستورها بر نسبت ردمنبع تغذیه درفرکانس‌های پایین (شبیه‌سازی مونت‌کارلو برای۱۰۰ نمونه)

نسبت رد منبع تغذیه درفرکانس DC بر دسی‌بل	۱۰۰ نمونه‌ها
-۱۲۷/۹	بیشترین مقدار نمونه‌ها
-۹۱/۲۱	کمترین مقدار نمونه‌ها
-۱۰۸/۶۱۲۱۸	میانگین نمونه‌ها
-۱۰۷/۴۷۵	میانه نمونه‌ها

با توجه به معادله‌ی(۱۶) و مقدار $1\sigma = 5.9\%$، این گونه نتیجه می‌شود که: در ۶۸ درصد موارد، بیشترین انحراف نسبت رد منبع تغذیه از مقدار نامی آن که ۱۰۹- دسی‌بل است، برابر با ۶/۴۳± دسی‌بل است. با توجه به معادله‌ی (۱۷) و مقدار $3\sigma = 17.755\%$، این گونه نتیجه می شود که: در ۹۹/۷ درصد موارد، بیشترین انحراف نسبت رد منبع تغذیه از مقدار نامی آن برابر با ۱۹/۳ ± دسی‌بل است. درنتیجه میانگین نسبت رد منبع تغذیه در مدار پیشنهادی برای ۱۰۰ نمونه مرجع شکاف‌باند برابر با ۱۰۸/۶۱۲- دسی‌بل است. در ادامه هیستوگرام نسبت رد منبع تغذیه در شکل (۱۴) نشان داده شده است.



شکل۱۴. هیستوگرام نسبت رد منبع تغذیه‌ی مدار شکاف‌باند پیشنهادی برحسب دسی‌بل برای ۱۰۰ نمونه

جدول۹ مشخصات مرجع ولتاژ شکاف‌باند پیشنهادی را در مقایسه با چند مقاله‌ی دیگر نشان می‌دهد. لازم به‌ذکر است که درجدول۹ علامت * نشان دهنده‌ی نتایج گزارش شده از ساخت تراشه[19] است. تمامی مراجع ولتاژ شکاف‌باند در این جدول با تکنولوژی سی‌ماس شبیه‌سازی شده‌است.

دراین مرجع پیشنهادی روشی برای کاهش حساسیت ولتاژ خروجی به تغذیه استفاده شده است[۷]. نسبت رد منبع تغذیه در فرکانس‌های پایین ۱۰۹- دسی‌بل است و در مقایسه با آن مرجع ۱۴ دسی‌بل بهبود یافته است. در ادامه کل توان مصرفی مدار پیشنهادی ۴۲ میکروات است که در مقایسه با آن مرجع ۹۲ میکروات کاهش یافته است. نسبت رد منبع تغذیه مرجع شکاف-باند پیشنهادی در مقایسه با مرجع[۱۰] که توان و ولتاژ خروجی نزدیکی دارد در فرکانس‌های پایین۵۱دسی‌بل، درفرکانس۱۰ کیلوهرتز ۶۰ دسی‌بل و در فرکانس ۱ مگاهرتز ۱۲ دسی‌بل بیشتر است. این مرجع شکاف‌باندپیشنهادی درمقایسه با مرجع شکاف‌باند با ترانزیستورهای ماسفت در ناحیه وارونگی قوی[۹] نسبت ردمنبع تغذیه‌ی بالا و محدوده‌ی تغذیه‌ی مورد استفاده‌ای برابر با۰/۹۹۲الی۲/۵ ولت دارد. در نتیجه مدار مرجع ولتاژ شکاف‌باند پیشنهادی در مقایسه با مراجع شکاف‌باند ارائه شده در جدول۹ نتیجه قابل قبولی دارد و مقدار ضریب دمایی ولتاژ خروجی مدار پیشنهادی نسبتا پایین است.

19. Die

جدول۹. مقایسه نتایج به‌دست آمده از مدار طراحی شده با نمونه کارهای مشابه

مدار پیشنهادی با استفاده از ترانزیستورهای ماسفت در ناحیه وارونگی قوی	*[۱۲] با استفاده از ترانزیستورهای دوقطبی	*[۱۱] با استفاده از ترانزیستورهای دوقطبی	*[۱۰] با استفاده از ترانزیستورهای دوقطبی	[۹] با استفاده از ترانزیستورهای ماسفت در ناحیه وارونگی قوی	*[۷] با استفاده از ترانزیستورهای دوقطبی	[۲] با استفاده از ترانزیستورهای دوقطبی	[۱] با استفاده از ترانزیستورهای دوقطبی	مـر ا جع
------	۲۰۱۰	۲۰۱۱	۲۰۱۱	۲۰۱۲	۲۰۱۱	۲۰۱۲	۲۰۰۳	سال گزارش
۰/۱۸	۰/۵	۰/۵	۰/۵	۰/۱۸	۰/۱۸	۰/۱۸	۰/۲۵	تکنولوژی استفاده شده µm
۴۶۶/۷	۱۲۴۱	۲۲۸	۴۷۸/۶	۳۴۳	۶۹۸	۱۲۰۴	۷۰۰	ولتاژ خروجیmV
۰/۹۹۲ الی ۲/۵	۵	۱ الی ۵	۱/۲ الی ۳	۱/۵ الی ۳/۵	------	--------	۱ الی ۲/۵	محدوده تغذیه مورد استفاده V
۴۲	۲۹۹	۲۶	۴۸	۱۱۷	۱۳۴	۱۵۰	۲۲۰	توان مصرفی µW
۲۹/۱۶	۱۵/۶	۳۴	۸/۹	۳	۲۰	۶/۱	۳۰	ضریب دمایی ولتاژ خروجی ppm/°c
۲۰- الی ۱۰۰	۲۰- الی ۱۴۰	۴۰- الی ۱۲۰	۴۰- الی ۱۱۰	۴۰- الی ۱۲۰	۴۰- الی ۱۴۰	۲۰- الی ۹۰	۰ الی ۷۰	محدوده دمایی بر اساس درجه سانتی‌گراد °c
۱۰۹	--------	۵۸	۵۸	۷۷	۹۵	۸۴	۱۱۰	نسبت رد منبع تغذیه در فرکانس پایین DC بر دسی‌بل dB
۸۰	--------	۵۸	۲۰	۷۷	--------	۴۴	۱۰۰	نسبت رد منبع تغذیه در فرکانس ۱۰ کیلوهرتز kHz بردسی‌بل dB
۲۷	۵۹	۱۲	۱۵	۶۸	۶۰	۲۰	۷۰	نسبت رد منبع تغذیه در فرکانس ۱ مگاهرتز MHz بردسی‌بل dB

نتیجه گیری

در این مقاله روشی برای ساخت یک مرجع ولتاژ شکاف‌باند با استفاده از ترانزیستورهای ماسفت به‌جای ترانزیستورهای دوقطبی پیشنهاد شده‌است. ترانزیستورهای ماسفت در مدار پیشنهادی درناحیه وارونگی قوی بایاس می‌شوند. یک روش برای کم کردن حساسیت ولتاژ خروجی به تغذیه استفاده شده است. ولتاژ تغذیه

مدار پیشنهادی۱/۲ ولت و توان مصرفی آن ۴۲میکروواوت است. این مدار دارای ولتاژ خروجی۴۶۶/۷ میلی‌ولت با ضریب دمایی ۲۹/۱ ppm/°c در بازه‌ی دمایی۲۰- الی۱۰۰ درجه سانتی‌گراد است. همچنین این مدار دارای نسبت رد منبع تغذیه‌ای برابر با ۱۰۹ دسی‌بل در فرکانس‌های پایین است.

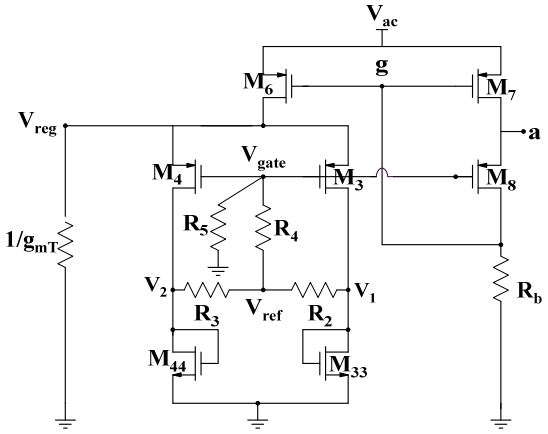
پیوست الف

بخشی از مدار مرجع شکاف‌باند پیشنهادی شکل۴ برای محاسبه‌ی open loop $\left({V_{ref}}/{V_{ac}}\right)$، درشکل(الف.۱) نشان داده شده است. در این شکل R_b، مقاومت خروجی ترانزیستور M_{C2} است. با دقت در مدار شکل۲ ومقایسه‌ی آن با مدار شکل۴ مشخص می‌شود که ترانزیستور M_{C2} عملا منبع جریان I_b، را پیاده‌سازی می‌کند، هدایت انتقالی ترانزیستورهای معادل از گره‌ی V_{reg} با g_{mT} و طبق معادله‌ی(الف۱) نشان داده شده است.

$$g_{mT} = g_{m1} + g_{m2} + g_{m5} \qquad (الف۱)$$

براساس شکل(الف۱) مقدار open loop $\left({V_{ref}}/{V_{ac}}\right)$، به‌صورت زیر محاسبه می‌شود:

$$\left({V_{ref}}/{V_{ac}}\right) \text{open loop} = \frac{V_{ref}}{V_{REG}} \times \frac{V_{REG}}{V_{ac}} \qquad (الف۲)$$



شکل(الف.۱). نمای کلی ازبخش High PSRR مدار پیشنهادی

به دلیل نداشتن تقارن در مدار مرجع شکاف‌باند ($w_{M33} = 2.38\, w_{M44}$) باید سه KCL درگره‌های V_1، V_2 و V_{ref} نوشته شود.

$$\frac{V_{reg} - V_1}{ro_{m3}} - g_{m3}(V_{gs3}) = \frac{V_1}{ro_{m33}} + \frac{V_1}{\frac{1}{g_{m33}}} + \frac{V_1 - V_{ref}}{R_2} \qquad (الف۳)$$

$$\frac{V_{reg} - V_2}{ro_{m4}} - g_{m4}(V_{gs4}) = \frac{V_2}{ro_{m44}} + \frac{V_2}{\frac{1}{g_{m44}}} + \frac{V_2 - V_{ref}}{R_3} \qquad (الف۴)$$

$$\frac{V_{ref} - V_1}{R_2} + \frac{V_{ref} - V_2}{R_3} + \frac{V_{ref} - V_{gate}}{R_4} = 0 \qquad (الف۵)$$

ولتاژ گیت ترانزیستورهای M_3 و M_4 برابربا $V_{gate} = \frac{R_5}{R_4+R_5} V_{ref}$ است. با تحلیل سیگنال‌کوچک $V_{gs3} = V_{gs4} = (V_{gate} - V_{reg})$ به‌دست می‌آید. با توجه به معادله‌های(الف۳-۵) مقدار $\frac{V_{ref}}{V_{reg}} = 5.475 \times 10^{-1}$ محاسبه می‌شود.

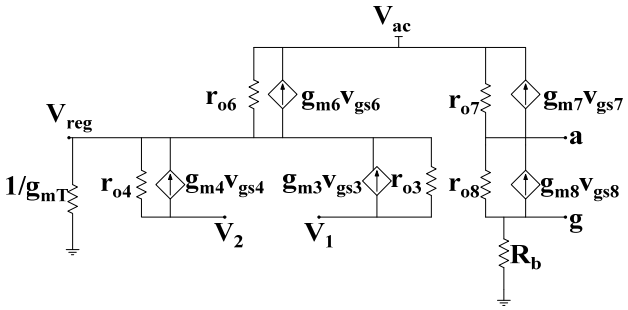
در ادامه برای محاسبه‌ی مقدار $\frac{V_{REG}}{V_{ac}}$ باید KCL درگره‌ی V_{REG} نوشته‌شود.

$$\frac{V_{ac} - V_{reg}}{ro_{m6}} - g_{m6}V_{gs6} = g_{mT}V_{reg} + \frac{V_{reg} - V_1}{ro_{m3}} + \frac{V_{reg} - V_2}{ro_{m4}} - g_{m3}V_{gs3} - g_{m4}V_{gs4} \qquad (الف۶)$$

ولتاژ گیت ترانزیستور M_6 به گره‌ی (g) متصل است. با تحلیل کوچک سیگنال $V_{gs6} = (V_g - V_{ac})$ به‌دست می‌آید. در ادامه با قرار دادن مقادیر $V_1 = 5.0636 \times 10^{-1} V_{reg}$ و $V_2 = 7.0394 \times 10^{-1} V_{reg}$ در معادله‌ی(الف۶) داریم:

$$3.2781 \times 10^{-4}(V_{reg}) + 4.5431 \times 10^{-4}(V_g) = 4.5934 \times 10^{-4}(V_{ac}) \qquad (الف۷)$$

برای درک بهتر روابط مداری، مدل سیگنال کوچک شکل(الف.۱) در شکل(الف.۲) نشان داده شده است.



شکل(الف.۲). مدل سیگنال‌کوچک بخش High PSRR شکل(الف.۱)

به منظور محاسبه‌ی V_g، درگره‌ی(g) KCL نوشته می‌شود:

$$\frac{V_g}{R_b} + \frac{V_g - V_a}{ro_{m8}} + g_{m8}\, V_{gs8} = 0 \qquad (الف۸)$$

با ساده سازی معادله‌ی(الف۸) خواهیم داشت:

$$V_a = 3.946 \times 10^{-3}\ (V_g) + 0.4077\ (V_{reg}) \qquad (الف۹)$$

حال درگره‌ی(a) KCL نوشته می‌شود:

$$\frac{V_g - V_a}{ro_{m8}} + g_{m8}\, V_{gs8} = \frac{V_a - V_{ac}}{ro_{m7}} + g_{m7}\, V_{gs7} \qquad (الف۱۰)$$

پس از ساده سازی رابطه‌ی فوق خواهیم داشت:

$$\frac{V_g - V_a}{ro_{m8}} + g_{m8}\,(V_{gate} - V_a) = \frac{V_a - V_{ac}}{ro_{m7}} + g_{m7}\,(V_g - V_{ac}) \qquad (الف۱۱)$$

با قرار دادن مقدار رابطه‌ی(الف۹) درمعادله‌ی(الف۱۱) و پس از ساده‌سازی رابطه‌ی زیر به‌دست می‌آید:

$$V_g = 1.01\,(V_{ac}) - 4.63 \times 10^{-3}(V_{reg}) \qquad \text{(الف۱۲)}$$

با تلفیق معادله‌های(الف۷) و (الف۱۲) خواهیم داشت:

$$\frac{V_{reg}}{V_{ac}} = 1.043 \times 10^{-3} \qquad \text{(الف۱۳)}$$

در پایان نسبت ولتاژ خروجی مرجع شکاف‌باند به ولتاژ تغذیه در وضعیت حلقه باز به‌صورت زیر محاسبه می‌شود:

$$\left(V_{ref}/V_{ac}\right)\text{open loop} = \frac{V_{ref}}{V_{REG}} \times \frac{V_{REG}}{V_{ac}} = \\ = 5.71 \times 10^{-4} \qquad \text{(الف۱۴)}$$

با استفاده از رابطه‌ی(۱۳)، بهره‌ی حلقه‌ی هسته‌ی مدار شکاف‌باند پیشنهادی برابر با LG = ۶۱/۹۰ محاسبه خواهد شد. با استفاده از معادله‌ی(الف۱۴) و رابطه‌ی(۱۵)، نسبت رد منبع تغذیه در حوزه‌ی لگاریتم به‌صورت زیر محاسبه می‌شود:

$$\text{PSRR} = 20 \times \log\frac{\left(V_{ref}/V_{ac}\right)\text{open loop}}{1 + \text{LG}} = -101\ \text{dB} \qquad \text{(الف۱۵)}$$

مرجع‌ها

[1]S.Mehrmanesh, M.B.Vahidfar, H.A.Aslanzadeh, M.Atarodi, "A 1-volt, high PSRR, CMOS bandgap voltage reference," IEEE International Symposium on Circuits and Systems(ISCAS), Vol. 1, pp. 381-384, May.2003.

[2]Y.Yuzman, H.CheLah, N.Razali, H.SitiNoor, Y.Tan Kong, "Design and characterization of bandgap voltage reference," IEEE International Conference Semiconductor Electronics (ICSE), pp. 686-689, 2012.

[3] G. A. Rincon-Mora, P. E. Allen, "A 1.1-V current-mode and piecewise-linear curvature corrected bandgap reference," IEEE Journal of Solid-State Circuits(JSSC), Vol. 33, No. 10, pp. 1551–1554,Oct. 1998.

[4]Li Jing-hu, Fu Yu-nan, Wang Yong-sheng, "A 1-V piecewise curvature-corrected CMOS bandgap reference," IEEE International Symposium Low Power Electronics and Design (ISLPED), pp. 289-294, Aug. 2008.

[5] Li Jing-hu,Wang Yong-sheng, Yu Ming-yan, Ye Yi-zheng, "A novel piecewise curvature-corrected CMOS bandgap reference," IEEE International Caribbean Conference on Devices, Circuits and Systems(ICCDCS), pp. 1–5, Apr. 2008.

[6] Ricardo Pureza Coimbra, Carlos Alberto dos ReisFilho, "Temperature-related voltage generating circuit using MOS in strong inversion," IEEE International Conference on Industrial Technology (ICIT), pp. 1591–1595, Mar. 2010.

[7]M.Chahardori, M.Atarodi, M.Sharifkhani, "A sub 1-V high PSRR CMOS bandgap voltage reference," Elsevier Journal of Microelectronics, Vol.42, No. 9, pp. 1057-1065, Sept. 2011.

[8] B.RobertGregoire, Un-KuMoon, "Process independent resistor temperature-coefficients using series/parallel and parallel/series composite resistors," IEEE International Symposium on Circuits and Systems (ISCAS), pp. 2826-2829, May. 2007.

[9]E.Shami, H.Shamsi, "A 3-ppm/°C bandgap voltage reference using MOSFETs in strong inversion region," Iranian Conference Electrical Engineering (ICEE), pp. 51 – 54, 2012.

[10]Jing-Hu Li, Xing-bao Zhang, Ming-yan Yu, "A 1.2-V piecewise curvature-corrected bandgap reference in 0.5μm CMOS process," IEEE Transactions on Very Large Scale Integration (VLSI)Systems, Vol. 19, No. 6, pp. 1118 - 1122, Jun. 2011.

[11] David C. W. Ng, David K. K. Kwong, and Ngai Wong, "A Sub-1v, 26μW, low-output-impedance CMOS bandgap reference with a low dropout or source follower mode," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 19, No. 7, pp. 1305 – 1309, Jul.2011.

[12] A.Tajalli, M.Chahardori, A.Khodaverdi, "An area and power optimization technique for CMOS bandgap voltage references,", Springer Journal of Analog Integrated Circuits and Signal Processing, Vol.62, No. 2, pp. 131-140, Feb. 2010.