نوسان‌ساز کنترل‌شونده با ولتاژ با گستره‌ی تنظیم بالا و نویز فاز پایین

علیرضا ذاکری[1]، جواد یاوند حسنی[2]

۱کارشناسی ارشد برق الکترونیک، دانشگاه علم و صنعت ایران

۲استادیار دانشکده‌ی برق و کامپیوتر، دانشگاه علم و صنعت ایران، yavand@iust.ac.ir

تاریخ دریافت: ۹۳/۱۲/۱۷ تاریخ پذیرش: ۹۴/۹/۱۸

چکیده

در این مقاله یک نوسان‌ساز کنترل‌شونده با ولتاژ پهن‌باند در باند فرکانسی ۲/۳۸ تا ۳/۹۰ گیگاهرتز معرفی می‌شود که دارای ۴۸/۶٪ گستره‌ی فرکانسی می‌باشد. این مدار قابلیت کار در شبکه‌های بی‌سیم و وایمکس را داراست. مدار ارائه شده دارای K_{VCO} (نسبت تغییر فرکانس بر ۱ولت) پایین بوده و به همین علت در مدار حلقه‌ی قفل فاز مشخصه‌ی اسپور کمی ایجاد می‌کند. هم‌چنین در مدار پیشنهادی روش جدیدی برای بهینه‌سازی مقادیر خازن‌ها و ابعاد ترانزیستورهای بانک خازنی ارائه شده است. نویز فاز مدار ارائه شده در فرکانس ۳/۹۰ گیگاهرتز برابر ۱۲۰/۸ dBC/Hz – در آفست ۱MHz می‌باشد. هم‌چنین ولتاژ منبع تغذیه‌ی مدار ۱ ولت و توان مصرفی ۴/۱ mW می‌باشد. جانمایی مدار با استفاده از نرم‌افزار Cadence و بسته طراحی مربوط به تکنولوژی ۰/۱۸ RF-CMOS میکرومتر شرکت TSMC انجام شده و نتایج بدست آمده با شبیه‌سازی پساجانشانی تأیید شده است.

کلیدواژه

نوسان‌ساز، کنترل‌شونده با ولتاژ، پهن‌باند، نویز فاز، گستره‌ی تنظیم فرکانسی

مقدمه

نوسان‌ساز یکی از مهم‌ترین بخشهای یک فرستنده-گیرنده رادیوئی می‌باشد. طراحان همواره به دنبال کم‌تر کردن مشخصه‌ی نویزفاز نوسان‌سازها بوده‌اند. هم‌چنین گستره‌ی فرکانسی[1] به عنوان مشخصه‌ی مهم دیگر نوسان‌ساز نیز در تضاد با نویز فاز می‌باشد؛ به عبارت دیگر بیشتر نمودن پهنای باند معادل بیشتر نمودن نویز فاز می‌باشد[۱].

روش‌های بسیاری برای کاهش نویز فاز ارائه شده است[۲-۷]. یکی از روش‌های کاهش نویز فاز استفاده از ترانزیستورهای نوع P به جای نوع N می‌باشد. به علت قابلیت حرکت[2] کم‌تر حفره‌ها، ترانزیستورهای نوع P نویز کمتری نسبت به ترانزیستورهای نوع N تولید می‌نمایند. البته از معایب ترانزیستورهای نوع P می‌توان به محدودیت‌های فرکانسی و کم‌تر بودن ضریب ترارسانایی آن اشاره نمود[۱].

یکی از مهم‌ترین مشخصه‌ها در یک نوسان‌ساز، ضریب کیفیت مدار تانک می‌باشد. ضریب کیفیت بیانگر میزان تلفات مدار تانک است [۱]. مدارهای تانک با تلفات بالا نیاز به مدار جبران‌کننده‌ی انرژی با G_m بزرگ دارند و باعث افزایش نویز فاز می‌شوند. ساده‌ترین راه برای افزایش G_m، افزایش جریان یا افزایش ابعاد ترانزیستورها می باشد. افزایش جریان منجر به افزایش توان مصرفی و افزایش ابعاد ترانزیستورها منجر به افزایش خازن‌های پارازیتی می‌شود.

برای افزایش گستره‌ی فرکانسی روش‌های متعددی وجود دارد. ساده‌ترین راه افزایش اندازه‌ی ورکتور[3] می‌باشد. این روش به دلیل افزایش K_{VCO} مورد استفاده قرار نمی‌گیرد. حساسیت مدار نیز نسبت به ولتاژ کنترل ورکتورها بیشتر می‌گردد؛ به طوری که با تغییر کوچکی در ولتاژ کنترل ورکتور، فرکانس نوسان تغییرات زیادی می‌کند[۸-۱۱].

معمولاً برای افزایش گستره‌ی فرکانسی مدار از کلیدهای خازنی استفاده می‌گردد[۱۱]. یک مدار دیجیتال وظیفه‌ی روشن یا خاموش کردن کلیدهای ترانزیستوری را دارد و خازن‌های اضافی را به مدار اضافه یا از مدار خارج می‌کند. به این ترتیب فرکانس خروجی مدار در بازه‌های گسسته تغییر می‌کند.

افزایش تعداد کلیدهای خازنی برای بیشتر نمودن گستره‌ی فرکانسی، موجب کاهش اندازه‌ی القاگر برای تنظیم فرکانس نوسان در یک بازه‌ی فرکانسی معین می‌شود. کاهش اندازه‌ی القاگر باعث افزایش نویزفاز در مدار می‌شود. القاگرهای کوچک‌تر ضریب کیفیت[4] کم‌تری نسبت به القاگرهای بزرگ‌تر دارند. به عبارت دیگر

1 Tuning Range
2 Mobility

3 Varactor
4 Quality Factor

تلفات در القاگرهای کوچکتر بیش‌تر است. یکی از روابطی که در محاسبه‌ی نویز فاز مدارهای نوسان‌ساز مورد استفاده قرار می‌گیرد رابطه‌ی لیسون می‌باشد که در رابطه‌ی (۱) بیان شده است [۱۲].

$$L\{\Delta\omega\} = 10\log\left[\frac{2FkT}{P_s}\left[1+\left(\frac{\omega_0}{2Q_L\Delta\omega}\right)^2\right]\left(1+\frac{\omega_{\frac{1}{f^3}}}{|\Delta\omega|}\right)\right] \qquad (۱)$$

رابطه‌ی (۱) از مدل نویز فاز لیسون بدست می‌آید که دیدگاه خطی و نامتغیر بازمان دارد و برای محاسبه‌ی نویز فاز در آفست[۵]های بالا دقت مناسبی دارد. برای محاسبه‌ی نویز فاز به صورت دقیق‌تر و برای آفست‌های پایین از مدل حاجی‌میری استفاده می‌شود [۱۳]. این مدل دیدگاه خطی ولی متغیر با زمان دارد. در رابطه‌ی (۱) می‌توان مشاهده نمود که کاهش ضریب کیفیت القاگر (Q_L) موجب افزایش نویز فاز می‌گردد.

یکی دیگر از روش‌هایی که برای افزایش گستره‌ی فرکانسی ارائه شده است، طراحی القاگر با قابلیت کلیدزنی می‌باشد[۸-۹]. در این روش از القاگرهای استاندارد استفاده نمی‌شود و القاگر جدیدی طراحی می‌گردد. این روش در صورت طراحی بهینه‌ی القاگر می‌تواند کم‌ترین اثر را روی نویز فاز مدار داشته باشد. این روش نیاز به تحلیل‌های الکترومغناطیسی القاگر دارد و هزینه‌ی طراحی و ساخت آن نسبت به مدل‌های استاندارد بیش‌تر می‌باشد.

در این مقاله یک نوسان‌ساز کنترل‌شونده با ولتاژ بر پایه‌ی ترانزیستورهای PMOS ارائه خواهد شد که خروجی آن در فرکانس‌های ۲/۳۸ تا ۳/۹۰ نوسان می‌کند. از مشخصه‌های این مدار می‌توان به کم بودن مشخصه‌ی K_{VCO} اشاره کرد. مشخصه‌ی K_{VCO} بر روی مشخصه‌ی اسپور[۶] در حلقه‌ی قفل فاز[۷] تأثیر می‌گذارد. کم بودن این مشخصه باعث کاهش سطح اسپورهای تولید شده در خروجی حلقه‌ی قفل فاز می‌شود.

هم‌چنین در این مقاله روش جدیدی برای بهینه کردن مقادیر خازن‌ها و ابعاد ترانزیستورهای بانک خازنی ارائه شده است. بهینه‌سازی مقادیر خازن‌ها و ابعاد ترانزیستورها باعث رسیدن به بیش‌ترین پهنای باند، بدون داشتن ناحیه‌ی کور و بیش‌ترین ضریب کیفیت خواهد شد.

در ادامه، ابتدا توضیحاتی در مورد مدار ارائه خواهد شد. ساختار بانک خازنی و مدار تولیدکننده‌ی مقاومت منفی شرح داده خواهد شد. روش بهینه‌سازی مقدار خازن و ابعاد ترانزیستور کلید برای داشتن بیشترین پهنای باند بدون ناحیه‌ی کور به همراه بیشترین مقدار ضریب کیفیت تشریح خواهد شد. علت استفاده از ورکتور پیوندی بیان خواهد شد و نتایج شبیه‌سازیِ پساجانشانی[۸] مدار ارائه خواهد شد. در نهایت مقایسه‌ی نتایج با مقالات مشابه ارائه خواهد شد.

طراحی بانک کلید خازنی

در مدار طراحی شده از چهار کلید خازنی استفاده شده است. مدار کلید خازنی بکار رفته، در شکل (۱) نمایش داده شده است. این مدار از یک ترانزیستور PMOS به عنوان کلید و دو خازن C_X تشکیل شده است. وظیفه‌ی معکوس‌کننده در مدار، تثبیت ولتاژ DC سورس و درین ترانزیستور کلید می‌باشد. زمانی که ولتاژ منطقی ۱/۸ولت به کلید اعمال شود، ترانزیستور خاموش می‌شود و ولتاژ صفر نیز از طریق معکوس‌کننده به سورس و درین ترانزیستورها می‌رود. در نهایت خازن‌های C_X با خازن‌های پارازیتی و هم‌پوشانی ترانزیستور کلید سری می‌شوند و مقدار خازن به قدری کوچک می‌شود که عملاً در مدار بی‌اثر می شود.

در حالتی که ولتاژ صفر به گیت ترانزیستور کلید اعمال شود، کانال ترانزیستور تشکیل می‌گردد. معکوس‌کننده نیز ولتاژ کانال و سورس و درین ترانزیستور را تامین می‌کند. با توجه به این نکته که در این حالت ترانزیستور در ناحیه‌ی اهمی[۹] قرار دارد، مقدار خازن‌های گیت- سورس و گیت- درین آن وابسته به ابعاد کانال می‌باشد، با بزرگ نمودن ابعاد این ترانزیستور می‌توان خازن‌های آن را افزایش داد تا هنگام سری شدن با خازن‌های C_X ، مقدار خازن کل برابر با C_X شود.

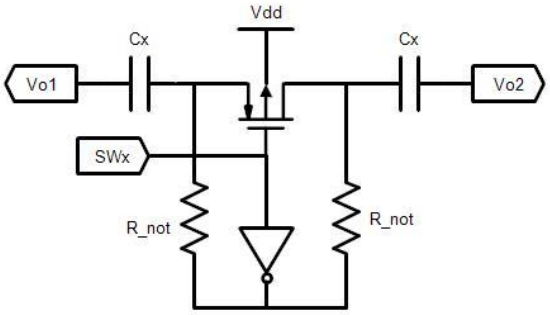
مقدار خازن ایجاد شده توسط ترانزیستور هنگام خاموش بودن، باید مقدار ناچیزی باشد و هنگام روشن بودن نیز مقدار بسیار بزرگی داشته باشد. این مسئله باعث ایجاد نوعی مصالحه[۱۰] در انتخاب ابعاد ترانزیستور به‌ویژه w ترانزیستور می‌گردد.

باید طول گیت ترانزیستور را بیشترین مقدار ممکن درنظر بگیریم. زیرا مقاومت کانال تأثیر زیادی بر روی ضریب کیفیت خازن کلید می‌گذارد. در شکل (۲) می‌توان تأثیر اندازه‌ی طول کانال را بر روی ضریب کیفیت خازن ترانزیستور در حالت روشن بودن مشاهده نمود. مقدار عرض کانال نیز باید با توجه اندازه‌ی خازن‌های C_X برای هر کلید طراحی شود.

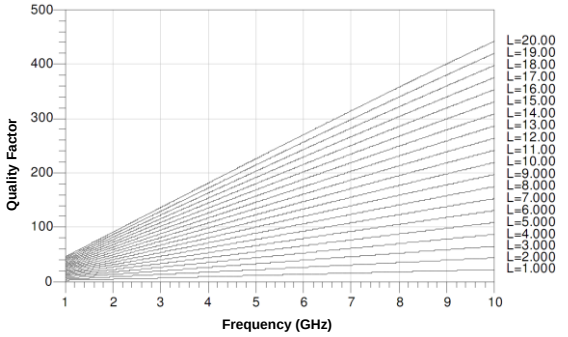
نکته‌ی مهمی که در طراحی نوسان‌سازها با کلید خازنی باید در نظر گرفت، جلوگیری از ایجاد نواحی کور[۱۱] در گستره‌ی

5 Offset
6 Spur
7 Phase Locked Loop (PLL)
8 Post Layout Simulation

9 Triode
10 Trade off
11 Blind Zone



شکل ۱۵. کلید خازنی مورد استفاده در نوسان‌ساز



شکل ۱۶. تاثیر طول کانال ترانزیستور بر روی ضریب کیفیت خازن آن در حالت روشن بودن

فرکانسی است. به عبارت دیگر، با تغییر مقدار خازن‌های کلید و تغییر ولتاژ کنترل ورکتورها، باید تمام بازه‌ی فرکانسی مورد نظر پوشش داده شود. مقدار خازن‌های C_X و عرض کانال ترانزیستور با این رویکرد می‌تواند تعیین می‌گردد. روابط (۲) تا (۵) به ترتیب بیان‌گر مقدار خازن و مقاومت کلید در حالت روشن و مقدار خازن و مقاومت کلید در حالت خاموش می‌باشد. رابطه‌ی (۶) نیز بیان‌گر ضریب کیفیت خازن در حالت روشن می‌باشد.

$$C_{tot_on} = \frac{1}{2}\frac{C_{gd}C_x}{C_x+C_{gd}} \quad (۲)$$

$$R_{tot_on} = \frac{2R_{cx}}{1+Q_{cx}^2} + \frac{2(\frac{R_{ch}}{2} \parallel R_{not})}{1+Q_{cgd}^2} \quad (۳)$$

$$C_{tot_off} = \frac{C_x(C_{gd}+C_{gb})}{2(C_x+C_{gd}+C_{gb})} \quad (۴)$$

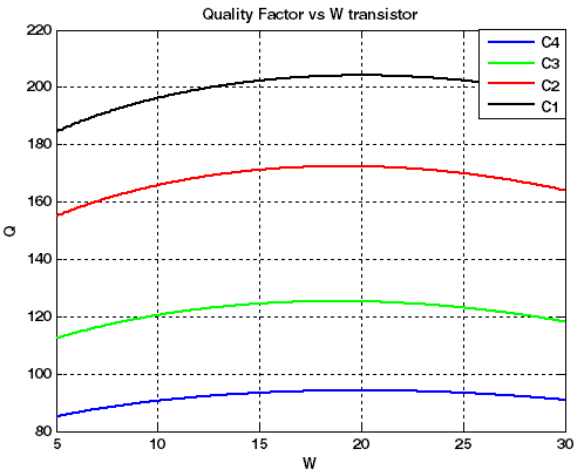
$$R_{tot_off} = \frac{2R_{cx}}{1+Q_{cx}^2} + \frac{2(\frac{R_p}{2} \parallel R_{not})}{1+Q_{cx}^2} \quad (۵)$$

$$Q = \pi f \frac{C_{gd}C_x}{2C_x+C_{gd}}\left(\frac{2R_{cx}}{1+Q_{cx}^2} + \frac{2(\frac{R_p}{2} \parallel R_{not})}{1+Q_{cgd}^2}\right) \quad (۶)$$

که C_x برابر خازن سری در کلید، R_{cx} برابر تلفات خازن سری در کلید، Q_{cx} برابر ضریب کیفیت خازن سری، R_{ch} مقاومت کانال ترانزیستور کلید در حالت روشن، R_p برابر مقاومت ترانزیستور در حالت خاموش بودن، R_{not} برابر مقاومت معکوس‌کننده، C_{gd} برابر خازن گیت درین و Q_{cgd} برابر ضریب کیفیت آن می‌باشد. می‌باشد.

برای انتخاب W بهینه ترانزیستور کلید باید چندین عامل را در نظر گرفت. افزایش W ترانزیستور کلید باعث افزایش-خازن ایجاد شده در حالت روشن بودن کلید و کاهش ضریب کیفیت خازن مربوطه می‌شود. از طرف دیگر، افزایش W باعث افزایش مقدار خازن‌های پارازیتی در حالت خاموشی کلید نیز می‌شود که نامطلوب می‌باشد. هم‌چنین هنگام انتخاب W باید پوشش کامل محدوده فرکانسی را در نظر گرفت. به طوری که نواحی کور وجود نداشته باشد و در عین حال هم‌پوشانی زیادی به‌وجود نیاید.

برای بهینه‌سازی مقدار W ترانزیستور کلید، به این روش عمل می-کنیم: ابتدا با توجه به مقدار اندوکتانس القاگر و خازن بیشینه و کمینه‌ی ورکتور، چهار خازن ایده‌آل برای داشتن ۱۶ بازه‌ی فرکانسی متوالی دارای مقداری هم‌پوشانی تعیین می‌نماییم. سپس با استفاده از روابط (۲) تا (۵) به محاسبه‌ی مقدار خازن موثر و مقاومت کلید در دو حالت خاموش و روشن، به ازای Wهای متفاوت و خازن‌های سری مختلف می‌پردازیم. حال با توجه به اینکه مقدار خازن موثر دیده شده برای هر کلید مشخص و برابر با مقدار ایده‌آل بدست آمده می‌باشد، به ازاء هر مقدار W ، یک مقدار خازن سری با کلید بدست می‌آید. برعکس، به ازاء هر مقدار خازن ، یک مقدار W بدست می‌آید. در نتیجه، ضریب کیفیت خازن موثر را می توان با استفاده از رابطه‌ی (۶) و با داشتن فقط یکی از مقادیر W یا خازن سری، محاسبه نمود. به این ترتیب، به‌راحتی می‌توان مقدار بهینه W و خازن سری را که منجر به بیشینه شدن ضریب کیفیت می شود، تعیین نمود. در این روش، برای افزایش دقت محاسبات، مقدار خازن‌ها و مقاومت‌های افزاره‌ها در حالت‌های مختلف کلید با استفاده از بسته طراحی کارخانه سازنده محاسبه شده است. با استفاده از روش بیان شده، منحنی‌های ضریب کیفیت بر حسب W را برای چهار خازن در نظر گرفته شده برای طرح پیشنهادی محاسبه و در شکل ۳ ترسیم نموده‌ایم. با استفاده از این منحنی‌ها، مقدار بهینه W برای هر سویچ به راحتی به دست می‌آید.



شکل ۱۷. مقدار W ترانزیستور کلید بر حسب ضریب کیفیت

طراحی مدار مقاومت منفی

در یک مدار نوسان‌ساز باید مداری جهت تأمین انرژی تلف شده در مدار تانک وجود داشته باشد. این قسمت از مدار را معمولاً با یک مقاومت منفی مدل می‌کنند. با توجه به این مطلب که مدار تانک با کلیدهای خازنی تلفات بیش‌تری نسبت به مدار بدون بانک خازنی دارد، باید از یک مدار با ضریب ترارسانایی زیاد استفاده نمود.

ساختارهای متعددی برای نوسان‌سازها پیشنهاد شده است که مهم‌ترین آن‌ها نوسان‌ساز کولپیتس[12] و نوسان‌ساز زوج ضربدری[13] می‌باشد[۱].

نوسان‌ساز کولپیتس دارای مشخصه‌ی نویزفاز بهتری در بین سایر نوسان‌سازها می‌باشد اما به دلیل ضریب ترارسانایی کوچک، در مدارهای با گستره‌ی فرکانسی زیاد کمتر مورد استفاده قرار می‌گیرد. نوسان‌ساز زوج ضربدری، مشخصه‌ی نویزفاز بدتری نسبت به مدار کولپیتس دارد اما به دلیل داشتن ضریب ترارسانایی زیاد، مورد توجه طراحان نوسان‌سازهای پهن‌باند قرار گرفته است [۱].

در مدار ارائه شده نیز یک مدار زوج ضربدری با ترانزیستورهای PMOS طراحی شده است. همانطور که قبلا اشاره شد، استفاده از ترانزیستور نوع P باعث کاهش نویزفاز مدار می‌شود. شکل (۴) مدار نوسان‌ساز را به تصویر کشیده است.

ترانزیستورهای M_1 و M_2 زوج ضربدری می‌باشند و خازن C_f وظیفه‌ی فیلتر کردن هارمونیک‌های زوج خروجی را دارد. برای حفظ تقارن مدار از یک القاگر با سر وسط استفاده شده است.

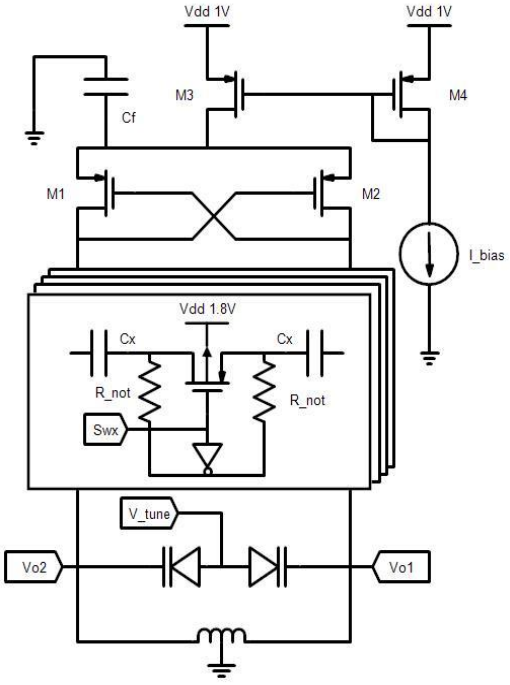
برای کاهش نویزفاز در خروجی از منبه تغذیه‌ی ۱/۸ولتی برای تغذیه‌ی قسمت دیجیتال استفاده شده است. استفاده از این ولتاژ باعث می‌شود کانال ترانزیستور کلید در حالت روشن بودن به ناحیه‌ی وارونگی[14] شدید برود. با توجه به اینکه کانال از نوع P می‌باشد، در این حالت نویزفاز در خروجی کاهش می‌یابد.

ورکتور

دو نوع ورکتور CMOS و پیوندی[15] در مدارهای مجتمع بکار می‌رود. در شکل (۵) مشخصه‌ی تغییرات بخش موهومی ادمیتانس هردو ورکتور نسبت به ولتاژ تنظیم به تصویر کشیده شده است.

همان‌طور که از شکل (۵) پیداست، ورکتور پیوندی مشخصه‌ی خطی مناسبی در بازه‌ی ولتاژی مثبت دارد. این کاهش کم و خطی نسبت به ولتاژ اعمالی بر روی مشخصه‌ی K_{VCO} تأثیر می‌گذارد. هم‌چنین برای استفاده از حداکثر ناحیه‌ی خطی ورکتور AMOS، باید از مدار بایاس ورکتور نیز استفاده نمود که افزاره‌های آن می‌توانند مولد نویز در مدار باشند.

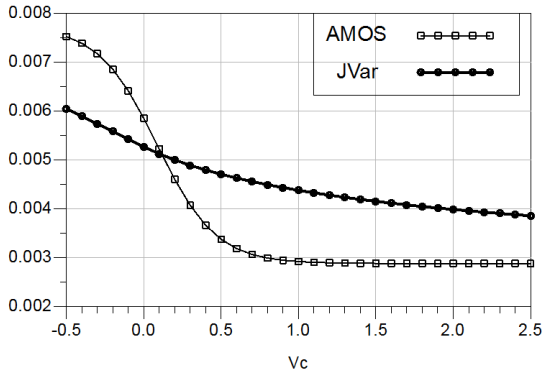
با توجه به نکاتی که اشاره شد، ورکتورهای مدار از نوع پیوندی انتخاب شده است. گره‌ی خروجی مدار دارای ولتاژ DC صفر می‌باشد. با قرار دادن یک ورکتور پیوندی در گره‌ی خروجی بدون نیاز به مدارهای بایاس می‌توان به گستره‌ی فرکانسی تقریباً خطی در بازه‌ی ولتاژی صفر تا ۲/۵ولت دست یافت. با توجه به تغییرات کم خازن ورکتور نسبت به ولتاژ، در صورت کاربرد VCO پیشنهادی در یک PLL ، مشخصه‌ی اسپور بهبود می‌یابد.



شکل ۱۸. مدار نوسان‌ساز طراحی شده

12 Colpitts
13 Cross Coupled

14 Strong Inversion
15 Junction Varactor



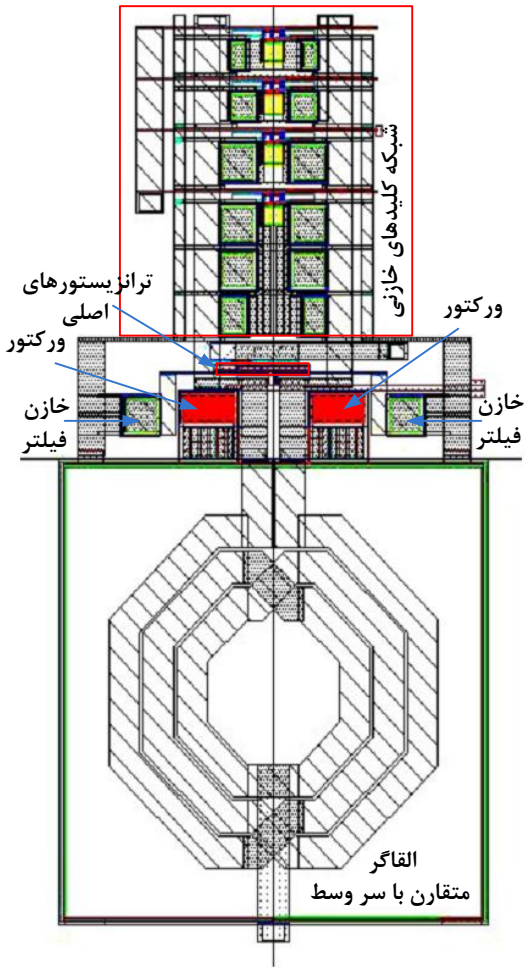
شکل ۱۹. بخش موهومی ادمیتانس دیده شده از دو سر ورکتور بر حسب ولتاژ کنترل اعمال شده به آن

نتایج شبیه‌سازی

در این بخش با استفاده از سه مرحله شبیه سازی به ارزیابی عملکرد طرح پیشنهادی می‌پردازیم. در این شبیه سازیها از بسته طراحی کارخانه سازنده مربوط به تکنولوژی RF-CMOS 0.18um شرکت TSMC (نسخه ارائه شده برای نرم افزار CADENCE و نسخه ارائه شده برای نرم افزار ADS) استفاده شده است. این مراحل عبارتند از:

- شبیه‌سازی پیش از جانشانی با استفاده از نرم‌افزار CADENCE و بسته طراحی کارخانه سازنده
- شبیه‌سازی پیش از جانشانی با استفاده از نرم‌افزار ADS
- اجرای جانشانی مدار طراحی شده و انجام شبیه سازی پساجانشانی با استفاده از نرم‌افزار CADENCE و بسته طراحی کارخانه سازنده

دو مرحله شبیه‌سازی اول برای مقایسه نتایج و اطمینان از صحت شبی‌سازیها انجام شده است. این‌دو مرحله باید نتیجه یکسانی داشته باشد. مرحله آخر به منظور شبیه‌سازی اثرات پارازیتی ناشی از جانشانی انجام شده است. در مرحله آخر شبیه‌سازی، تحلیل تغییرات پارامترهای فرآیند ساخت و تغییرات دما نیز انجام شده‌است. به این منظور تحلیل گوشه فرآیند FF در دمای و تحلیل گوشه فرآیند SS در دمای انجام شده است. به علاوه، دو مرحله تحلیل مونت-کارلو نیز انجام شده است که مرحله اول در حداقل فرکانس نوسان مدار و مرحله دوم در حداکثر فرکانس نوسان می‌باشد.



شکل ۲۰. جانشانی مدار ارائه شده

در شکل (۶) تصویر جانشانی مدار نشان داده شده است. در طراحی جانشانی مدار سعی شده است تا با پهن نمودن مسیر اصلی جریان کم‌ترین مقاومت در مسیر جریان به وجود آید. البته بین خازن پارازیتی[16] و مقاومت مسیر نوعی مصالحه وجود دارد. هم‌چنین کلیدهای خازنی طوری ترسیم شده‌اند که کم‌ترین مقاومت سری بین افزاره‌ای آن‌ها ایجاد شود. مقاومت‌های سری قرار گرفته در بین افزاره‌های کلید تأثیر منفی بر روی ضریب کیفیت مدار می‌گذارند.

در شکل (۷) نویزفاز خروجی مدار که از سه مرحله شبیه‌سازی بیان شده در ابتدای بخش در فرکانس ۳/۹۰ GHz به دست‌آمده است، نمایش داده شده است. ملاحظه می شود که نتیجه حاصل از شبیه‌سازی مرحله پیش از جانشانی در ADS و نتیجه حاصل از شبیه‌سازی این مرحله در CADENCE بسیار نزدیک به هم هستند. البته تفاوت اندکی که وجود دارد، ناشی از روش تحلیل و محاسبه متفاوت دو نرم‌افزار می باشد و طبیعی است. این شکل نشان می‌دهد که نویز فاز به دست‌آمده در شبیه‌سازی پساجانشانی به مقدار قابل توجهی بیشتر از مرحله پیش‌از جانشانی می‌باشد.

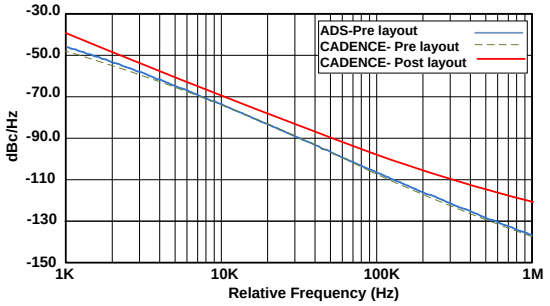
16 Parasitic

این امر اهمیت و میزان تاثیر عناصر پارازیتی ناشی از جانشانی را نشان می‌دهد. مقدار نویز فاز بدست آمده در شبیه‌سازی پساجانشانی در آفست ۱ MHz برابر با ۱۲۰/۸ dBc/Hz- می‌باشد.

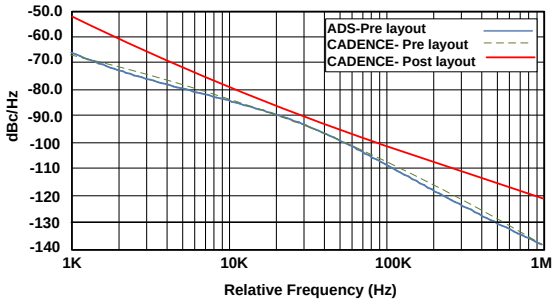
در شکل (۸) منحنی‌های نویزفاز مربوط به سه مرحله شبیه‌سازی بیان شده در ابتدای بخش در فرکانس ۲/۳۸ GHz به دست‌آمده، نمایش داده شده است. در این فرکانس نیز نتیجه حاصل از شبیه‌سازی مرحله پیش از جانشانی در ADS و نتیجه حاصل از شبیه‌سازی این مرحله در CADENCE بسیار نزدیک به هم هستند. در این شکل نیز ملاحظه می‌شود که نویز فاز به دست‌آمده در شبیه‌سازی پساجانشانی به مقدار قابل توجهی بیشتر از مرحله پیش‌از جانشانی می‌باشد. مقدار نویز فاز بدست آمده در شبیه‌سازی پساجانشانی در آفست ۱ MHz برابر با ۱۲۱ dBc/Hz- می‌باشد.

در شکل‌های (۹) و (۱۰) نیز به ترتیب پاسخ زمانی مدار در دو فرکانس ۳/۹ GHz و ۲/۳۸ GHz ارائه شده است. این شکلها از شبیه سازی پساجانشانی به‌دست آمده‌اند.

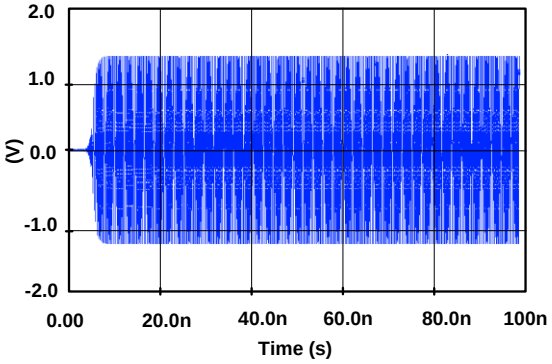
در شکل (۱۱) گستره‌ی فرکانس نوسان مدار پیشنهادی به تصویر کشیده شده است. هم‌پوشانی منحنی‌ها برای ولتاژ ۱/۸ولت تنظیم شده است تا نوسان‌ساز برای PLL های با ولتاژ ۱/۸ولت نیز قابل استفاده باشد.



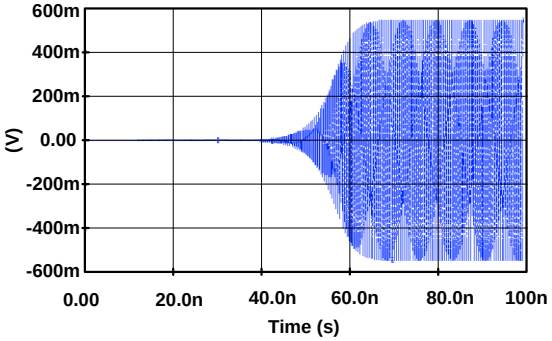
شکل ۲۱. نویزفاز حاصل از شبیه‌سازی پساجانشانی در فرکانس ۳/۹ GHz



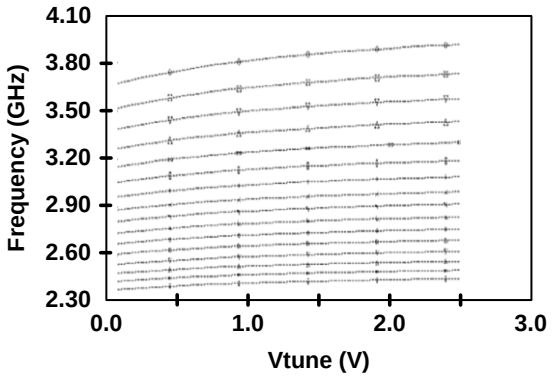
شکل ۲۲. نویز فاز مدار در فرکانس ۲/۳۸ GHz در شبیه‌سازی پساجانشانی



شکل ۲۳. خروجی تفاضلی مدار در حوزه‌ی زمان در فرکانس ۳/۹ GHz



شکل ۲۴. شکل موج خروجی تفاضلی در فرکانس ۲/۳۸ GHz



شکل ۲۵. منحنی گستره‌ی فرکانسی مدار نوسان‌ساز طراحی شده

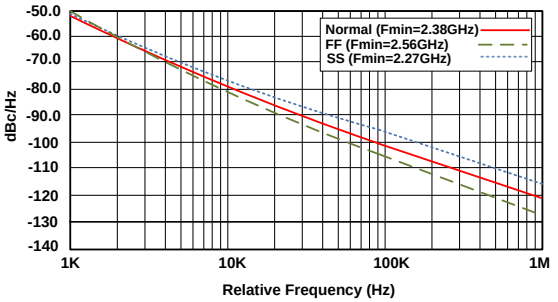
تحلیل اثرات تغییر دما و تغییرات در فرآیند ساخت

به منظور بررسی اثرات ناشی از تغییرات تصادفی پارامترهای افزاره‌ها در فرآیند ساخت در کنار اثرات تغییر در دمای کار مدار، چند شبیه‌سازی در مرحله پساجانشانی انجام شده است.

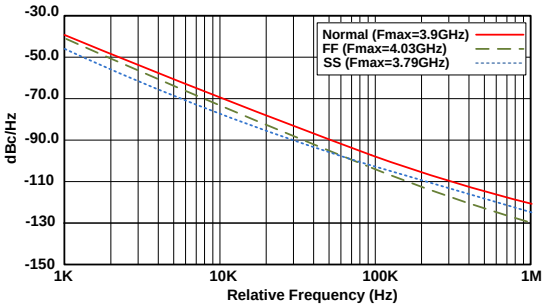
در مرحله اول، شبیه سازی پساجانشانی در گوشه FF و در دمای ۴۰ ˚C- انجام شده است. این شبیه سازی یکبار در حداقل فرکانس نوسان مدار و بار دیگر در حدکثر فرکانس نوسان مدار انجام شده است. در این شرایط و در دماهای پایین، نویز افزاره‌ها به حداقل می‌رسد و لذا انتظار نویز فاز پایین را داریم. در مرحله دوم، شبیه سازی در گوشه SS و در دمای ۸۰ ˚C تکرار شده است. در

این شرایط و در دماهای بالا، نویز افزاره‌ها به حداکثر می‌رسد و لذا انتظار نویز فاز بیشتر از شرایط معمولی را داریم. منحنی‌های نویز فاز به دست آمده از این شبیه سازیها در شکل (۱۲) و (۱۳) ، نشان داده شده است. این شکلها به ترتیب مربوط به حداقل و حداکثر فرکانس نوسان می باشد.

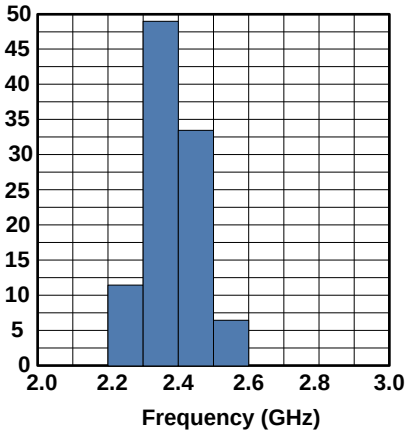
نتایج تحلیل مونت کارلو در شکل‌های (۱۴) و (۱۵) نشان داده شده است. شکل (۱۴) مربوط به شرایط حداقل فرکانس نوسان مدار و شکل (۱۵) مربوط به شرایط حداکثر فرکانس نوسان مدار می باشد. این نتایج نشان می‌دهد که تغییرات فرآیند می تواند منجر به کاهش حدود ۲۰٪ در گستره فرکانسی مدار شود.



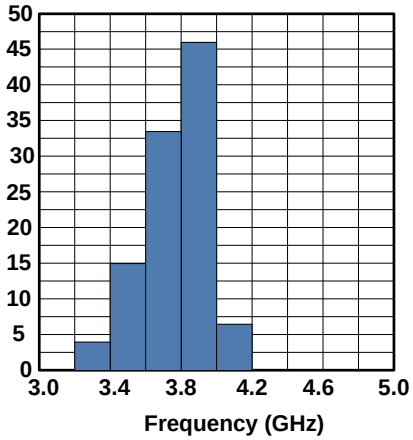
شکل ۱۲. منحنی های نویز فاز به دست آمده در تحلیل گوشه‌های فرآیند و در حداقل فرکانس نوسان مدار



شکل ۱۳. منحنی های نویز فاز به دست آمده در تحلیل گوشه‌های فرآیند و در حداکثر فرکانس نوسان مدار



شکل ۱۴. تحلیل مونت کارلو مربوط به شرایط حداقل فرکانس نوسان مدار



شکل ۱۵. تحلیل مونت کارلو مربوط به شرایط حداکثر فرکانس نوسان مدار

مقایسه نتایج

در این بخش به مقایسه‌ی مدار ارائه شده با مدارهای مشابه گزارش شده در سالیان اخیر در می‌پردازیم. نتایج حاصل از مدار پیش نهادی و نتایج مربوط به موارد گزارش شده در سالیان اخیر، در جدول (۱) خلاصه شده است. در این جدول اطلاعات مراجع [۱۴] و [۱۸] مربوط به نتایج اندازه‌گیری و سایر موارد مربوط به شبیه‌سازی پساجانمایی می باشد.

همان‌طور که مشاهده می‌شود، مدار ارائه شده بیشترین گستره‌ی فرکانسی را در بین مدارهای ارائه شده در دیگر مقالات داراست. نویز فاز مدار پیشنهادی نیز به میزان قابل توجهی بهتر از سایر موارد می‌باشد. البته مدار پیشنهادی در مقایسه با اکثر موارد لیست شده در جدول دارای توان مصرفی بیشتری است. توان مصرفی بالا در این طرح به منظور امکان حصول همزمان گستره فرکانسی بزرگ و نویز فاز پایین پذیرفته شده است. با توجه به این مطلب، برای مقایسه‌ی دقیق‌تر، از دو معیار شایستگی که بطور معمول برای تعیین کارآیی و مقایسه نوسان‌سازها مورد استفاده قرار می‌گیرد و در روابط (۶) و (۷) آمده است ، استفاده شده است [۱۳]. در رابطه‌ی (۷)، پهنای باند نیز به عنوان یک مشخصه در معیار شایستگی لحاظ می‌گردد. با مراجعه به جدول (۱) مشخص می شود که مدار ارائه شده در این مقاله بیش‌ترین مقدار FoM_T را در بین سایر موارد ذکر شده در جدول (۱) داراست.

$$FoM = L(f_{offset}) - 20\log(\frac{f_0}{f_{offset}}) + 10\log(\frac{P_{DC}}{1mW}) \quad (۷)$$

$$FoM_T = L(f_{offset}) - 20\log(\frac{f_0}{f_{offset}}.\frac{BW}{10}) + 10\log(\frac{P_{DC}}{1mW}) \quad (۸)$$

جدول ۳. بررسی مدار پیشنهادی با مدارهای مشابه ارائه شده در مقالات دیگر

مدار پیشنهادی*	[۱۸]	[۱۷]*	[۱۶]*	[۱۵]*	[۱۴]	
۱	۱	۱/۸	۰/۵	۱/۲	۰/۶۵	ولتاژ تغذیه (V)
۰/۱۸	۰/۱۸	۰/۶۵	۰/۱۳	۰/۱۳	۰/۱۸	تکنولوژی (um)
۴/۱	۲/۳	N.A.	۲/۴	N.A.	N.A.	جریان مصرفی (mA)
۲/۳۸ -۳/۹۰	۵/۳۲	۵/۸۹	۴/۸	۴/۹-۶/۹	۴	فرکانس (GHz)
٪۴۸/۶	٪۱۴/۱	٪۲۷/۲	٪۳۷/۵	٪۳۳	٪۴۷/۷	گستره‌ی فرکانسی
-۱۲۰/۸	-۱۱۳/۴	-۱۲۴/۱	-۱۱۳/۸	-۱۱۵	-۱۱۵/۶	نویزفاز dBc/Hz
۴/۱	۲/۳	۱۵/۹۶	۱/۲	۱/۴	۲/۹۹	توان مصرفی (mW)
-۱۸۶/۵	-۱۸۵	-۱۸۸	-۱۸۶/۵	۱۸۹	-۱۸۲/۷	FoM
-۲۰۰/۲	-۱۸۷/۳	-۱۹۶/۷	-۱۹۸	۱۹۹/۳	-۱۹۶/۳	FoM_T

*نتایج شبیه‌سازی پساجانشانی

نتیجه‌گیری

در این مقاله یک نوسان‌ساز با گستره‌ی فرکانسی بالا و نویزفاز پایین بر پایه ترانزیستور PMOS ارائه شد. تحلیل مدار و نتایج شبیه‌سازی پست لی‌آوت آن بیان شد. مقایسه نتایج حاصل از مدار پیش نهادی با سایر طرحهای گزارش شده در سالیان اخیر نشان می‌دهد که طرح پیشنهاد شده دارای مشخصه نویز فاز و گستره فرکانسی بالاتری می باشد. البته مدار پیش نهادی دارای توان مصرفی بیشتری است. با این حال، FOM مدار پیشنهادی بهتر از سایر طرحهای مشابه گزارش شده می باشد. بطور خلاصه سه عامل باعث بهبود شده است:

۱) بهینه سازی ترنزیستورهای سویچ منجر به افزایش گستره فرکانسی وحداکثر شدن ضریب کیفیت خازنها و در نتیجه کاهش نویز فاز شده است.

۲) استفاده از ترانزیستورهای PMOS به جای NMOS در کنار بهینه سازی صحیح ابعاد آن، منجر به کاهش نویز فاز شده است.

۳) انتخاب صحیح نوع و ابعاد ورکتور منجر به افزایش گستره فرکانسی، بدون افزایش نویز شده است

مرجع‌ها

[1]B. Razavi, *RF microelectronics*, 2ndE, Prentice Hall, pp.497-596, 2012

[2]D. Mavridis, and K. Efstathiou, "A VCO's Phase-Noise Reduction Technique," Research in Microelectronics and Electronics 2006, Ph. D., pp.101-104, 2010.

[3]Li Lianming, P. Reynaert, and M. Steyaert, "A colpitts LC VCO with Miller-capacitance gm enhancing and phase noise reduction techniques," Proceedings of the ESSCIRC (ESSCIRC), 2011, pp.491-494, 12-16 Sept. 2011.

[4]U.L. Rohde, and A.K. Poddar, "An analytical approach of minimizing VCO phase noise," Microwave Conference Proceedings, 2005. APMC 2005. Asia-Pacific Conference Proceedings , p. 4 4-7 Dec. 2005.

[5]Chun-Huat Heng, A. Bansal, and Yuanjin Zheng, "Design of 1.94-GHz CMOS Noise-Cancellation VCO," IEEE Transactions on Microwave Theory and Techniques, vol.59, no.2, pp.368-374, Feb. 2011.

[6]P. Dudulwar, K. Shah, H. Le, and J. Singh, "Design And Analysis Of Low Power Low Phase Noise VCO," Proceedings of the International Conference Mixed Design of Integrated Circuits and System, 2006. MIXDES 2006, pp.256-259, 22-24 June 2006.

[7]I. Ibrahim, and H. Heuermann, "Improvements in the flicker noise reduction technique for osillator designs," Microwave Conference, 2009. EuMC 2009. European, pp.1215-1218, Sept. 29 2009-Oct. 1 2009.

[8]A. Italia, C.M. Ippolito, and G. Palmisano, "A 1-mW 1.13–1.9 GHz CMOS LC VCO Using Shunt-Connected Switched-Coupled Inductors," IEEE Transactions on Circuits and Systems I: Regular Papers, vol.59, no.6, pp. 1145-1155, June 2012.

[9]Sadhu, B. "A CMOS 3.3-8.4 GHz wide tuning range, low phase noise LC VCO," Custom Integrated Circuits Conference, 2009. CICC '09. IEEE, pp. 559-562, 13-16 Sept. 2009.

[10]Y. Ito, Y. Yoshihara, H. Sugawara, K. Okada, and K. Masu, "A 1.3-2.8 GHz Wide Range CMOS LC-VCO Using Variable Inductor," Asian Solid-State Circuits Conference, 2005 , pp.265-268, Nov. 2005

[11]B. Sadhu, and R. Harjani, "Capacitor bank design for wide tuning range LC VCOs: 850MHz-7.1GHz (157%)," IEEE International Symposium on Circuits and Systems (ISCAS), Proceedings of 2010, pp.1975-1978, May 30 2010-June 2 2010.

[12]D. B. Leeson, "A Simple Model of Feedback Oscillator Noise Spectrum," Proc. IEEE, vol. 54, pp. 329-330, Feb. 1966.

[13]A. Hajimiri, and T. H. Lee, “A General Theory of Phase Noise in Electrical Oscillators,” IEEE J. of Solid-State Circuits, vol. 33, pp. 179–194, Feb. 1998.
[14]To-Po Wang, and Shih-Yu Wang, "A low-voltage low-power low-phase-noise wide-tuning-range 0.18-μm CMOS VCO with high-performance FOMT of −196.3 dBc/Hz," IEEE MTT-S International Microwave Symposium Digest (IMS), pp.1-4, 2-7 June 2013.
[15]Shanliang Gan, Yuan Wang, Jian Cao, Song Jia, and Xing Zhang, "A 4.9–6.9 GHz LC VCO with low-phase-noise," IEEE International Conference of Electron Devices and Solid-State Circuits (EDSSC), 2013, pp.1-2, 3-5 June 2013
[16]Jiawei Hu, Zhiqun Li, and Zhigong Wang, "A 0.5-V 4.8GHz CMOS LC VCO with wide tuning range," IEEE International Conference on Ultra-Wideband (ICUWB), 2010, vol.2, pp.1-4, 20-23 Sept. 2010.
[17]V. Macaitis, V. Barzdenas, and R. Navicka, “Design of 4.48–5.89 GHz LC-VCO in 65 nm RF CMOS Technology,” ELEKTRONIKA IR ELEKTROTECHNIKA, ISSN 1392-1215, VOL. 20, NO. 2, pp. 44-47, 2014.
[18]Yu-Jie Wang, Xiang-Ning Fan, and Bin Li, "A 0.18μm 1V 5GHz LC VCO designed for WSN applications," IEEE 11th International Conference on Solid-State and Integrated Circuit Technology (ICSICT), 2012, vol., no., pp.1,3, Oct. 29 2012-Nov. 1 2012.