طراحی تقویت کننده کم نویز بر اساس روش تطبیق نویز اصلاح شده

امیر زاهدی [۱]، فرهاد اکبری برومند [۲]، اسماعیل نجفی اقدم [۳]

۱دانشجوی دکتری برق-الکترونیک، دانشگاه صنعتی خواجه نصیر الدین طوسی، a.zahedi@email.kntu.ac.ir

۲ استادیار دانشکده مهندسی برق، دانشگاه صنعتی خواجه نصیر الدین طوسی،

۳ استادیار دانشکده برق و الکترونیک، دانشگاه صنعتی سهند تبریز

تاریخ دریافت: ۹۳/۴/۳۰ تاریخ پذیرش: ۹۴/۱۲/۱۰

چکیده

مصرف توان بالا، یکی از چالش‌های اساسی در طراحی تقویت کننده کم نویز با روش تطبیق همزمان نویز و امپدانس می باشد. در این مقاله یک روش طراحی برای کاهش توان مصرفی تقویت کننده‌های کم نویز ارائه شده است. در ابتدا به بررسی اثرات ولتاژهای نقطه کار و ابعاد ترانزیستور برروی پارامترهای نویزی پرداخته خواهد شد. در نظر گرفتن اثر پارامترهای ترانزیستور روی عملکرد نویز، منجر به طراحی تقویت کننده کم نویز با عدد نویز کم و مصرف توان پایین می‌گردد. سپس یک تقویت کننده کم نویز با روش پیشنهادی در فرکانس ۵/۲ گیگاهرتز، و پهنای باند تقریبا ۱ گیگاهرتز در تکنولوژی TSMC CMOS 0.18μm طراحی گردیده که نتایج شبیه سازی پسا جانمایی، نشان دهنده توان مصرفی ۲/۱ mW، تحت ولتاژ تغذیه ۱/۴ ولت، عدد نویز ۲/۷۱ dB،عدد نویز کمینه ۲/۱ dB، بهره توان ۱۶/۳۸ dB، ایزولاسیون معکوس ۴۰/۴۲ dB-، تلفات بازگشتی ورودی ۲۱/۴۵ dB- و تلفات بازگشتی خروجی ۲۳/۵۹ dB- است.

کلیدواژه

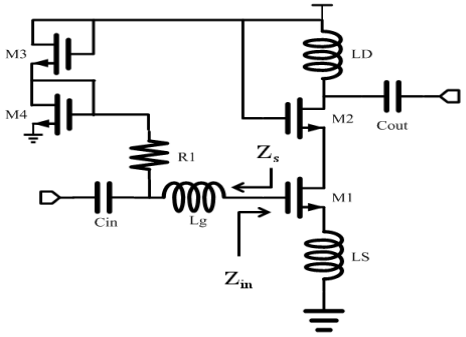
تقویت کننده کم نویز، تطبیق نویز، تطبیق امپدانس، CMOS RF، ولتاژ پایین، توان پایین، تطبیق همزمان نویز و امپدانس.

مقدمه

امروزه، تقاضا برای داشتن، حجم بالای تبادل داده، توان مصرفی پایین و همچنین بهینه بودن گیرنده‌های مخابرات بی‌سیم مانند شبکه‌های بی‌سیم محلی[۱] افزایش یافته است[۱]. در سیستم‌های مخابرات سیار، یکی از چالش‌های اساسی، رسیدن به طراحی‌هایی با طول عمر بالای باتری است که مستلزم کاهش توان مصرفی می‌باشد. بدین سبب، تکنولوژی طراحی مدار مجتمع CMOS، به دلیل داشتن توان مصرفی پایین، سطح فشردگی بالا و هزینه ساخت پایین، یکی از اصلی‌ترین تکنولوژی‌ها در طراحی مدارها مجتمع رادیوی است که امروزه به طور گسترده در حال پیشرفت می‌باشد. تقویت کننده کم نویز، یکی از مهم‌ترین طبقات گیرنده، در مسیر گیرندگی می‌باشد. لذا، بایستی دارای، بهره خوب، عدد نویز[۲] کم، تلفات توان پایین، اثرات غیر خطی کم و پایداری خوبی باشد. همواره در طراحی یک تقویت کننده کم نویز، معمولا ملاحظاتی بین عدد نویز، مصرف توان، بهره، خطی بودن و تطبیق امپدانس صورت می‌گیرد[۲-۶]. هدف از طراحی یک تقویت کننده کم نویز، دستیابی به پایین‌ترین عدد نویز قابل دست یابی بوده و روش تطبیق همزمان نویز و امپدانس[۳] (SNIM) این اجازه را به تقویت کننده می‌دهد که به این مقدار برسد. از دیدگاه توان مصرفی، داشتن توان مصرفی بالا، اصلی‌ترین چالش این روش می‌باشد[۶]. در این مقاله به بررسی اثرات ولتاژهای نقطه کار از جمله ولتاژهای درین-سورس و گیت-سورس و همچنین پارامترهای فیزیکی تزانزیستور، شامل طول کانال و پهنای کانال برروی پارامترهای نویز پرداخته و یک الگوی بهینه‌سازی جدیدی پیشنهاد می‌شود تا مشکل تلفات توان بالای روش پیشین را بهبود بخشیم. بر این اساس یک تقویت کننده کم نویز با استفاده از معماری آبشاری بر اساس مرجع [۷]، در شکل (۱) نشان داده شده است برای استانداردهای IEEE-802.11.a و HiperLAN2 طراحی شده است. اعمال روش پیشنهاد شده، منجر به کاهش توان مصرفی تقویت کننده با دستیابی به بهره توان و عملکرد نویز قابل قبول، تطبیق امپدانس خوب در ورودی و خروجی می‌شود. این مقاله به چندین بخش تقسیم بندی شده است. در بخش بعدی

1 Wireless Local Area Network
2 Noise Figure
3 Simultaneous Noise and Input Match

به جزئیات مدل سازی و اثرات حالت‌های بایاسینگ و ابعاد ترانزیستور روی پارامترهای نویز CMOS می‌پردازیم و سپس در بخش دیگر، بر اساس پارامترهای نویزی حاصل از بخش قبل، با اصلاح روش طبیق همزمان نویز و امپدانس، یک تقویت کننده کم نویز طراحی شده است. در نهایت دو بخش نتایج شبیه سازی و نتیجه گیری ارایه گردیده است.



شکل ۱. شماتیک تقویت کننده کم نویز پیشنهادی بر اساس مرجع [۷]

اثرات نقطه کار و ابعاد ترانزیستور برروی پارامترهای نویز

چهار پارامتر مربوط به نویز درکاربردهای فرکانس بالا، نیاز به مدل سازی و بررسی دقیق برای رسیدن به تطبیق نویز دارند. این پارامترها عبارتند از: F_{min}, R_n, X_{opt} , R_{opt} می باشد. پارامتر حداقل فاکتور نویز[4] قابل دستیابی، R_n مقاومت معادل نویز است. همچنین پارامترهای R_{opt} و X_{opt} به ترتیب مقاومت و راکتانس بهینه، جهت دستیابی به حداقل ضریب نویز هستند. رابطه بین این ۴ پارامتر نویز به صورت روابط (۱) الی (۴) قابل بیان است[۵،۶].

$$F = F_{\min} + \frac{R_n}{G_u}\left|Y_s - Y_{opt}\right|^2 \qquad (۱)$$

$$F_{\min} = 1 + \frac{2}{\sqrt{5}}\frac{\omega}{\omega_t}\sqrt{\gamma\alpha\left(1-|c|^2\right)} \qquad (۲)$$

$$R_n = \frac{\gamma}{\alpha}\cdot\frac{1}{g_m} \qquad (۳)$$

$$Y_{opt} = G_{opt} + jB_{opt} = \frac{1}{R_{opt} + jX_{opt}} \qquad (۴)$$

در رابطه (۱)، پارامتر $Y_s=G_s+jB_s$ ادمیتانس منبع است و همچنین Y_{opt} ادمیتانس بهینه منبع می‌باشد. در رابطه (۲)، پارامتر γ ضریب نویز کانال ترانزیستور است و در تزانزیستور CMOS کانال بلند، مقدار این ضریب برابر ۰،۶۷ می باشد و برای قطعات ترانزیستوری CMOS کانال کوتاه، مقدار آن افزایش می‌یابد. همچنین در رابطه یاد شده پارامتر C، ضریب هم بستگی بین دو منبع جریان نویز کانال ترانزیستور می باشد که مقدار آن در ادوات کانال کوتاه $-j0.4$ است. علاوه بر این ωt فرکانس قطع ترانزیستور است. همچنین در رابطه (۲) و (۳) پارامتر α، ضریبی است که به صورت نسبت gm/gd0 تعریف می‌گردد. مقدار این ضریب با توجه به نوع تکنولوژی متفاوت می‌باشد. در تزانزیستور CMOS کانال بلند، مقدار این ضریب برابر واحد می باشد و برای قطعات ترانزیستوری CMOS کانال کوتاه، کاهش می‌یابد[۴-۶]. همچنین gd0، بیان کننده ترارسانائی درین - سورس ترانزیستور در حالت $V_{DS}=0$ است و نیز g_m بیان کننده ترارسانائی ترانزیستور می‌باشد. بدین سبب پارامترهای نویز وابسته به ولتاژهای بایاس ترانزیستور از جمله ولتاژ درین-سورس و ولتاژ گیت - سورس و همچنین پارامترهای فیزیکی تزانزیستور از جمله طول کانال و پهنای کانال می‌باشند. از این رو، بررسی اثرات ولتاژ نقطه کار به خصوص ولتاژ درین- سورس برروی پارامترهای بیان شده مهم می‌باشد زیرا تلفات توان مصرفی در یک قطعه ترانزیستور CMOS به صورت $P = V_{DS}.I_{DS}$ تعریف می‌گردد. بدین سبب، در طراحی تقویت کننده کم نویز، در جهت دستیابی به طراحی با توان مصرفی پایین و ولتاژ تغذیه کم، ولتاژ درین - سورس ترانزیستور، و جریان درین - سورس که خود تابعی از دو پارامتر ابعادی ترانزیستور می باشد، نقش بسزایی دارند. بنابراین لازم است، تا به بررسی اثرات ولتاژ های تغذیه و پارامترهای فیزیکی تزانزیستور برروی پارامترهای نویز یاد شده بپردازیم. با توجه به معادله (۱)، همان طور که مشخص است، چندین روش مختلف، جهت کاهش فاکتور نویز، وجود دارد. این روش ها عبارتند از کاهش ۱) F_{min}، ۲) R_n و ۳) $|Y_S - Y_{OPT}|^2$. برطبق رابطه (۲)، F_{min} تابعی از ω_t است که این فرکانس، فرکانس قطع ترانزیستور می باشد. همان گونه که از رابطه (۲)، مشخص است، با افزایش این فرکانس، مقدار F_{min} کاهش پیدا می‌کند. از این رو فرکانس قطع ترانزیستور، باید افزایش یابد. از طرفی افزایش فرکانس قطع، مستلزم افزایش، مقدار ترارسانایی ترانزیستور(g_m) می‌باشدکه این امر منجر به افزایش توان مصرفی می‌گردد. برای کاهش R_n، با توجه به رابطه (۳)، همان گونه که مشخص است با افزایش مقدار ترارسانایی ترانزیستور، توان مصرفی افزایش پیدا می‌کند که این امر مقبول نمی‌باشد. رویکرد دیگر استفاده از یک قطعه CMOS با ساختار مالتی فینگر[5] است که در مرجع [۶] مورد بررسی قرار گرفته است. روابط زیر بیان کننده اثر استفاده از ترانزیستور با ساختار مالتی فینگر برروی پارامتر نویز می باشد.

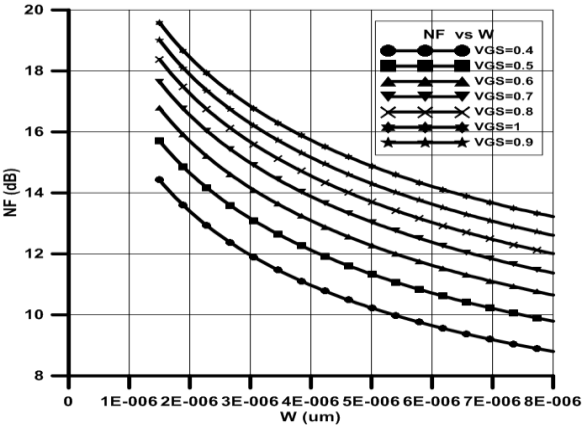
$$F^{(N)}_{\min} = F^{(1)}_{\min}\ ,\ R^{(N)}_{n} = \frac{R^{(1)}_{n}}{N} \qquad (۵)$$

4 Noise Factor

5 Multi-Finger

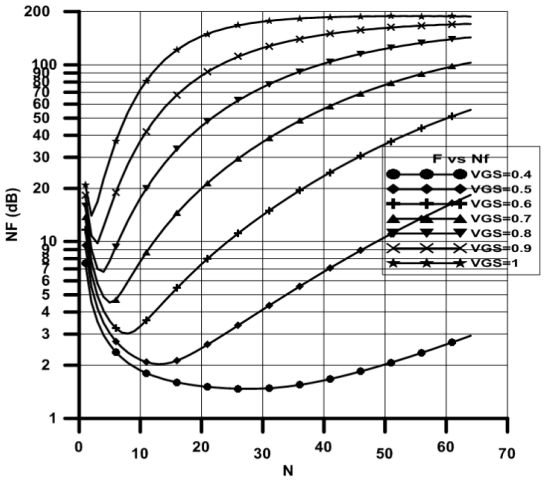
$$R^{(N)}_{opt} = \frac{R^{(1)}_{opt}}{N} \quad , \quad X^{(N)}_{opt} = \frac{X^{(1)}_{opt}}{N} \qquad (۶)$$

در روابط (۵) و (۶) ، پارامتر N ، بیان کننده تعداد فینگرهای ترانزیستور می‌باشد. همچنین اندیس‌های توانی یک و N، بترتیب نشان دهنده ترانزیستور با N=1 و N>1 می باشد. با توجه به روابط (۵) همان گونه که مشخص است، استفاده از ساختار مالتی فینگر، برروی پارامتر F_{min} هیچگونه اثر گذاری ندارد، در حالی که مقاومت R_n را کاهش می دهد. همچنین رابطه (۶) نیز بیان کننده اثر ساختار یاد شده برروی دو پارامتر دیگر می باشد که سبب کاهش پارامترهای یاد شده می شود. در ساختار یک ترانزیستور مالتی فینگر، مقدار دو پارامتر پهنای فینگر و تعداد فینگر مطرح می‌شود که آنها را بترتیب با $Wf^{۶}$ و $N^{۷}$ نشان داده می‌شود که بواسطه آنها مقدار کل پهنای کانال ترانزیستور، تعیین می‌شود. لذا لازم است که اثر این دو پارامتر را برروی پارامتر عدد نویز $NF = 10 * \log(F)$، است مورد بررسی قرار گیرد. شکل‌های (۲) و (۳) اثرات دو پارامتر Wf و N را روی عدد نویز یک قطعه در حالی که V_{DS}=0.6V است و تغییرات V_{GS} را نشان می‌دهند. شکل (۲)، اثر تغییرات، Wf، را برروی پارامتر NF در فرکانس ۵/۲ گیگاهرتز در حالی که N=1 است، را نشان می‌دهد. منحنی شکل (۲)، گویایی این است که با افزایش مقدار پهنای فینگر، مقدار پارامتر NF ، مستقل از مقدار ولتاژ گیت - سورس کاهش پیدا می‌کند و لذا، ماکزیمم پهنا ۸µm برای هر فینگر انتخاب می‌شود.



شکل۲. عدد نویز بر حسب پهنای فینگر به ازای نقاط بایاس مختلف در فرکانس ۵/۲GHz و N=۱

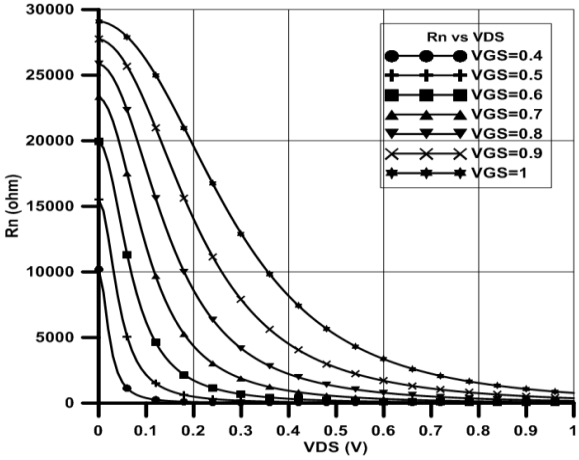
همچنین، شکل (۳)، اثر N را برروی پارامتر NF قطعه درحالی که پهنای هر فینگر آن‌ها ۸µm می‌باشد، در فرکانس ۵/۲ گیگاهرتز را نشان می‌دهد. این شبیه سازی، گویای این امر است که افزایش تعداد فینگر در قطعه همواره مناسب نمی‌باشد، زیرا افزایش بیش از حد این پارامتر در حالی که باعث افزایش توان تلفاتی در قطعه می‌گردد، مقدار NF را افزایش می‌دهد. همچنین، منحنی های شکل (۳)، گویای این واقعیت است که منحنی تغییرات پارامتر NF نسبت به پارامتر N، وابستگی بالای به ولتاژ گیت - سورس دارد. لذا برای داشتن مقدار پارامتر NF کمتر از ۳ دسیبل در قطعه، مقدار حداکثر ولتاژ گیت – سورس کمتر از ۰/۶ ولت و N کمتر از ۲۰ مناسب می باشد. لذا در این مقاله مقدار N برابر ۱۵ انتخاب می‌گردد. یکی دیگر از پارامترهای نویزی طبق رابطه (۱)، مقاومت معادل نویز، یا R_n می باشد. لذا ضروری می باشد تا اثر استفاده از ساختار چند فینگر، برروی این پارامتر بررسی گردد.



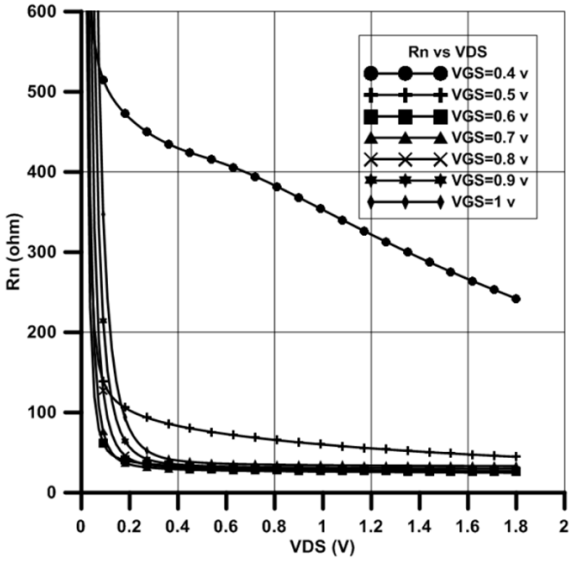
شکل۳. عدد نویز بر حسب تعداد فینگرها به ازای نقاط بایاس مختلف در فرکانس ۵/۲GHz و W=۸µm

بر این اساس، شکل (۴)، منحنی تغییرات مقاومت معادل نویز بر حسب V_{DS} را در حالی که W=۸µm ، N=۱ و فرکانس ۵/۲ GHz است را در مقابل تغییرات ولتاژ گیت - سورس را نشان می‌دهد. همان گونه که مشخص است مقدار مقاومت معادل نویز، بسیار بالا و در حد چند کیلو اهم می باشد. حال ساختار ترانزیستور یاد شده مقدار پارامتر N، برابر ۱۵ قرار داده و شکل (۵)، اثر استفاده از ساختار مالتی فینگر را برروی پارامتر R_n نشان می‌دهد. با توجه به شبیه سازی انجام شده کاملا مشخص است که مقاومت معادل نویز به شدت کاهش پیدا کرده، و به حد چندین اهم رسیده است. از منحنی های شکل (۵) نمایان می گردد، زمانی که ولتاژ گیت – سورس بیشتر از ۰/۵ و لتاژ درین – سورس بالاتر ۰/۴ ولت باشد، منحنی های مختلف R_n به یک مقدار میل می‌کنند که مقدار آن ۵۰ اهم می باشد. همچنین این منحنی ها نشان دهنده این واقعیت می باشند که با افزایش ولتاژ درین - سورس، درصورتی که توان تلفاتی قطعه زیاد می‌گردد ولی برروی مقدار R_n اثر بسیار ناچیزی دارد.

6 Width of Finger
7 Number of Finger

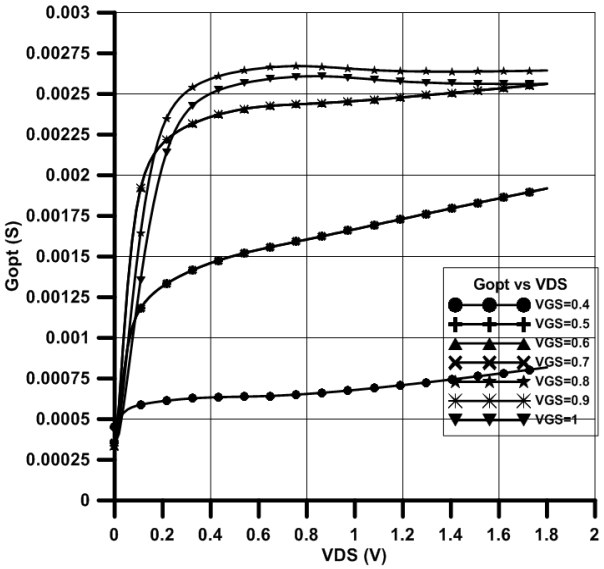


شکل۴. مقاومت نویز معادل بر حسب V_{DS} برای قطعه دارای تک فینگر به ازای نقاط بایاس مختلف در فرکانس ۵/۲GHz ، W=۸μm و N=۱

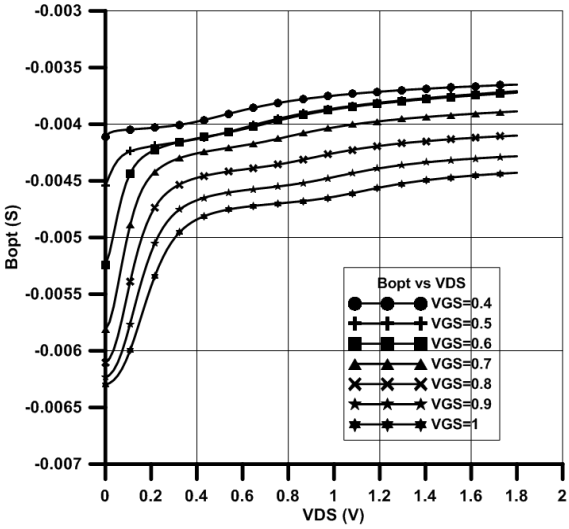


شکل۵. مقاومت نویز معادل بر حسب V_{DS}برای قطعه دارای تک فینگر به ازای نقاط بایاس مختلف در فرکانس ۵/۲GHz و W=۸μmو N=۱۵

لذا از این منحنی می توان دریافت که مقدار ولتاژ درین - سورس بیشتر از ۰/۴ ولت انتخاب گردد، منحنی R_n مستقل از مقدار ولتاژ گیت - سورس می باشد. همچنین تغییرات این پارامتر بسیار ناچیز و قابل صرف نظر می‌باشد و می توان آن را مقداری ثابت در نظر گرفت. همچنین اثرات ساختار ترانزیستور مالتی فینگر برروی دو پارامتر G_{opt} و B_{opt}، در شکل‌های (۶) و (۷) نشان داده شده است در حالی که Wf= ۸μm و N=15 و فرکانس ۵/۲ گیگاهرتز می باشد. شکل‌های (۶) و (۷) منحنی تغییرات این دو پارامتر را برحسب ولتاژ در ین - سورس، به ازای مقادیر مختلف ولتاژ گیت - سورس نشان می‌دهد. شکل (۶) منحنی تغییرات G_{opt} ، را نشان می‌دهد. همان گونه که مشخص است زمانی که ولتاژ گیت - سورس بیشتر از ۰/۵ ولت و درین -سورس بالاتر از ۰/۴ ولت باشد، تغییرات این منحنی بسیار کوچک و قابل صرفنظر کردن می باشد. شکل (۷)، منحنی تغییرات B_{opt}، را نشان می‌دهد. منحنی‌های این پارامتر نیز گویایی این امر هستند که زمانی که مقدار ولتاژ درین – سورس بیشتر از ۰/۴ ولت میگردد، مقدار تغییرات در این پارامتر، کم بوده و می توان با تقریب خوبی از تغییرات آن چشم پوشی کرد. نکته ای که در این منحنی وجود دارد این است که این پارامتر به نسبت پارامتر G_{opt}، به ولتاژ گیت - سورس وابستگی کمتری دارد.



شکل۶. G_{opt} بر حسب V_{DS} برای قطعه دارای چند فینگربه ازای نقاط بایاس مختلف در فرکانس ۵/۲GHz و W=۸μmو N=۱۵



شکل۷. B_{opt} بر حسب V_{DS} برای قطعه دارای چند فینگربه ازای نقاط بایاس مختلف در فرکانس۵/۲GHz و W=۸μmو N=۱۵

براساس نتایج بدست آمده، از منحنی های شکل (۵)، (۶) و (۷) پی‌برده می شود که اگر مقدار ولتاژ درین- سورس در رنج ۰/۸V- ۰/۶V انتخاب می‌شود، در پارامترهای یاد شده دارای کمترین تغییرات بوده و وابستگی به ولتاژ گیت - سورس نخواهیم داشت و لذا در ادامه روند طراحی ولتاژ درین - سورس را ۰/۷ ولت در نظر می‌گیریم. همچنین بر اساس مباحث بالا مقدار ولتاژ گیت - سورس حداقل ۰/۵ و حداکثر ۰/۶ ولت در نظر خواهیم گرفت. در

نهایت پارامترهای نویزی ترانزیستور در فرکانس کاری و نقطه کار مد نظر استخراج و در جدول(۱) نشان داده شده است.

جدول ۱. پارامترهای نویزی استخراج شده ترانزیستور

پارامتر	مقدار	پارامتر	مقدار
V_{DS} (V)	0.7	N	15
V_{GS} (V)	0.6	B_{opt} (mS)	-3.88
W (um)	8	G_{opt} (mS)	2.34
L (um)	0.180	R_n (ohm)	30.89

روش تطبیق همزمان نویز و امپدانس

در روند طراحی تقویت کننده کم نویز، دو مسئله تطبیق امپدانس ورودی و تطبیق نویز بسیار حائز اهمیت هستند. لذا همان گونه که قبلا بیان شد، از روش تطبیق همزمان نویز و امپدانس ورودی برای رسیدن به این هدف استفاده می شود. توجه شود که از رابطه (۴)، می توان پی‌برد که قسمت موهومی Y_{opt} صفر نبوده و برای تطبیق نویز و امپدانس ورودی این بخش بایستی جبران شود. لذا این روش با بکارگیری دو سلف L_s و L_g مطابق شکل (۱) برای طراحی تقویت کننده کم نویز اعمال می‌شود. سلف L_s به منظور فراهم کردن قسمت حقیقی امپدانس ورودی افزوده شده است. همچنین سلف L_g برای ایجاد تطبیق امپدانس ورودی به امپدانس منبع ۵۰ اهم جهت دستیابی به بهره توان ماکزیمم در نظر گرفته شده است. مطابق شکل (۱)، امپدانس ورودی تقویت کننده توسط رابطه زیر بیان می‌شود [۴-۶].

$$Z_{in}(S) = SL_s + \frac{1}{SC_{gs}} + \omega_t L_s \qquad (۷)$$

یکی دیگر از اثرات استفاده از واخواند[8] سلفی، که به دلیل قرار گرفتن سلف Ls در سورس ترانزیستور می باشد، اثری است که برروی پارامتر Z_{opt} ، می گذارد می باشد. رابطه (۸) بیان کننده این اثر می باشد[۷]:

$$Z_{opt} = \frac{1}{G_{opt} + jB_{opt}} - SL_s \qquad (۸)$$

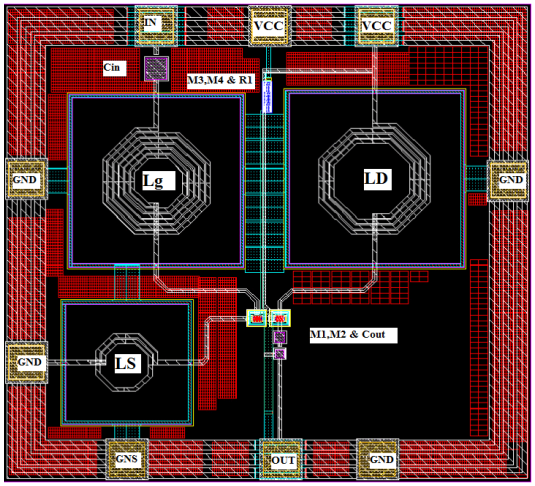
همچنین توجه شود به دلیل حضور سلف Ls در هر دو رابطه (۷) و (۸)، یک مصالحه‌ای بین تطبیق توان و تطبیق نویز بوجود می-آید. بنا به رابطه (۸) سلف L_s اثری روی F_{min} و R_n ندارد و در نتیجه امپدانس بهینه نویز(Z_{opt}) قابل جابجایی به محل موردنظر است. برخلاف Z_{opt} که عدم تطبیق در آن اثر مستقیمی روی نویز تقویت کننده دارد، این عدم تطبیق در تطبیق امپدانس ورودی اثر قابل اغماضی برروی عملکرد تقویت کننده کم نویز، دارد. حال برای رسیدن به تطبیق همزمان نویز و امپدانس ورودی، روش SNIM اعمال می‌شود تا شرط تطبیق همزمان نویز و امپدانس ورودی صورت گیرد که برای رسیدن به این حالت روابط (۹) باید برقرار باشد [۷،۶].

$$Z_{opt} = Z^*_{in}, Z_{opt} = Z_s \qquad (۹)$$

روند طراحی تقویت کننده کم نویز کم توان

برای طراحی تقویت کننده کم نویز، کم توان بر اساس روش پیشنهادی، به صورت زیرعمل خواهیم کرد. ۱- از روابط (۵) و (۶)، برای کاهش پارامترهای نویزی CMOS، از ساختار مالتی فینگر استفاده می‌شود و همچنین جهت دستیابی به حداکثر فرکانس قطع، از حداقل طول کانال که در این تکنولوژی ۱۸۰ نانومتر است استفاده می‌شود در حالی که پهنای هر فینگر ۸ میکرومتر و تعداد فینگر نیز ۱۵ می باشد. ۲- از روی شکل‌های (۵) تا (۷) ولتاژهای بایاس V_{GS} و V_{DS} برای M_1 انتخاب می‌شوند. همانطور که در بخش قبل اشاره شد، زمانی که V_{DS} از ۰/۴V تجاوز می‌کند تاثیر قابل چندانی روی نویز ندارد، از این رو برای این طراحی، مقدار بهینه ولتاژ درین- سورس و مقدار ولتاژ گیت سورس از نقطه نظر تلفات پایین توان، در این طراحی به ترتیب ۰/۷V و ۰/۶ V انتخاب شده است. ۳- از روی نقاط کار و ابعاد ترانزیستور (W, L) پارامترهای g_m, C_{gs} و ω_t بدست می آید. مقدار پارامتر ترارسانایی ترانزیستور تحت شرایط بایاس یاد شده به ترتیب مقدار 18.3 mS، 91 fF و 201 Grad/s معادل ۳۲ گیگاهرتز بدست می آید. ۴- همچنین از منحنی های شکل‌های (۶) و (۷) دو پارامتر G_{opt} و B_{opt} استخراج می‌شوند. در جدول (۱) به مقدار این دو پارامتر اشاره شده است. ۵- از روابط (۷)، (۸) و (۹) دو سلف L_g وL_s محاسبه می‌شوند. ۶- C_{in} خازن حذف DC ، L_D و C_{out} برای تطبیق خروجی در فرکانس مرکزی ۵/۲GHz هستند. بر این اساس یک تقویت کننده کم نویز در فرکانس ۵/۲ گیگاهرتز طراحی شده است که شکل (۷) نشان دهنده جانمائی سطح سیلیکون آن است. ابعاد جانمایی تقویت کننده پیشنهادی ۸۰۰×۸۰۰ میکرومتر مربع است. این ابعاد با در نظر گرفتن پایه های اتصال (Pad) و خطوط تغذیه است. برای استخراج اثرات پارازیتی پسا جانمایی، از نرم افزار Assura استفاده شده است. در این نرم افزار از مد استخراجی اثرات پارازیتی RLCK استفاده شده است. در این حالت اثرات کوپلینگ میدانی بین سلف ها بهمراه اثرات خازنی Via ، توسط نرم افزار برای استخراج در نظر گرفته می شود و بدین ترتیب به مدل دقیق تری در شبیه سازی دست پیدا می کنیم. همچنین جدول (۲)، مقادیرالمان های تقویت کننده کم نویز طراحی شده را نشان می دهد. در طراحی این تقویت کننده مقدار اندازه هر دو المان فعال مدار یعنی M1 و M2 یکسان در نظر گرفته شده است.

8 Degeneration



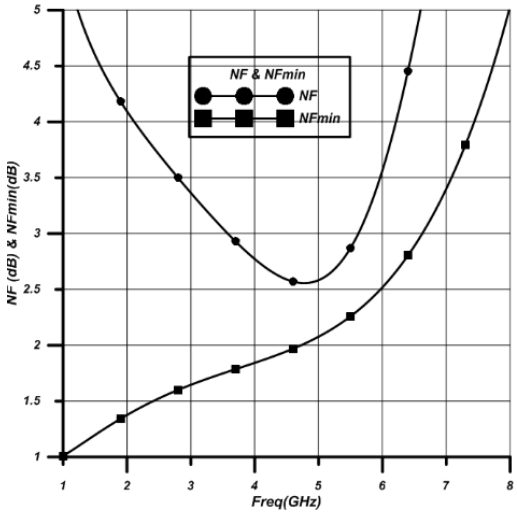
شکل۷. جانمائی تقویت کننده پیشنهادی در فرکانس ۵/۲ گیگاهرتز

جدول۲. مقدار اجزای مدار تقویت کننده کم نویز پیشنهادی

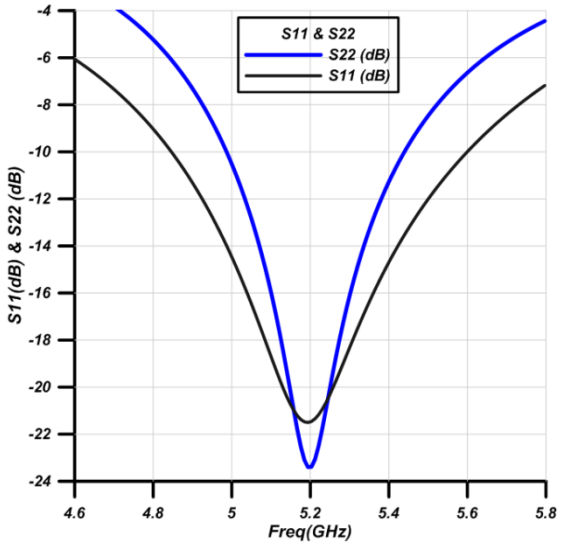
پارامتر	مقدار	پارامتر	مقدار	پارامتر	مقدار
VCC (V)	۱،۴	N	۱۵	Lg (nH)	۴،۵
R (kΩ)	۳۵	Cout (pF)	۰،۱۵	Ld (nH)	۴،۷
W (um)	۸	Cin (pF)	۱	-	–
L (um)	0.180	Ls (nH)	۰،۳	-	–

نتایج شبیه سازی

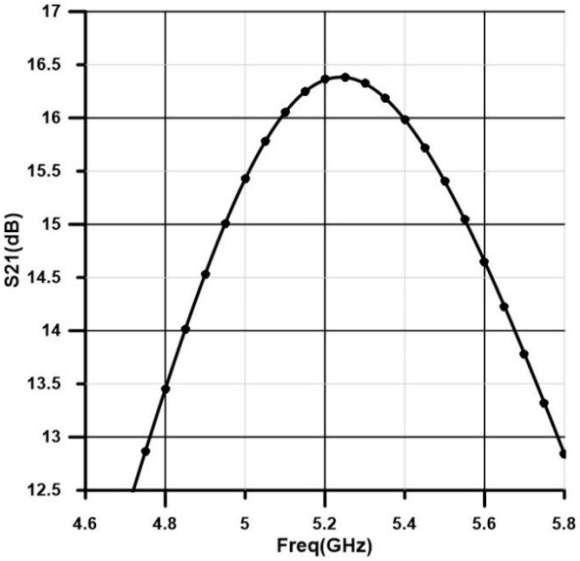
تقویت کننده کم نویز پیشنهاد شده بر اساس تکنولوژی TSMC CMOS0.18µm و روش ارائه شده طراحی و با نرم افزار Spectre-RF شبیه سازی شده است. نتایج شبیه سازی پسا جانمایی تقویت کننده پیشنهادی در شکل‌های (۸) تا (۱۰) را نشان داده شده است. شکل (۸)، پارامتر نویز فیگر برای تقویت کننده کم نویز را نشان می دهد. همان گونه که مشخص است در فرکانس کاری تقویت کننده مقدار آن از کمتر از ۳ دسبیل است. با توجه به شکل (۸) در فرکانس مرکزی ۵/۲GHz عدد نویز ۲/۷۱dB است و عدد نویز کمینه ۲/۱dB بدست آمده است. از مقایسه با شکل (۳)، نیز پی‌برده می شود که مقدار این پارامتر نیز باید کمتر از ۳ دسبیل باشد که این نتیجه تاییدی بر این امر است. پارامترهای پراکندگی نیز در شکل‌های (۹) و (۱۰) نشان داده شده‌اند. شکل (۹) تلفات بازگشتی ورودی و خروجی را که به ترتیب ۲۱/۴۵dB- و ۲۳/۵۹dB- هستند، را نشان می‌دهد. بر این اساس تقویت کننده به تطبیق امپدانسی خوبی در ورودی و خروجی در فرکانس مرکزی ۵/۲ گیگاهرتز دست یافته است. همچنین شکل (۱۰) ، پارامترهای بهره توان را برای تقویت کننده کم نویز نشان می‌دهند که مقدار آن ۱۶/۳۸dBاست. از این منحنی نمایان است که تقویت کننده به پهنای باند نزدیک به ۱ گیگاهرتز (۴،۷ الی ۵،۸) دست یافته است. همچنین مقدار ایزولاسیون نیز ۴۰/۴۲dB- می‌باشد.



شکل۸. منحنی عدد نویز و عدد نویز کمینه تقویت کننده پیشنهادی

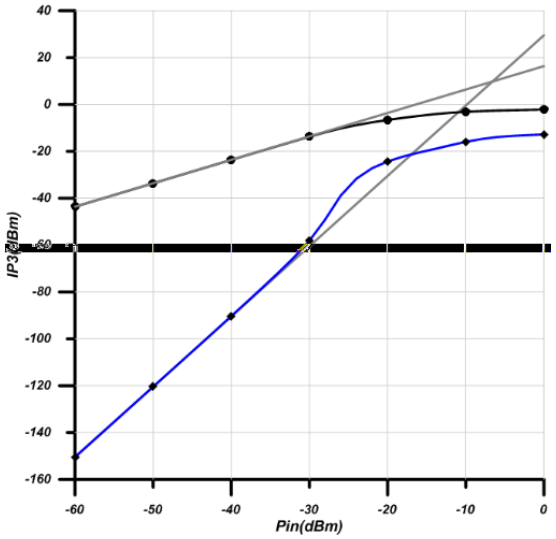


شکل۹. منحنی پارامترهای S11 وS22 تقویت کننده پیشنهادی



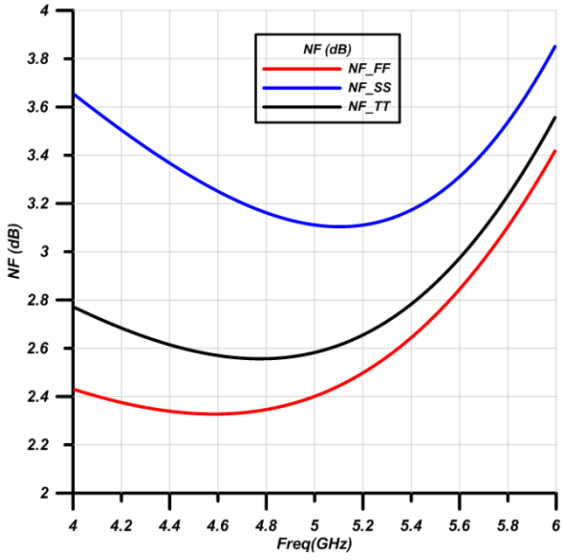
شکل۱۰. منحنی پارامتر S21 تقویت کننده پیشنهادی

همچنین یکی دیگر از پارامترهای مهم در تقویت کننده های کم نویز پارامترهای خطسانی تقویت کننده کم نویز می باشد. شکل (۱۲)، منحنی پارامتر IP3 تقویت کننده کم نویز را نشان می دهد که به ورودی آن، سیگنال دو تن با اختلاف فرکانسی، ۱۰ مگاهرتز اعمال شده است.



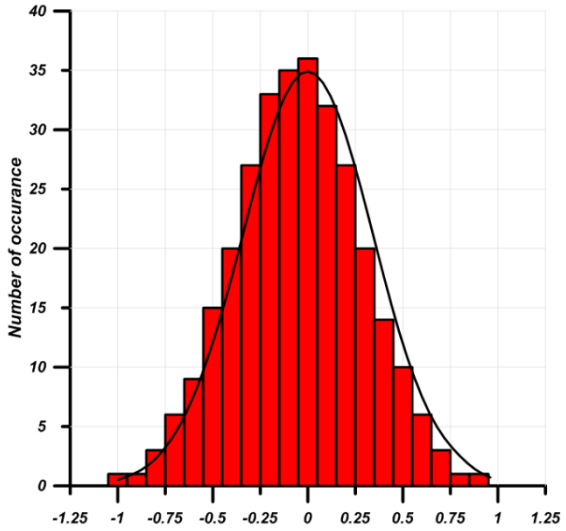
شکل۱۱. منحنی IP3 تقویت کننده کم نویز پیشنهادی

نتایج شبیه سازی ها نشان دهنده این امر است که پارامتر P_{1dB} خروجی و ورودی به ترتیب ۵/۲۳ dB- و ۱۸ dB- است و همچنین پارامتر IP3 در خروجی و ورودی به ترتیب ۸/۵ dB و ۷/۷۲ dB- است. یکی از شبی سازی‌های مهم بررسی اثرات گوشه پروسه ساخت برروی پارامترهای تقویت کننده کم نویز می باشد که این شبیه سازی برروی پارامتر عدد نویز تقویت کننده صورت گرفته است و نتایج آن در شکل (۱۲) نشان داده شده است.



شکل۱۲. منحنی اثرات گوشه پروسه برروی عدد نویز تقویت کننده کم نویز

همان گونه که نشان داده شده است در گوشه پروسه ساخت کند-کند[9] ، عدد نویز در بیشترین مقدار خود قرار دارد و در پروسه گوشه سریع-سریع[10] در کمترین مقدار خود نسبت به حالت معمول پروسه ساخت نوعی- نوعی[11] است. به منظور حصول اطمینان از عملکرد صحیح مدار در برابرتغییرات مقادیر و خواص المان ها، تجزیه و تحلیل آماری مونت کارلوی (Monte Carlo) با تکرار ۳۰۰ نمونه انجام شده است. نتایج این شبیه سازی مونت کارلوی برروی عدد نویز تقویت کننده کم نویز در شکل (۱۳)، نشان داده شده است.



شکل۱۳. منحنی آنالیز مونت کارلوی عدد نویز تقویت کننده پیشنهادی

بر اساس این شبیه سازی، مقدار انحراف معیار ۳۳۱,۰۵۹ میلی و مقدار میانگین ۱۳۶,۱۱۳ میکرو بدست آمده است. همچنین در جدول (۳)، پارامترهای تقویت کننده طراحی شده با موارد مشابه در مراجع مقایسه شده است. همچنان که مشخص است تقویت کننده طراحی شده با روش پیشنهادی در مقایسه با دیگر مراجع به مقدار توان مصرفی کمتر، تحت ولتاژ تغذیه پایین تر دست یافته است.

9 Slow-Slow
10 Fast-Fast
11 Typical-typical

جدول۳. جدول مقایسه نتایج شبیه سازی تقویت کننده کم نویز طراحی شده با موارد مشابه در مراجع

پارامتر	[۸]	[۹]	[۱۰]	[۱۱]	[۱]	طراحی شده	واحد
S11	-۱۵	-۱۵	-۱۷/۳	-۲۹/۹	-۱۶/۱۳	-۲۱/۴۵	dB
S12	۱۵/۵	۱۵/۷	-۱۴۰	<-۴۵	-۴۲~-۵۸/۳۷	-۴۰/۴۲	dB
S21	-	-	۲۴/۶	۲۰/۶۳	۱۷/۸	۱۶/۳۸	dB
S22	-۱۶	-	-۵/۳	-۲۵	-۳۲	-۲۳/۵۹	dB
NF	۲/۱	۲	۵/۴۸	۳/۱	۲/۳~۲/۹	۲/۷۱	dB
Fc	۵/۲۵	۵	۵/۷۴۵	۵/۵	۵/۵	۵/۲	GHz
Vcc	۱/۸	۱/۲	۰/۷	۱/۸	۱/۸	۱/۴	V
Pdc	۱۰	۳/۶	۶/۱۲۵	۳	۱۶	۲/۱	mW
Tech CMOS	۰/۱۸	۰/۹۰	۰/۲۵	۰/۱۸	۰/۱۸	۰/۱۸	µm

نتیجه گیری

در این مقاله یک روش جدید برای بهبود مشکل اتلاف بالای توان روش تطبیق همزمان نویز و امپدانس ارائه گردیده است. بدین منظور به بررسی اثرات ولتاژهای تغذیه و ابعاد ترانزیستور برروی پارامترهای نویزی پرداخته شد. سپس با در نظر گرفتن اثر پارامترهای ترانزیستور روی عملکرد نویز، منجر به طراحی تقویت کننده کم نویز با عدد نویز کم و مصرف توان پایین می‌گردد. بدین ترتیب مشکل اتلاف بالای توان روش SNIM بهبود داده شد. برای معتبر نشان دادن روش پیشنهادی تقویت کننده کم نویز در فرکانس ۵/۲GHz با روش ارائه شده طراحی و در تکنولوژی TSMC CMOS 0.18µm شبیه سازی گردیده است. نتایج شبیه سازی پسا جانمایی نشان می‌دهد که تقویت کننده کم نویز به عدد نویز ۲/۷۱dB و عدد نویز کمینه ۲/۱dB در توان مصرفی ۲/۱mW با ولتاژ بایاس ۱/۴V دست یافته است.

مرجع‌ها

[1] A. Pourmand, E.Najafiaghdam, A.Zahedi "A Fully Integrated CMOS Low Noise Amplifier for IEEE 802.11a Standard Applications" IEEE Conference on 19th Iranian Electrical Engineering (ICEE), May 2011.

[2] Z. Deng, A.niknejad "On the Noise Optimization of CMOS Common-Source Low-Noise Amplifiers," IEEE Trans on Circuits and system, Vol. 58, No.4, Apr. 2011.

[3] H.C Yang, S.H Peng, " High Quality of 0.18um CMOS 5.2GHz Cascode LNA for RFID Tag Applications," IEEE International Symposium on Next-Generation Electronics (INSN), Feb 2013.

[4] Thomas H.Lee, "The design of CMOS radio-frequncy integrated circuits," 2nd edition, Cambridge university press, 2004.

[5] B. Razavi, "RF Microelectronics 2nd Edition," Prentice Hall PTR communication engineering and emerging technologies series, Chapters 2 and 5, 2011.

[6] Y. Lin, M. Obrecht, and T. Manku, "RF noise characterization of MOS devices for LNA design using a physical-based quasi-3-D approach," Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, vol. 48, pp. 972-984, 2001.

[7] T. K. Nguyen, C. H. Kim, G. J. Ihm, M. S. Yang, and S. G. Lee, " CMOS low-noise amplifier design optimization techniques," Microwave Theory and Techniques, IEEE Transactions on, vol. 52, pp. 1433-1442, 2004.

[8] K.C Lin, H.K chiou, D.C chang, Y.Z juang " 2.1 dB noise figure 5.2GHz CMOS low noise amplifier using wafer-level integrated passive device technology with a DC power consumption of 10 mW," IET Microw. Antennas Propag, 2012, Vol. 6, Iss. 11, pp. 1286–1290.

[9] Tanabe, A., Hijioka, K., Nagase, H., Hayashi, "A low power LNA using miniature 3D inductor without area penalty of passive components" IEEE Radio Freqeuncy Integrated Circuits Symp, pp. 315–318, May 2010.

[10] M.K. Salama, A.M. Soliman ,"0.7V, 5.745GHz CMOS RF low noise amplifier for IEEE 802.11a wireless LAN," AEU –Int.J.of Electronics and Communications, Vol. 64, P.29-35, Jan. 2010.

[11] S.Toofan, A.Abrishamifar, A.Rahmati, M.Graziano, G.R.Lahiji, S.A.Moniri, "A 5.5-GHz 3mW LNA and inductive degenerative CMOS LNA noise figure calculation," IEEE International Conference on microelectronics, pp. 1-6, DECEMBER 2008.