تنظیم‌کننده ولتاژ با افت کم بر مبنای FVF در فناوری CMOS

رسول فتحی‌پور[۱]
علیرضا صابرکاری[۲]

چکیده

در این مقاله، یک تنظیم‌کننده ولتاژ با افت کم (LDO) بر پایه دنبال‌کننده ولتاژ Flipped شده (FVF) ارائه می‌شود که در آن به منظور ارتقاء مشخصه‌های ایستای مدار از یک حلقه بازخورد بیرونی استفاده شده است. همچنین به سبب امکان حذف خازن خروجی برون-تراشه‌ای، این LDO قابلیت پیاده‌سازی به‌صورت تمام مجتمع را دارد و کاهش چشم‌گیر تلفات توان نسبت به ساختارهای مشابه، امکان بکارگیری آن را در سیستم‌های توان پایین فراهم آورده است. نشان داده خواهد شد که LDO پیشنهادی علاوه بر تنظیم‌های مناسب بار و خط از رفتار پویای مناسب تنها به ازای جریان خاموشی ۳۱ µA برخوردار می‌باشد. کلیه نتایج شبیه‌سازی توسط HSPICE و با بکارگیری فناوری CMOS ۰/۳۵ µm بدست آمده است.

کلید واژه

دنبال‌کننده ولتاژ Flipped شده (FVF)، تنظیم‌کننده ولتاژ با افت کم (LDO)، تنظیم بار، تنظیم خط

---

[۱] کارشناس ارشد برق الکترونیک، دانشگاه گیلان
[۲] استادیار دانشکده برق، دانشگاه گیلان a_saberkari@guilan.ac.ir
تاریخ دریافت: ۱ فروردین ۱۳۹۲ تاریخ پذیرش: ۱۲ خرداد ۱۳۹۲

مقدمه

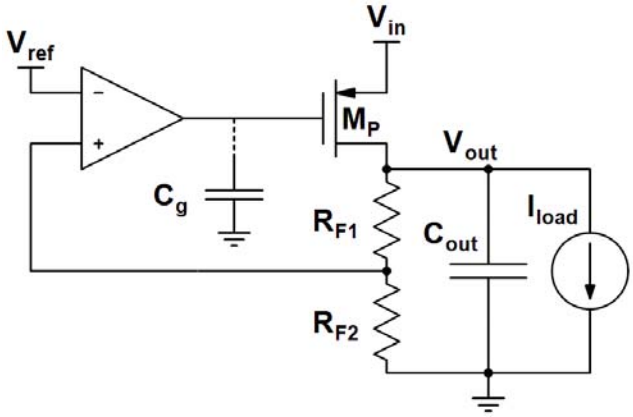
مدیریت توان در لوازم باتری-محور امری ضروری است. یک واحد مدیریت توان پیشرفته برای کاربردهای درون-تراشه‌ای به تعدادی تنظیم‌کننده[۳] ولتاژ به منظور راه‌اندازی عناصر و بلوک‌های عملیاتی نیاز دارد[۱]. تنظیم‌کننده‌های ولتاژ اغلب برای ایجاد یک ولتاژ ثابت و کم نویز به منظور تغذیه مدارهای آنالوگ به کار می‌روند. این ولتاژ باید در مقابل تغییرات جریان بار و ولتاژ خط، پایدار باشد. در مقایسه با تنظیم‌کننده‌های خطی متداول، در LDO[۴] ها افت ولتاژ در حالت ایستا دو سر ترانزیستور گذر ($V_{drop} = V_{in} - V_{out}$) کم بوده و معمولاً بین ۳۰۰ mV-۱۰۰ در نظر گرفته می‌شود و در نتیجه این نوع تنظیم‌کننده‌ها به سبب بازده بالا، انتخاب مناسبی هستند[۲]. شکل ۱ ساختار متداول یک LDO را نشان می‌دهد که از ترانزیستور گذر (M_p)، تقویت‌کننده خطا، مقاومت‌های شبکه بازخورد (R_{F1} و R_{F2}) و خازن خروجی تشکیل شده است. اکثر ساختارهای متداول LDO برای پایداری و کاهش ناهمواری[۵] ولتاژ خروجی از یک خازن بیرونی بزرگ در حدود چند میکروفاراد استفاده می‌کنند[۱-۳]. اما با گسترش روزافزون سیستم‌های درون-تراشه‌ای نیاز به طراحی تنظیم‌کننده‌های ولتاژ تمام مجتمع بیش از پیش احساس می‌شود. به منظور مجتمع‌سازی کامل مدار حذف خازن برون-تراشه‌ای ضروری است. ولی این کار سبب افزایش میزان انحراف ولتاژ خروجی (ΔV_{out}) در پاسخ گذرا، هنگام تغییرات آنی جریان بار می‌شود[۴].

در کنار مدارهای LDO تمام مجتمع و LDO با خازن برون-تراشه‌ای، LDO هایی هستند که می‌توانند هم با خازن برون-تراشه‌ای و هم بدون آن عملکرد پویا و پایداری قابل قبولی داشته باشد[۵]،[۶]. در این مدارها نوع خازن خروجی بسته به محل کاربرد تنظیم‌کننده انتخاب می‌شود. مدار LDO معرفی شده در[۵]، در حالت بدون خازن برون-تراشه‌ای، نیازمند حداقل ۱ mA جریان بار برای حفظ پایداری است. زیرا وقتی جریان بار کم است قطب‌های مختلط غیر غالب که دارای ضریب کیفیت بالایی هستند، باعث ایجاد قله[۶] در اندازه بهره حلقه-باز سیستم در نزدیکی فرکانس بهره واحد می‌شوند. این حداقل جریان بار سبب دور شدن این قطب‌ها و انتقال آن‌ها به فرکانس‌های بعد از فرکانس بهره واحد خواهد شد. این امر بکارگیری این LDO را در کاربردهای توان پایین غیر ممکن می‌کند. در[۶] یک تنظیم‌کننده ولتاژ افت کم بر پایه FVF[۷] ارائه شده، که

---

۳ Regulator
۴ Low-Dropout regulator
۵ Ripple
۶ Peak
۷ Flipped voltage follower

به دلیل داشتن ساختار ساده می‌تواند به راحتی پایدار باشد. ولی استفاده از یک سیستم حلقه-باز به منظور ایجاد ولتاژ مطلوب در خروجی موجب می‌شود که این تنظیم‌کننده از تنظیم[۸] بار و خط ضعیف رنج ببرد. همچنین اندازه جریان خاموشی در این مدار قابل توجه است.



شکل ۱. ساختار متداول یک مدار LDO

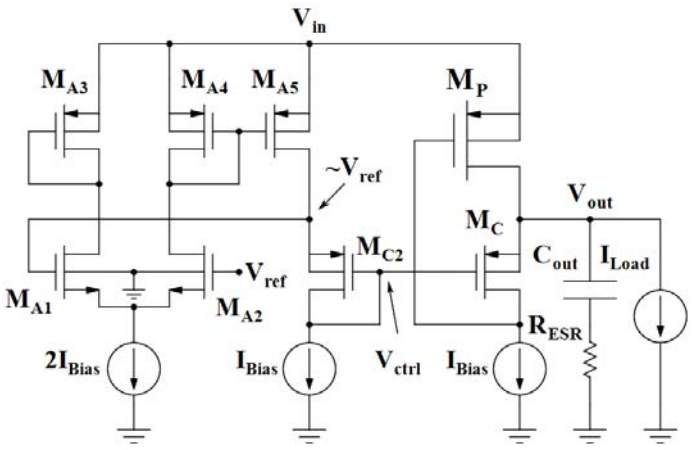
در این مقاله یک مدار LDO کم مصرف بر پایه FVF ارائه می‌شود که در آن به منظور داشتن تنظیم‌های بار و خط مناسب، از یک حلقه بازخورد بیرونی با تلفات توان ناچیز استفاده شده است. ولی همانند [۶]، رفتار پویای LDO پیشنهادی همچنان توسط ترانزیستور کنترلی بر پایه FVF تعیین می‌شود. این LDO قابلیت کار با هر دو نوع خازن درون-تراشه‌ای و برون-تراشه‌ای را دارد. بخش۲ به بررسی ساختار متداول LDO بر پایه FVF می‌پردازد. در بخش ۳ مدار LDO پیشنهادی معرفی می‌شود. نتایج شبیه‌سازی و نتیجه‌گیری به ترتیب در بخش‌های ۴ و ۵ ارائه خواهد شد.

ساختار کلی تنظیم‌کننده‌های ولتاژ با افت کم بر پایه FVF

شکل ۲ ساختار کلی LDO معرفی شده در[۶] را نشان می‌دهد که شامل ترانزیستور عبوری (M_P)، ترانزیستور کنترلی (M_C) و خازن خروجی است. همچنین در این ساختار، از یک تقویت‌کننده در آرایش بازخورد واحد (تشکیل شده از ترانزیستورهای M_{A1}-M_{A5}) به‌همراه ترانزیستور M_{C2}، به‌منظور انتقال ولتاژ مرجع (V_{ref}) به گیت M_C استفاده شده است. به‌سبب تشابه ترانزیستورهای M_C و M_{C2}

[۸] Regulation

و برابری جریان‌های بایاس در آن‌ها، ولتاژ مرجع تولید شده به خروجی انتقال می‌یابد. اما عدم کنترل ولتاژ خروجی با بکارگیری سیستم حلقه بسته سبب می‌شود که ولتاژ خروجی به ازای تغییرات در جریان بار یا ولتاژ خط دچار تغییر شود. برای مثال، در صورتی که جریان بار در این مدار افزایش پیدا کند، ولتاژ گیت ترانزیستور عبوری باید برای تأمین این جریان کاهش یابد. به منظور کاهش ولتاژ گیت M_P، جریان درین M_C باید کاهش پیدا کند که با توجه به ثابت بودن ولتاژ گیت M_C (V_{ctrl})، ولتاژ خروجی کاهش می‌یابد. مکانیزم مشابهی سبب افزایش ولتاژ خروجی به‌ازای کاهش جریان بار خواهد شد. تغییرات متناظر ولتاژ خروجی به‌ازای تغییرات جریان بار سبب می‌شود که این LDO از تنظیم بار مناسبی برخوردار نباشد. در صورتی که در این ساختار V_{ctrl} به جای داشتن یک ولتاژ ثابت، متناسب با جریان بار مورد نیاز تغییر کند، این امر سبب حفظ ولتاژ خروجی در مقدار مطلوب خواهد شد.

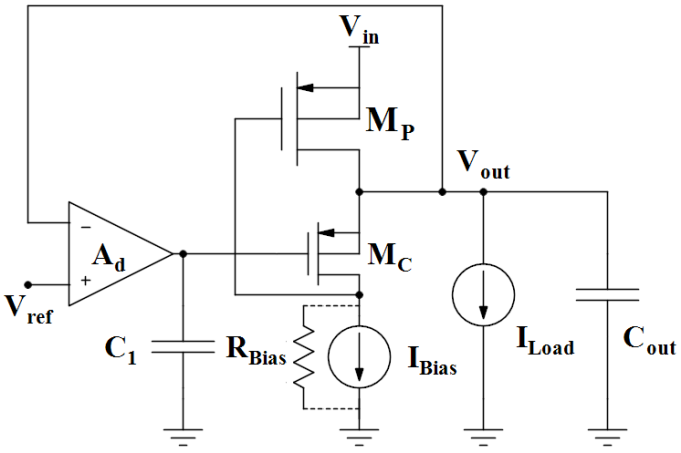


شکل ۲. مدار LDO معرفی شده در[۶]

ساختار کلی تنظیم‌کننده LDO پیشنهادی

شکل ۳ ساختار کلی تنظیم‌کننده LDO پیشنهادی را نشان می‌دهد. در این ساختار اختلاف ولتاژ بین V_{out} و V_{ref} توسط تقویت‌کننده خطا تقویت شده و به گیت M_C انتقال می‌یابد. در واقع، حلقه بیرونی تقویت‌کننده خطا با ایجاد بهره حلقه کافی ولتاژ گیت ترانزیستور M_C را متناسب با جریان بار مورد نیاز تغییر داده و بدین ترتیب رفتار حالت دائمی مدار را کنترل می‌کند. این در حالی است

که این حلقه به سبب اتلاف توان ناچیز نمی‌تواند در مقابل تغییرات آنی و قابل توجه جریان بار عکس‌العمل سریع از خود نشان دهد. در مدارهای LDO پاسخ گذرا تا حد زیادی متأثر از نرخ چرخش گره گیت ترانزیستور عبوری (SR_G) است[۱]،[۳]. در صورتی‌که SR_G خیلی کندتر از حاصل‌ضرب بهره-پهنای‌باند مدار باشد، ضربه‌های گذرا در ولتاژ خروجی به هنگام تغییرات سریع بار ظاهر می‌شود [۱]. با توجه به در نظر گرفتن جریان بایاس بیشتر برای طبقه خروجی (ساختار FVF شده M_C و M_P) نسبت به تقویت‌کننده خطا، در مدار LDO پیشنهادی نیز همانند LDO شکل۲، پاسخ گذرا و رفتار پویای مدار توسط حلقه داخلی طبقه خروجی تعیین می‌شود.



شکل ۳. ساختار کلی تنظیم‌کننده LDO پیشنهادی

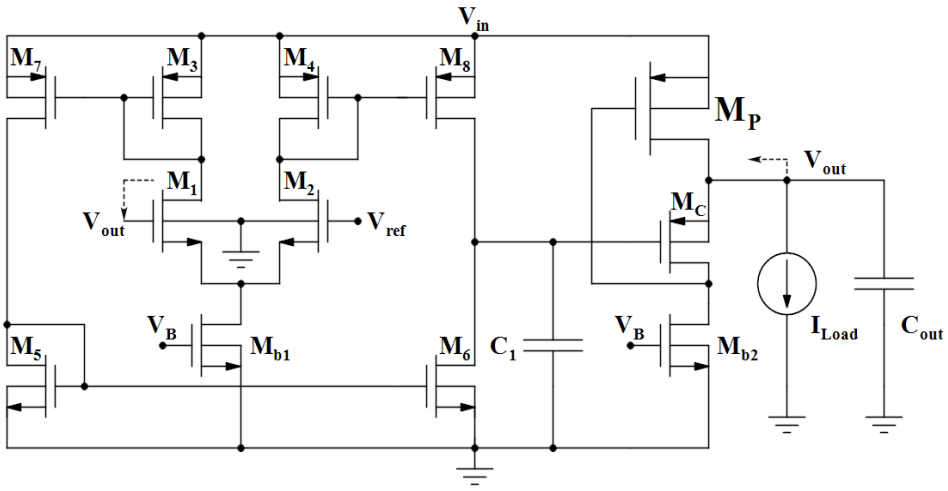
مدار LDO پیشنهادی

شکل (۴) مدار LDO پیشنهادی را نشان می‌دهد که شامل تقویت‌کننده خطا (ترانزیستورهای M_1-M_8)، طبقه خروجی (ساختار FVF شده M_C و M_P) و منابع جریان بایاس (M_{b1} ، M_{b2}) است. تنظیم‌کننده LDO پیشنهادی در تکنولوژی ۰/۳۵ µm CMOS برای ایجاد ولتاژ V_{out} =۱ V به ازای V_{in}=۱/۲-۱/۵ V و V_{ref} =۱ V طراحی شده و قابلیت جریان‌دهی به محدوده بار بین ۰ تا ۵۰mA را دارد. جریان خاموشی این مدار ۳۱ µA است که حدود ۸ µA آن در تقویت‌کننده خطا و بقیه آن در طبقه خروجی مصرف می‌شود. مدار LDO پیشنهادی و LDO معرفی شده در[۶] از نظر مصرف توان در طبقه خروجی تفاوتی با یکدیگر ندارند. اما بخش تولیدکننده ولتاژ کنترل (شامل

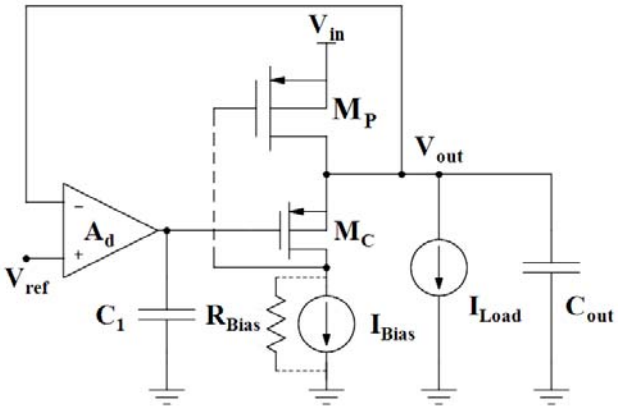
ترانزیستورهای M_{A1}-M_{A5} و M_{C2}) در LDO مرجع[۶] توان زیادی مصرف می‌کند. در LDO مرجع[۶]، جریان بایاس طبقه خروجی با شاخه خروجی بخش تولیدکننده ولتاژ کنترل برابر بوده و جریان زوج تفاضلی ورودی بخش تولیدکننده ولتاژ کنترل دو برابر جریان بایاس طبقه خروجی است که این امر منجر به اتلاف توان زیاد توسط این LDO می‌شود. در حالی‌که در طراحی تقویت کننده خطا در مدار پیشنهادی، توان بسیار بهینه‌تر مصرف شده است.

تحلیل AC

به‌منظور بررسی پایداری مدار LDO پیشنهادی، رفتار حلقه باز هریک از حلقه‌های بازخورد به صورت مستقل و با شکستن حلقه بازخورد مورد نظر مورد بررسی قرار می‌گیرد.



شکل ۴. مدار LDO پیشنهادی



شکل ۵. شکستن حلقه بازخورد داخلی برای بررسی رفتار AC مدار

حلقه داخلی

با انجام تحلیل AC مشابه[۶]، در حالتی که خازن برون-تراشه‌ای در خروجی وجود ندارد و C_{out} خازن درون-تراشه‌ای یا مدل خازن Parasitic انباشته شده در گره خروجی است و با شکستن حلقه بازخورد داخلی مطابق شکل ۵، اندازه قطب‌های موجود در درین ترانزیستور M_C (P_1) و گره خروجی LDO (P_2) برابر است با:

$$P_1 \approx \frac{1}{\left\{C_{GSp}+\left\{1+g_{mp}\left[\left(r_{op}\parallel\frac{1}{g_{mC}}\right)\Big/A_d\right]\right\}C_{GDp}\right\}R_{Bias}} \quad \& \quad P_2 \approx \frac{1}{C_{out}\left[\left(r_{op}\parallel\frac{1}{g_{mC}}\right)\Big/A_d\right]} \qquad (۱)$$

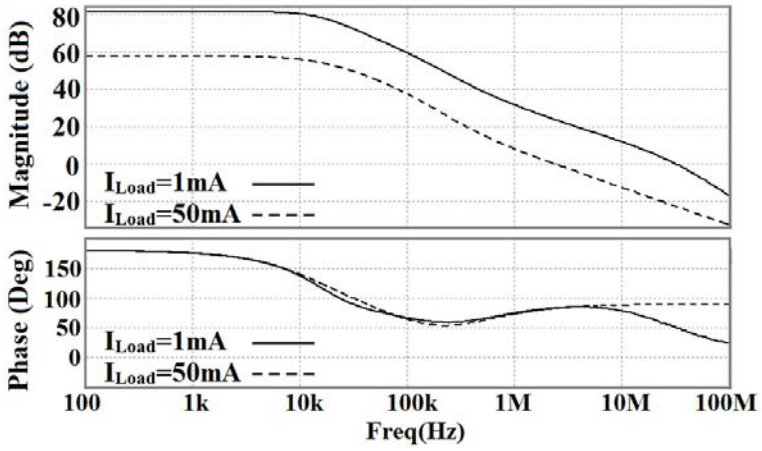
که در این رابطه g_{mC} و g_{mp} به‌ترتیب ترارسانایی ترانزیستورهای M_C و M_P است. همچنین C_{GSp}، C_{GDp} و r_{op} به‌ترتیب خازن‌های Parasitic و مقاومت خروجی ترانزیستور عبوری هستند. در این حالت P_1 قطب غالب و P_2 قطب غیر غالب است. در ضمن، حلقه بازخورد بیرونی با انجام نمونه‌برداری موازی سبب کاهش مقاومت معادل گره خروجی با ضریب $1/A_d$ شده است. تغییرات جریان بار اثر چندانی روی مکان P_1 ندارد، اما با افزایش جریان بار از ۰ mA تا ۵۰mA، قطب P_2 به سبب کاهش r_{op} به فرکانس‌های بالاتر منتقل شده و حاشیه فاز افزایش می‌یابد.

در صورتی که از یک خازن برون-تراشه‌ای (در محدوده میکروفاراد) به‌عنوان خازن خروجی استفاده

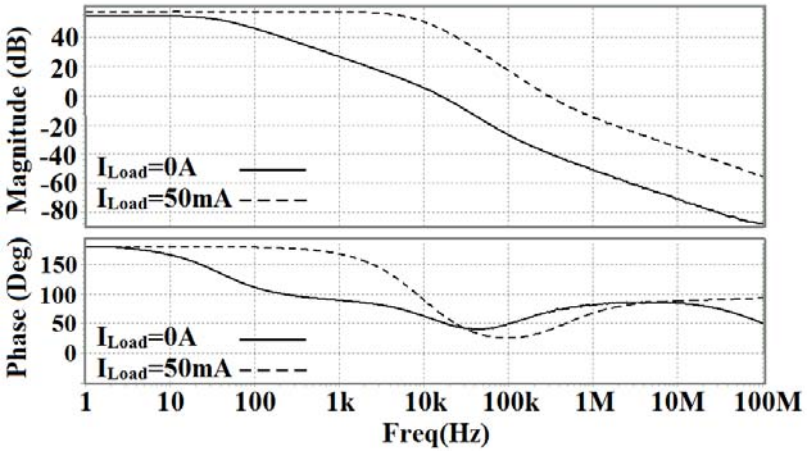
شود، مکان نسبی قطب‌های P_1 و P_2 با تغییر جریان بار دچار تغییر خواهد شد. به‌عنوان مثال، در حالت بی‌باری، P_2 قطب غالب و P_1 قطب غیر غالب می‌باشد. ولی با افزایش جریان بار و کاهش r_{op}، P_2 به فرکانس‌های بالاتر منتقل شده و فاصله بین دو قطب کاهش می‌یابد که این امر می‌تواند منجر به کاهش پایداری مدار شود. ولی در صورت وجود مقاومت Parasitic کافی در خازن خروجی (R_{ESR} که سری با خازن خروجی است)، یک صفر سمت راست مطابق رابطه (۲) تولید خواهد شد. با ظهور این صفر در فرکانس‌های نزدیک فرکانس بهره واحد و حذف قطب-صفر، حاشیه فاز افزایش می‌یابد.

$$Z_1 = \frac{1}{C_{out} R_{ESR}} \qquad (۲)$$

شکل‌های ۶ و ۷ نمونه‌هایی از پاسخ فرکانسی شبیه‌سازی شده این مدار را به‌ازای مقادیر مختلف جریان بار و خازن خروجی نشان می‌دهند. مقدار حاشیه فاز در شکل ۶ به‌ازای جریان‌های بار mA ۱ و mA ۵۰ به‌ترتیب ۵۱ و ۷۰ درجه می‌باشد که در این حالت C_{out} خازن انباشته شده در گره خروجی یا یک خازن درون-تراشه‌ای است. شکل ۷ پاسخ فرکانسی LDO را به‌ازای یک خازن برون تراشه‌ای نشان می‌دهد که بر طبق آن، مقدار حاشیه فاز به‌ازای جریان‌های بار mA ۰ و mA ۵۰ به ترتیب ۵۲ و ۴۰ درجه است.



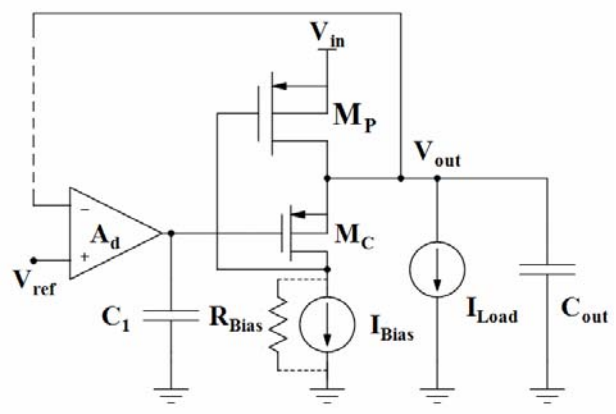
شکل ۶. پاسخ فرکانسی حلقه-باز LDO پیشنهادی (حلقه داخلی)، C_{out}=۲۰ pF



شکل ۷. پاسخ فرکانسی حلقه-باز LDO پیشنهادی (حلقه داخلی)، C_{out}=۴/۷ µF و R_{ESR}=۰/۳ Ω

حلقه بیرونی

با شکستن حلقه بازخورد بیرونی مطابق شکل ۸ و انجام تحلیل AC، اندازه قطب‌های تشکیل شده در خروجی تقویت‌کننده خطا (P_1) و خروجی LDO (P_2) به ترتیب برابر است با:



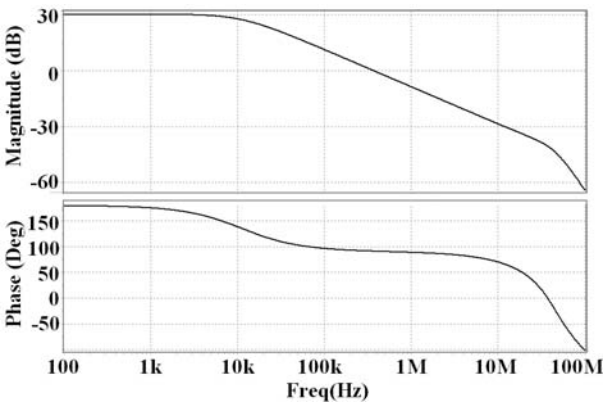
شکل۸. شکستن حلقه بازخورد بیرونی برای بررسی رفتار AC مدار

$$P_1 \approx \frac{1}{C_1 R_a} \quad \& \quad P_2 \approx \frac{1}{C_{out} R_{out}} \qquad (۳)$$

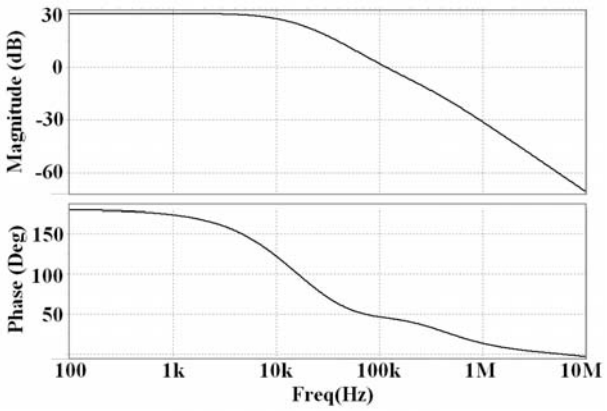
که در این رابطه $R_{out} \approx 1/g_{mC}g_{mp}r_{oC}$ و $R_a = r_{o6} \| r_{o8}$ به‌ترتیب مقاومت خروجی LDO و مقاومت خروجی تقویت‌کننده خطا می‌باشند.

مطابق رابطه (۳)، خازن C_1 که در قطب ناشی از شکستن حلقه بازخورد بیرونی LDO ظاهر شده، به‌عنوان خازن جبران‌ساز برای تضمین پایداری و ایجاد فاصله کافی و تولید یک قطب غالب در سیستم حلقه باز (حلقه بیرونی) در خروجی تقویت‌کننده خطا قرار داده شده است. نتایج شبیه‌سازی نشان می‌دهد که با مقدار ۱۰ pF در نظر گرفته شده برای این خازن، جداسازی قطب‌ها به‌خوبی انجام شده و سیستم از حاشیه فاز کافی برخوردار است.

در حالتی که C_{out} خازن خروجی درون-تراشه‌ای یا خازن Parasitic انباشته شده در گره خروجی است، به ازای تمامی محدوده جریان بار، P_1 قطب غالب سیستم و P_2 در فرکانس‌های بسیار بالاتر از فرکانس بهره واحد قرار خواهد داشت. شکل (۹) پاسخ فرکانسی حلقه-باز حلقه بازخورد بیرونی را به‌ازای C_{out} =۲۰ pF و I_{load} =۱ mA نشان می‌دهد که مقدار حاشیه فاز برای این حالت ۸۹ درجه است. با به‌کارگیری یک خازن برون-تراشه‌ای در محدوده میکروفاراد در خروجی مدار LDO پیشنهادی، قطب P_2 به فرکانس‌های پایین‌تر انتقال می‌یابد. ولی در صورت وجود R_{ESR} کافی در خازن خروجی، صفر Z_1 معرفی شده در رابطه (۲) سبب حذف قطب P_2 می‌شود. شکل (۱۰) پاسخ فرکانسی حلقه باز حلقه بیرونی را به‌ازای C_{out}=۴/۷ µF، R_{ESR} =۰/۳ Ω و I_{load} =۱ mA نشان می‌دهد که در این حالت مقدار حاشیه فاز برابر ۴۶ درجه است. بدیهی است افزایش R_{ESR} سبب انتقال Z_1 به فرکانس‌های پایین‌تر و افزایش حاشیه فاز می‌شود.



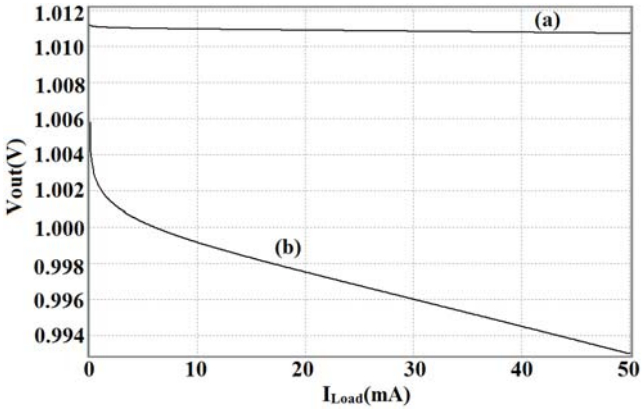
شکل ۹. پاسخ فرکانسی حلقه-باز LDO پیشنهادی (حلقه بیرونی)، C_{out}=۲۰ pF و I_{load}=۱ mA



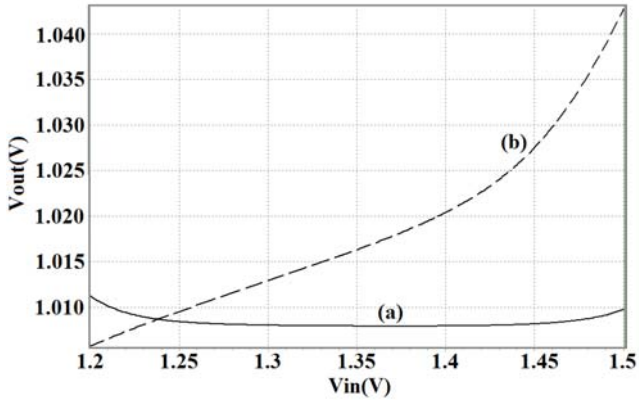
شکل ۱۰. پاسخ فرکانسی حلقه-باز LDO پیشنهادی (حلقه بیرونی)، C_{out}=۴/۷ µF، R_{ESR}=۰/۳ Ω و I_{load}=۱ mA

نتایج شبیه‌سازی

در این بخش نتایج شبیه‌سازی و مقایسه ارائه خواهد شد. کلیه شبیه‌سازی‌ها توسط HSPICE و با بکارگیری فناوری ۰/۳۵ µm CMOS بدست آمده است. به‌منظور بررسی مشخصه‌های ایستای مدار و نشان دادن سودمندی بکارگیری حلقه بیرونی، مقایسه‌ای بین تنظیم‌های بار و خط LDO پیشنهادی و LDO شکل ۲ انجام شده است. شایان ذکر است که برای انجام یک مقایسه منصفانه طبقه خروجی مدار LDO پیشنهادی از نظر ابعاد و جریان بایاس ترانزیستورها دقیقاً مشابه LDO شکل ۲ طراحی شده است. شکل‌های ۱۱ و ۱۲ به‌ترتیب تنظیم‌های بار و خط این مدارها را نمایش می‌دهند. همان‌طور که در شکل ۱۱ مشاهده می‌شود میزان انحراف ولتاژ خروجی در LDO پیشنهادی به ازای تغییر جریان بار در محدوده ۰ mA تا ۵۰ mA کمتر از ۱ mV است. همچنین با توجه به شکل ۱۲ نتیجه می‌شود که LDO پیشنهادی از تنظیم خط بسیار قابل قبول‌تری نسبت به LDO شکل ۲ در بدترین شرایط (I_{Load}=۰) برخوردار است.



شکل ۱۱. تنظیم بار به ازای Vin=۱/۲ V، LDO (a) پیشنهادی، LDO (b) شکل ۲



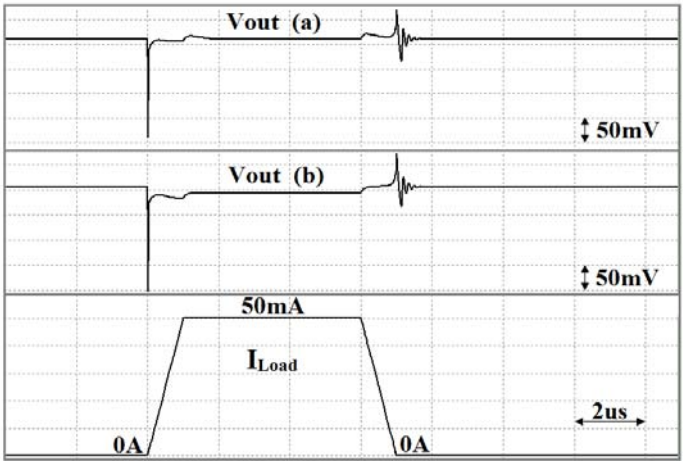
شکل ۱۲. تنظیم خط به ازای I_{Load}=۰، LDO (a) پیشنهادی، LDO (b) شکل ۲

جدول ۱. مقایسه مشخصه‌های ایستا و فرکانس بالا

پارامترها	[۴]	[۶]	LDO پیشنهادی
تنظیم بار	۱۴۶ µV/mA	۲۵۴ µV/mA	۱۴ µV/mA
تنظیم خط برای I_{Load}=۰	۲/۵ mV/V	۱۲۳/۳ mV/V	۱۱/۶ mV/V
رد منبع تغذیه (PSR) برای I_{Load}=۱ mA	-۳۳ dB در ۱ MHz	-۲۱ dB در ۱ MHz	-۲۲ dB در ۱ MHz

خلاصه‌ای از عملکرد ایستا و فرکانس بالای مدارهای LDO پیشنهادی و LDO شکل ۲ در جدول ۱ ارائه شده است. همچنین به منظور انجام مقایسه بین ساختار پیشنهادی و ساختار متداول مدارهای LDO، نتایج شبیه‌سازی LDO معرفی شده در [۴] که بر مبنای ساختار متداول و با قابلیت کار فقط با خازن درون-تراشه‌ای است، نیز در جدول ۱ آورده شده است.

به‌منظور بررسی رفتار پویای LDO پیشنهادی، پاسخ گذرای بار مدار به ازای مقادیر مختلف خازن خروجی شبیه‌سازی شده است. شکل ۱۳ پاسخ گذرای بار مدارهای LDO پیشنهادی و LDO شکل ۲ را به‌ازای C_{out}=۲۰ pF نشان می‌دهد. در این حالت جریان بار با زمان صعود و نزول ۱ µs بین صفر تا ۵۰ mA تغییر داده شده است. با توجه به یکسان بودن طبقه خروجی دو مدار، پاسخ‌های گذرا بسیار مشابه می‌باشند. در این حالت اندازه ΔV_{out} و زمان نشست (T_{settle}) برای هر دو مدار به‌ترتیب ۲۰۰ mV و ۱/۴ µs است.



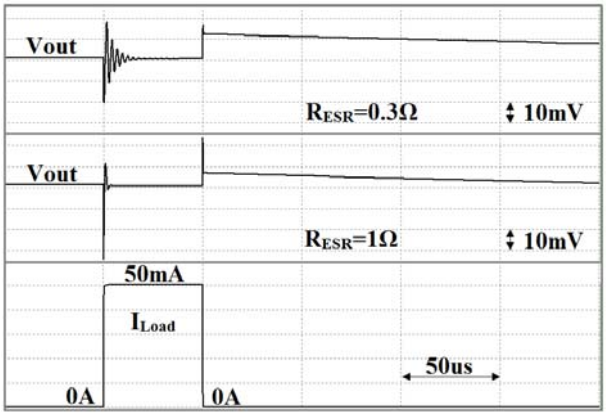
شکل ۱۳. پاسخ گذرای بار به‌ازای C_{out}=۲۰ pF ، LDO (a) پیشنهادی، LDO (b) شکل ۲

در کاربردهایی که مقدار کم ΔV_{out} در پاسخ گذرا مورد اهمیت است، استفاده از خازن برون-تراشه‌ای اجتناب ناپذیر است[۴]. شکل ۱۴ پاسخ گذرای بار LDO پیشنهادی را به ازای C_{out}=۱ µF و برای R_{ESR}=۰/۳, ۱ Ω نشان می‌دهد. در این حالت جریان بار با زمان صعود و نزول ۵۰۰ ns بین ۰ mA تا ۵۰ mA تغییر داده شده است. همان‌طور که مشاهده می‌شود، افزایش R_{ESR} سبب کاهش T_{settle} و افزایش ΔV_{out} خواهد شد. مقادیر ΔV_{out} و T_{settle} به‌ازای R_{ESR}=۰/۳ Ω برابر (۲۳ mV، ۱۶ µs) و به‌ازای R_{ESR}=۱ Ω برابر (۳۵ mV، ۳ µs) است. همچنین پاسخ گذرای بار

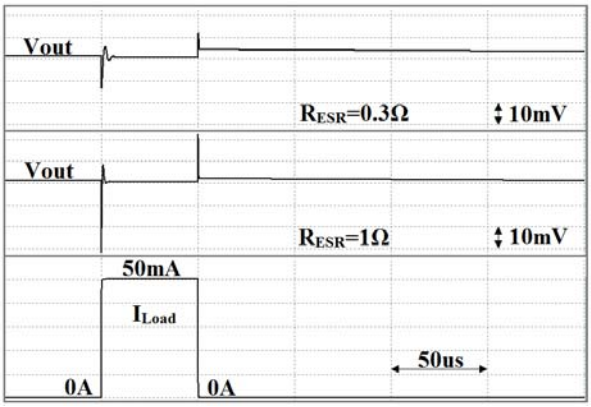
LDO پیشنهادی به ازای C_{out}=۴/۷ µF و در شرایطی مشابه از نظر تغییرات بار در شکل ۱۵ نشان داده شده است.

در جدول ۲ خلاصه‌ای از نتایج شبیه‌سازی مدار LDO پیشنهادی و مدارهای LDO معرفی شده در [۴] و[۶] ارائه شده است. برای انجام یک مقایسه منصفانه پاسخ گذرای هر سه مدار به تغییرات جریان بار بین ۰ mA تا ۵۰ mA و با زمان صعود و نزول ۱ µs شبیه‌سازی شده و نتایج شبیه‌سازی (Sim) در کنار نتایج گزارش شده در مقالات (Exp) در جدول (۲) آورده شده است.

در مدار LDO معرفی شده در[۴] از یک خازن خروجی درون-تراشه‌ای با اندازه ۱۰۰ pF استفاده شده است که پیاده‌سازی این خازن سبب اشغال سطح زیادی از تراشه می‌شود. اگرچه اندازه ΔV_{out} در[۴] نسبت به LDO پیشنهادی و[۶] کمتر است، اما برای انجام یک مقایسه دقیق‌تر باید مقدار جریان خاموشی (I_Q)، اندازه خازن خروجی و بیشینه جریان بار (I_{max}) هم مد نظر قرار گیرند. از این رو عدد شایستگی ($FOM = \Delta V_{out} C_{out} I_Q / I_{max}^2$) می‌تواند معیار مناسبی برای مقایسه رفتار پویا باشد که کمتر بودن آن نشان‌دهنده پاسخ گذرای بهتر در مدارهای LDO است[۷]. همان‌طور که در جدول ۲ مشاهده می‌شود، مقدار FOM برای LDO پیشنهادی به نسبت[۴] و[۶] کاهش چشمگیری یافته که این امر به سبب مدیریت توان مصرفی و کاهش جریان خاموشی در LDO پیشنهادی است. همچنین کاهش جریان خاموشی در این مدار سبب ارتقاء بازده جریانی (CE) نسبت به[۴] و[۶] شده است.



شکل۱۴. پاسخ گذرای بار LDO پیشنهادی به‌ازای C_{out}=۱ µF



شکل ۱۵. پاسخ گذرای بار LDO پیشنهادی به‌ازای C_{out}=۴/۷ µF

جدول۲. مقایسه نتایج

پارامترها	[۴] Exp.	[۴] Sim.	[۶] Exp.	[۶] Sim.	LDO پیشنهادی
Tech (µm)	۰/۳۵	۰/۳۵	۰/۳۵	۰/۳۵	۰/۳۵
V_{in} (V)	۳	۳	۱/۲	۱/۲	۱/۲
V_{out} (V)	۲/۸	۲/۸	۱	۱	۱
I_{Load} (mA)	۰-۵۰	۰-۵۰	۰-۵۰	۰-۵۰	۰-۵۰
I_Q (µA)	۶۵	۶۶	۹۵	۹۵	۳۱
C_{out} (pF)	۱۰۰	۱۰۰	>۲۰	۲۰	۲۰
T_{settle} (µS)	۱۵	۴	۰/۳	۱/۴	۱/۴
ΔV_{out} (mV)	۹۰	۱۱۰	۱۸۰	۲۰۰	۲۰۰
*CE (%) (I_{max} در)	۹۹/۸۷	۹۹/۸۶	۹۹/۸۱	۹۹/۸۱	۹۹/۹۳
FOM (fs)	۲۳۴	۲۹۰	۱۳۶	۱۵۲	۴۹/۶

*CE= $I_{Load}/(I_{Load}+ I_Q)$

نتیجه‌گیری

در این مقاله یک تنظیم‌کننده ولتاژ با افت کم بر مبنای FVF معرفی شده که در آن با به‌کارگیری یک حلقه بازخورد بیرونی رفتار ایستای مدار ارتقاء یافته است. نشان داده شد که LDO پیشنهادی هم با خازن برون-تراشه‌ای و هم بدون آن از پایداری و رفتار پویای قابل قبولی برخوردار می‌باشد. همچنین کاهش توان مصرفی سبب بهبود عدد شایستگی و ارتقاء بازده جریانی در این LDO نسبت به ساختارهای مشابه شده است.

تشکر و قدردانی

این پروژه توسط ستاد توسعه فناوری میکروالکترونیک، دانشگاه گیلان و صندوق حمایت از پژوهشگران و فناوران کشور مورد حمایت قرار گرفته است.

مراجع

[1] A. Saberkari, E. Alarcon, and Sh. B. Shokouhi, “Fast Transient Current-Steering CMOS LDO Regulator Based on Current Feedback Amplifier,” Integration, the VLSI Journal, Mar. 2013, vol. 46, no. 2, pp. 165-171.

[2] G. A. Rincon-Mora and P.E. Allen, “A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator,” IEEE J. of Solid-State Circuits, Jan. 1998, vol. 33, no. 1, pp. 36-44.

[3] K. N. Leung and Y. S. Ng, “A CMOS Low-Dropout Regulator with a Momentarily Current-Boosting Voltage Buffer,” IEEE Trans. Circuits Syst. I, Sept. 2010, vol. 57, no. 9, pp. 2312-2319.

[4] R. J. Milliken, J. Silva-Martinez, and E. Sanchez-Sinencio, “Full On-Chip CMOS Low-Dropout Voltage Regulator,” IEEE Trans. Circuits Syst. I, Sept. 2007, vol. 54, no. 9, pp. 1879-1890.

[5] K. L. Leung and P. K. T. Mok, “A Capacitor-Free CMOS Low-Dropout Regulator with Damping-Factor-Control Frequency Compensation,” IEEE J. Solid-State Circuits, Oct. 2003, vol. 38, no. 10, pp. 1691-1702.

[6] T. Y. Man, K. L. Leung, C. Y. Leung, P. K. T. Mok, and M. Chan, “Development of Single-Transistor-Control LDO Based on Flipped Voltage Follower for SoC,” IEEE Trans. Circuits Syst. I, Jun. 2008, vol. 55, no. 5, pp. 1392-1401.

[7] P. Hazucha, T. Karnik, B. A. Bloechel, C. Parsons, D. Finan, and S. Borkar, “Area-Efficient Linear Regulator With Ultra-Fast Load Regulation,” IEEE J. Solid-State Circuits, Apr. 2005, vol. 40, no. 4, pp. 933–940.